

戦略的基盤技術高度化・連携支援事業
戦略的基盤技術高度化支援事業

「マイクロLEDディスプレイの低価格製造技術の研究開発」

研究開発成果等報告書
研究開発期間：平成29～31年度

令和2年5月

担当局	東北経済産業局
補助事業者	東北マイクロテック株式会社 国立大学法人東北大学未来科学技術共同研究センター

第1章. 研究開発の概要

1-1 研究開発の背景・研究目的及び目標

(1) 研究開発の背景

携帯電話等のディスプレイは、現在は液晶が使われている。しかし、2017年にはより薄く、高い応答性を持つ有機ELを使った携帯電話を韓国企業（Samsung）が製品化する予定である。一方 Apple 等の競合メーカは、有機ELの供給の問題があるため、さらに進んだマイクロLEDディスプレイを使う計画がある(表1.1)。

表 1.1. マイクロLED 各社の取り組み

電子デバイス産業新聞

社名	国籍	内容
ソニー	日本	・半屋内用LEDディスプレイ「CLEDIS」を商品化 ・技術の源流は12年に開発した55型FHD「CLEED」
Apple	米国	・14年にLEDベンチャーのLuxVueを買収 ・Apple Watchへの採用を検討中か
Lumiode	米国	・高輝度LEDディスプレイの開発ベンチャー ・ヘッドアップやAR用に実用化を目指す
Rohinni	米国	・PiXeyと呼ぶマイクロLEDシートを開発 ・キーボードのバックライトや薄型照明で実用化
Innolux	台湾	・「技術の行方を注意深く見守っている」と発言 ・専門の製品R&Dチームを発足
Mikro Mesa	台湾	・マイクロLED関連特許を出願。中国HKCと協業か ・重慶市に開発ラボを設置するとの報道も
CEA-Leti	フランス	・2月に10μmピッチのアレイ製造プロセスを発表 ・自己組織化で青&緑色を873×500画素形成
InfiniLED	アイルランド	・ILEDと呼ぶ省エネディスプレイ技術を開発 ・16年にVRメーカーの米Oculusが買収
X-Celeprint	アイルランド	・Micro-Transfer-Printing技術による高密度実装 ・LEDやフレキシブルトランジスタなどへ応用図る

マイクロLEDディスプレイは、50μm以下以下のR(赤)G(緑)B(青)のLED素子を配置して1画素を構成し、画素ごとに駆動させる自己発光ディスプレイである。従来のディスプレイと比較して応答速度が速く、高精細かつ高視野角かつ低消費電力という特徴がある(図1.1)。具体的には、高輝度であるため屋間の太陽光の下でもディスプレイの内容が見やすくなり、ディスプレイで消費する電力も1/3以下に、さらに動画もよりスムーズな動きになる。各色のLEDは製造方法・基板が異なるため同一基板上に3色のLEDを形成することは価格的にも技術的にも難しいため、別々な基板で形成され個片化して供給される。このため、微細な各色のLEDチップを3回に分けて高速に

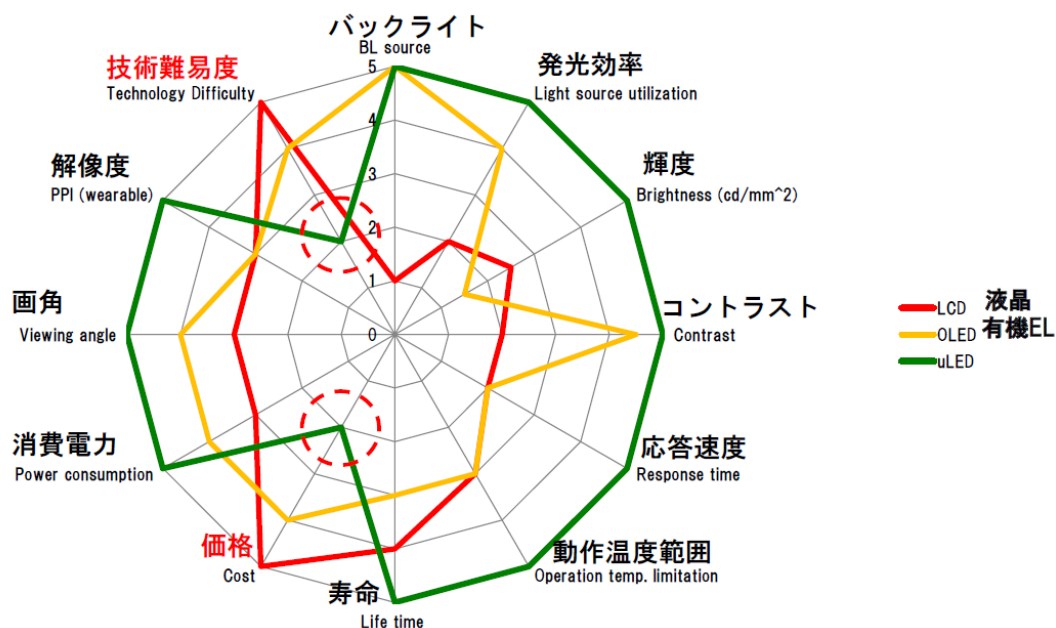


図 1.1 マイクロLEDと液晶、有機ELの性能比較

積層する技術が必要である。従来の Pick & Place 方式のダイボンドは、取り扱える最小チップサイズが $100\mu\text{m}$ 以上で、最先端のダイボンドでは、 $2\sim 1.5\mu\text{m}$ の合せ精度でのボンディング速度が 20,000～24,000 チップ/時間である(図 1.2)。スループットは、合せ精度を緩めると上がる。マイクロ LED サイズは、現在は $50\mu\text{m}$ 以上で、2022 年は $15\mu\text{m}$ 程度に成る見込みである。図 1.3 に $15\mu\text{m}$ チップ(電極幅 $3\mu\text{m}$)とした時の合せズレが起きた時の断面模式図を示す。電極同士がつながるためには、合せズレ $3\mu\text{m}$ 以下が必要になるため、合せ精度を緩めることはできない。本 Pj ができるころには、合せ精度が $3\mu\text{m}$ 以下が必要になる。例えばマイクロチップがハンドリングできるようになっても、現状の液晶ディスプレイ 100 万画素 (iPhone 6,6S,7) に相当する一個のディスプレイをマイクロ LED で作ると 50 時間以上かかるため、新しいコンセプトの接合技術が必要になる。このため、基板上に特定の凹形状を作り、それに合わせた凸構造の LED を液体中で揺り動かして所定の凹上の位置にはめ込む方法や LED ウェハをダイシングした後、軟らかい樹脂基板に一時的に埋め込み、複数のピンで一括してパネル上に押し出す方法が提案されているが、歩留まり、スループット上実現には程遠い。

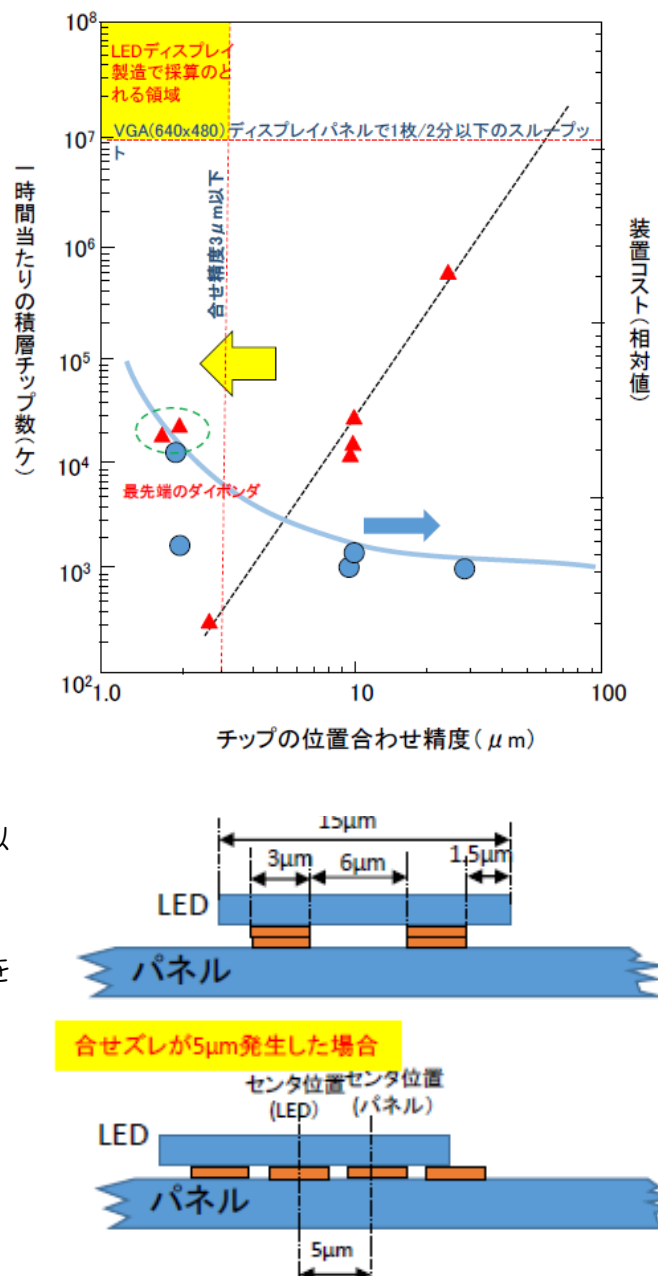


図 1.3 LED チップ/パネル基板の合せずれ

(2) 研究目的

本提案のベースになる技術は、現在、三次元積層で実用化検討中の自己集積化一括積層技術で、これをマイクロ LED ディスプレイ製造に応用する。実験的には $10\mu\text{m}$ 以上のチップでも自己集積化メカニズムが働くことを確認している。LED ウェハを個片化した後、ダイシングテープに貼られた LED チップのピッチをダイシングテープを延伸することによってピッチ変換を行い、この位置で LED チップを静電チャックウェハ上に転写する。この際に LED チップ位置は、延伸により所望の位置に対してバラつきが発生している。次に、これを自己集積化技術によって高い精度の位置に補正して再配置ウェハを作り、一括で接合する技術を開発する。

(3) 研究の目標

以下に本研究開発のプロセスフローについて述べる。(図 1.4)

(i) マイクロ LED チップのピッチを拡大する技術(新規技術導入)

8 インチウェハサイズで $40\mu\text{m}$ 口のマイクロ LED の理収は約 1900 万チップである。ダイシング幅はエッチングを使うため $2\sim 3\mu\text{m}$ と小さい。このためディスプレイのピッチに合う様にウェハ状態で供給されるマイクロ LED チップの間隔を引き延ばす方法が必要になる。

これは、面内が均一に延ばせるダイシングテープを使い、均等にひっぱり圧力をかけ引き延ばす。この際に、樹脂テープを使うためチップサイズの位置エラーが最大 30% 以下になる樹脂テープ(ダイシングテープ)を選択する。

(ii) 静電チャックによる仮固定(新規技術導入)

(1)で LED チップのピッチを拡大した後、樹脂テープ上に接着されたマイクロ LED チップを静電チャック上に仮接着するとともに樹脂テープを剥がす。

(iii) 静電チャックウェハ上に固定されたマイクロ LED チップを再構成ウェハ上に転写する。この際に自己集積化技術を使い、合せ精度を $5\mu\text{m}$ 以下になるように位置補正を行う。

(iv) (1)~(3)を他の色のマイクロ LED で繰り返し、3 色の LED が仮接着された基板を形成する。

(v) 再配置用基板の上に配置した 3 色のマイクロ LED チップを再配置用基板ごと一括で配線の形成されたガラス面に接合する。

(vi) 仮接着した再配置用基板を剥離する。

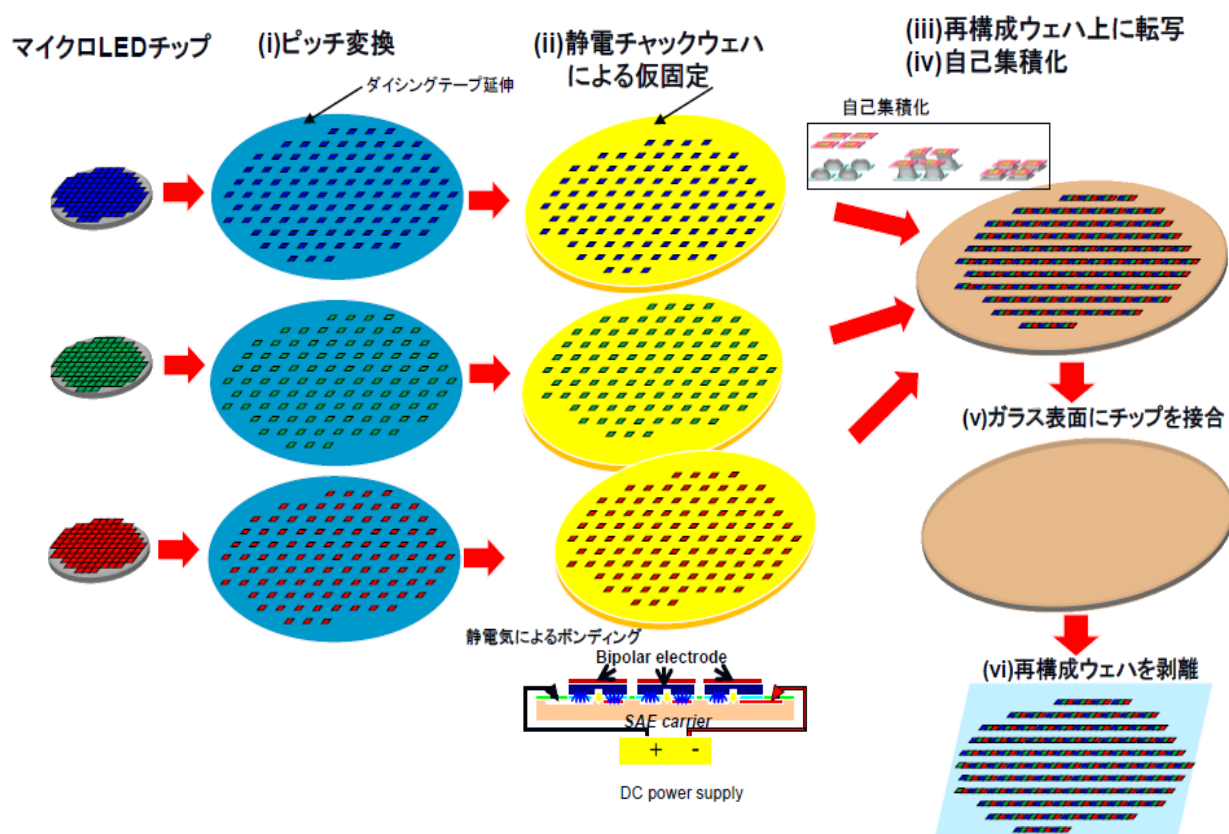


図 1.4 マイクロ LED チップの一括接合プロセスフロー

処理速度向上については、ピックアップ&ブレース方式の従来技術のスループットと採算が取れる製造を実現するためのスループットを比較すると3桁以上の乖離がある。弊社で開発中の自己集積化技術をマイクロLEDのアセンブリに適用できるように検討を行い、超高速高精度積層技術を研究する。

図 1.5にウェハ 1 枚分のチップを、基板に位置合わせして接合する時間を従来技術と新技術で比較した。Si LSIは 12 インチ基板、マイクロ LED のみ 4 インチ基板でチップサイズ 30μm□、ダイシング幅 10μと仮定した。理収は 5×10⁶ヶ/チップである。この技術が完成できれば、同時に処理するチップ数を増加させても、アライメント、ボンディング時間の増加は殆んどないことが期待できる。

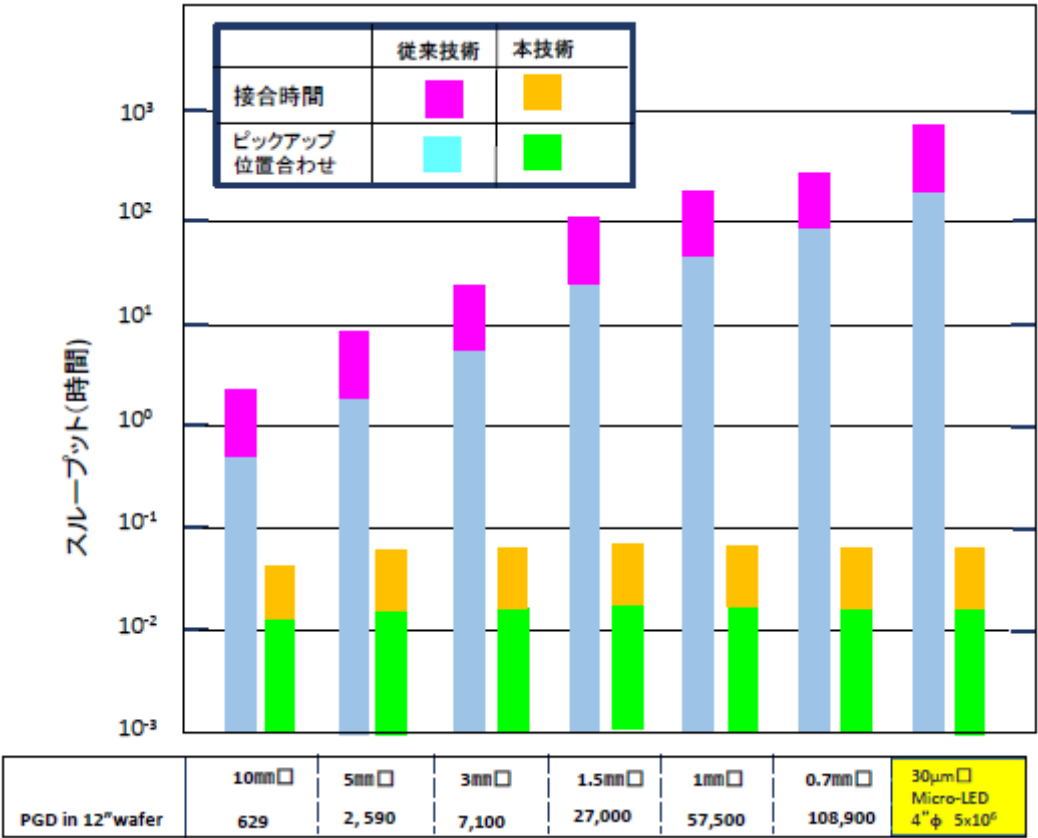


図 1.5 12 インチウェハ 1 枚分のチップを接合するための処理時間の比較

(3) 研究開発の内容

【1. 整列転写したマイクロLED のピッチ拡大技術の開発】

均等に引張応力を加えディスプレイの画素ピッチになるように延伸する。その際に所定位置からのずれ量が次工程の自己集積化で補正できるずれ量に抑えることが必要である。

【1－1】ダイシングテープの選択 【平成29年度～平成31年度】

均一に延伸できるダイシングフィルムの選択する。

【1－2】均等な力で延伸する技術の開発【平成29年度～平成30年度】

【1-1】と並行に LED を貼りつけたダイシングテープ全体が中心から均等な力で延伸できる技

術を開発する。

【2. 高歩留りボンディング技術の開発】

マイクロLEDと同じ形状・サイズのダミーSi TEGチップを作り、一括で基板にバンプボンディングする技術を開発する。

【2-1】TEG設計・試作 【平成29年度～平成30年度】

ダミーSiチップと基板にバンプ及び配線を形成しておき、チェーン抵抗評価ができるようなTEGにする。

【2-2】歩留まり評価・不良解析 【平成30年度～平成31年度】

一括ボンディングによる歩留まり評価を行う。不良がある場合、導通不良部を解析し歩留まりを改善する。

【3. 集積化技術を通した効果の確認】

図1. 4のプロセスフローにおける各要素プロセス（(i)～(vii)）が問題なく機能することを確認し、集積化工程で各プロセスの処理時間を整理し、各要素プロセスごとの所要時間をシミュレーションで確認する。

【3-1】静電チャックウェハの作成 【平成29年度～平成30年度】

静電チャックウェハを作成し、マイクロチップのハンドリングで問題ないことを確認する。

【3-2】再構成ウェハの作成 【平成30年度～平成31年度】

再構成ウェハを作成し、チップ同士のズレによる乗り上げが起こらないことを確認する。

【3-3】集積化技術のスループットの解析 【平成31年度】

集積化工程で各プロセスの処理時間を整理し、各要素ごとの所要時間を解析しボトルネックになる要素を抽出し、自動化によって改善できることを確認する。

【4. 半導体市場等調査】

マイクロLEDディスプレイの市場動向調査を続けながら、他社技術とのベンチマーク、この技術を別の分野に生かせないか調査する。

本事業の開発計画を図 1.6 に示す。

実施内容	平成29年度		平成30年度				平成31年度			
	10-12	1-3	4-6	7-9	10-12	1-3	4-6	7-9	10-12	1-3
1. 整列転写したマイクロLEDのピッチ拡大技術の開発										
1-1 ダイシングテープの選択										
1-2 均等な力で延伸する技術の開発										
2. 高歩留りボンディング技術の開発										
2-1 TEG設計・試作	TEG設計				TEG設計(2)					
2-2 歩留り評価・不良解析								歩留り評価/不良解析		
3. 集積化技術を通した効果の確認										
3-1 ビックアッププレートの作成										
3-2 再構成ウェハの作成										
3-3 集積化のスループットの解析										
4. 半導体市場調査										
5. 研究全体の統括・PJの管理運営										

図 1.6 マイクロLEDディスプレイ製造技術の開発計画

1ー2 研究体制

図 1.7 に本事業の研究体制を示す。

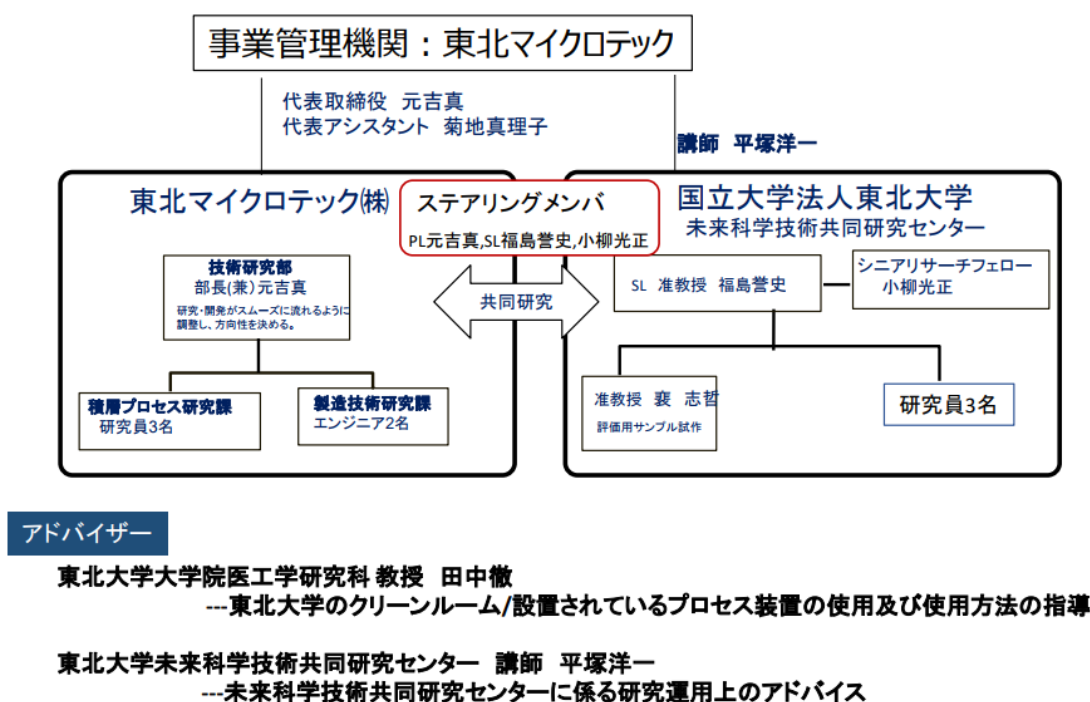


図 1.7 本事業の研究体制図

1-3 成果概要

本研究ではマイクロLEDチップを一括でディスプレイ基板に実装する一括アセンブリ技術を実現するために、以下の開発を行った。

(1) 極小チップのピッチ変換技術の開発。(H29～30年度)

(2) 高歩留りボンディング技術の開発(H30～31年度)

(3) 集積化技術(平成29～31年度)

u-LEDディスプレイ製造装置への要求仕様を基に装置構成を検討し、必要技術を抽出し、これを基に個々の技術開発。最適化を進めた。

(4) 集積化技術のスループット解析

各要素ステップのスループット40秒以内が目標。各プロセスの最適化によりほぼ実現できる見込みである。

1-4 当該研究開発の連絡窓口

担当者 東北マイクロテック株式会社 菊地 真理子

電話 022-398-6264

Fax 022-398-6265

E-Mail m.kikuchi@t-microtec.com

第2章 本論

2-1 極小チップのピッチ変換技術の開発。(H29-30 年度)

3 種類のピッチ変換用テープを選び粘着力を評価した。

テープの伸びの方向に異方性があり、それを補正する手法を考案した。

ピッチ変換で相対的位置にずれが生じるが後のプロセスで補正できることが分かった。

2-2 高歩留りボンディング技術の開発(H30~31 年度)

歩留まり評価用 TEG 設計・試作を行った。

Daisy Chain TEG による評価から、接合歩留まり99%以上が確保できた。

2-3 集積化技術(平成 29~31 年度)

u-LED ディスプレイ製造装置への要求仕様を基に装置構成を検討し、必要技術を抽出し、これを基に個々の技術開発。最適化を進めた。

一例として静電チャックを上げる。(図2. 1)

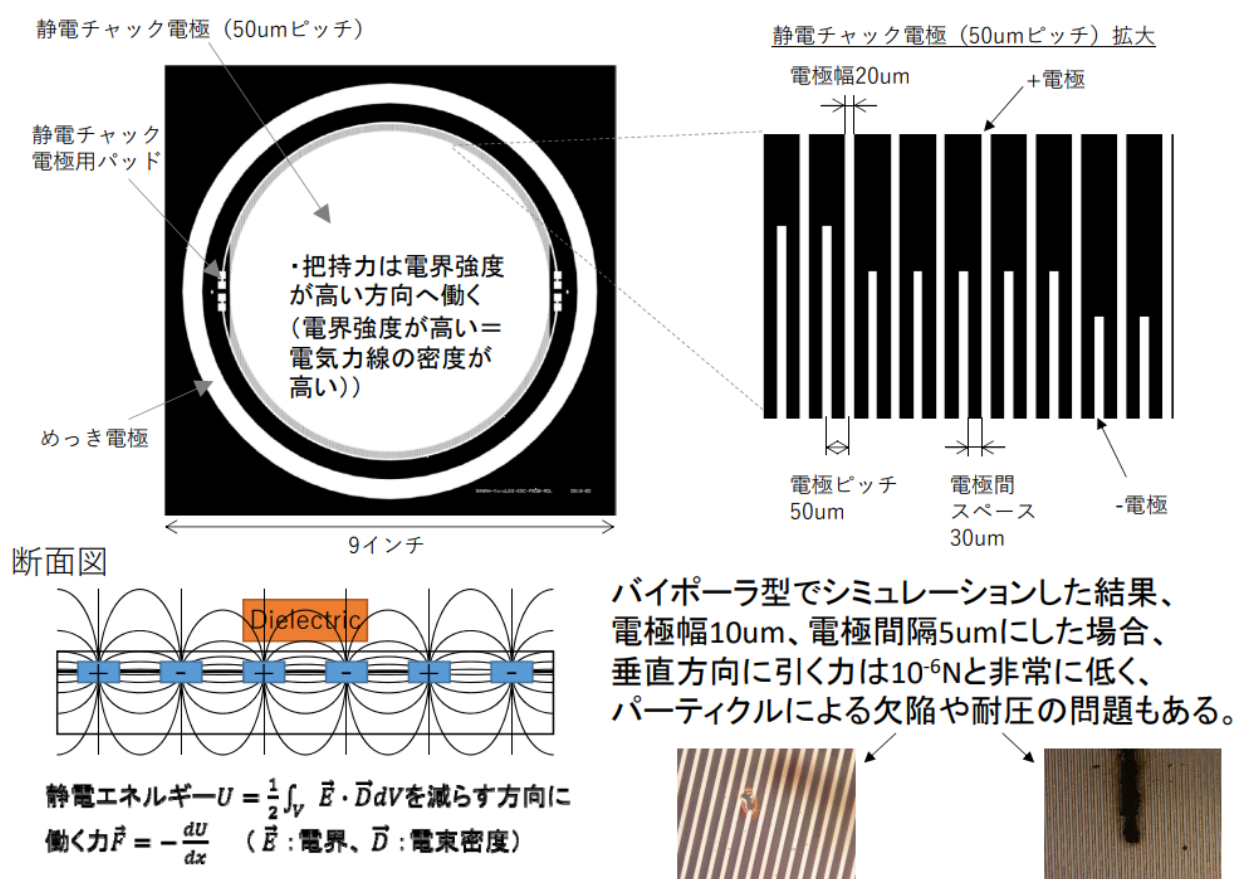


図 2.1 8 インチ静電チャックウェハ

2-4 高速高精度再配置技術

自己集積化技術を使い、200 チップ以上のマイクロ LED をピックアップし、 $\pm 5\mu\text{m}$ 以

下の精度で再配置できることを確認した。

2-5 集積化技術のスループット解析

図1.4のプロセスフローを想定し、各要素ステップのスループットをシミュレーションにより解析した。40秒以内が目標で各プロセスの最適化によりほぼ実現できる見込みである。

2-6 半導体市場等調査

マイクロ LED ディスプレイ 2021 年度から量産品が市場に出始める予測であるが、まだ決定的な製造技術は出ていない。

表 2.1 に現在提案されている Mass Transfer (高速積層) 技術を一覧にした。各方法とも一長一短があり、さらにマイクロ LED の微細化にも完全に対応できていないものはない。また、マイクロ LED 製造からパネル作成のプロセスによっても、最終的なパネルサイズによっても作り方が変わってくる。このため、Mass Transfer の前後の状態がどのようになっているか、そこも含めてプロセスを最適化する必要がある。

表 2.2 現在提案されている Mass Transfer 技術

	①	②	③	④	⑤	⑥	⑦	⑧	⑨	⑩	⑪
方式	Pick & Place	Stamp方式	流体中で凹凸を合わせる	静電氣を使ってピックアップ	磁氣を使ったセルフアセンブリ		レーザーによる選択リフトオフ		Roll Transfer		液体を使ったセルフアセンブリ
メーカー	シバウラ等	X-Celeprint	e-Lux	LuxVue	Self-Array	ITRI	QMAT	Uniqarta	KIMM	Rohinni	T-Micro
処理速度 (チップ/時間)	2×10^4	1×10^6	1×10^6	1×10^6	1×10^6	1×10^6	1×10^6	1×10^6	1×10^6	1×10^6	1×10^6
位置合せ精度	$\pm 35 \mu\text{m}$	$15 \mu\text{m}$ 以下	$10 \mu\text{m}$ 以下	$10 \mu\text{m}$ 以下	$10 \mu\text{m}$ 以下	$10 \mu\text{m}$ 以下	$15 \mu\text{m}$ 以下	$15 \mu\text{m}$ 以下	$50 \mu\text{m}$ 以上	$50 \mu\text{m}$ 以上	$5 \mu\text{m}$ 以下
位置合わせ機能	任意に調整可能	LEDウエハのn倍ピッチ	任意に調整可能	LEDウエハのn倍ピッチ	任意に調整可能	任意に調整可能	LEDウエハのn倍ピッチ	LEDウエハのn倍ピッチ	—	—	⑪との併用で任意に調整可能
KGDチップのみ選択	○	X	X	X	X	X	X	X	X	X	X
問題点	位置合せ精度が悪い 低スループット		①と併用する場合どのように剥離するかが課題 歩留まり？(確率で決まる?)		①と併用する場合どのように剥離するかが課題 LEDチップ自身に磁性材料を入れる必要がある→難しい		Laser beamダメージ Laser装置の価格高		どうやってTransfer filmに整列させるか		①と併用する場合どのようにトレイに入れるかが課題
位置合せ精度改善 転写プロセスにリソグラフィーを用いる必要がある	—	不可	可能	不可	可能	可能	不可	不可	不可	不可	可能

1. KGDのみ選別、特性選別を入れる場合、①の方式は必須になる。
2. ①のピックアップ方式の位置合せ精度改善する方法は③、⑤、⑥、⑪が可能
3. ③、⑤、⑥、⑪の課題はPick & Place後のブルーテープに整列させたチップを如何に剥がすかが課題
4. ③はこの方法でどこまで歩留まりを上げられるかが課題。また、ブルーテープに転写した位置合せ精度に関係なく高精度に配置できる。
5. ⑤、⑥はLEDにNi等の磁性材料を入れる必要がある。→プロセス的に難しい。

第3章 全体総括

本事業は、マイクロ LED ディスプレイの低価格製造技術で、本事業終了時点にはマイクロ LED を高速にパネル基板に積層する技術を完成させ、事業終了後に製造装置を作成することが目標であり、図 1. 4 のプロセスを仮定して、以下の開発を行った。

1. 整列転写したマイクロ LED のピッチ拡大技術の開発
2. 高歩留りボンディング技術の開発
4. 高速高精度再配置技術
3. 集積化技術を通した効果の確認

実際に本技術を適用する場合は、集積化プロセスの前の状態及び後の状態（例えば粘着テープ上に配置するか、パネル上に仮接着するか）、目標の情報を入手後、実際の製造プロセスラインに合わせて最適化していく。