

平成 30 年度

戦略的基盤技術高度化・連携支援事業

戦略的基盤技術高度化支援事業

「低コスト・高生産性を実現する

革新的有機半導体結晶膜塗布装置の開発」

研究開発成果等報告書

平成 31 年 3 月

担当局 中国経済産業局

補助事業者 タツモ株式会社

目次

第1章 研究開発の概要

1-1 研究開発の背景・研究目的及び目標

- 1) 研究開発の背景..... p, 3
- 2) 研究の目的..... p, 3
- 3) 研究の概要及び目標..... p, 4

1-2 研究体制..... p, 5

1-3 成果概要

- 1) 各実施項目の成果概要..... p, 5
- 2) 進捗状況..... p, 7

1-4 当該研究開発の連絡窓口..... p, 7

第2章 本論（研究開発の具体的内容）

2-1 【1】 大面積均一結晶化による性能向上

- 1) 【1-1】 メニスカス形状解析による塗布最適条件の導出..... p, 8
- 2) 【1-2】 安定結晶化・塗布膜均一化を図る超高精度塗布..... p, 11
- 3) 【1-3】 微結晶・不均一エリアの低減..... p, 13

2-2 【2】 塗布結晶膜の生産性向上

- 1) 【2-1】 インク溶媒蒸発加速による塗布速度向上..... p, 18
- 2) 【2-2】 有機材料高度化による塗布速度向上..... p, 22
- 3) 【2-3】 選択塗布（マルチノズル化）による生産性向上..... p, 25

2-3 【3】 有機デバイスの試作と評価

- 1) 【3-1】 アクティブマトリクス素子を用いた塗布結晶膜の均一性評価..... p, 30
- 2) 【3-2】 P型、N型材料を用いたCMOS論理回路への適応性の実証..... p, 34

第3章 全体総括

3-1 研究開発の成果..... p, 38

3-2 研究開発後の課題と事業化展開について..... p, 38

第1章 研究開発の概要

1-1 研究開発の背景・研究目的及び目標

1) 研究開発の背景

フレキシブルデバイスは、「軽い」「薄い」「曲がる」「壊れない（割れない）」等の特徴を有し、電子ペーパー等のディスプレイ、電子タグ（RF-ID タグ）、センサ、太陽電池、照明、電池等への製品化が進められている。2030年に向けては8.8兆円の市場規模（富士経済研究所調査）が予測されている。

このような、フレキシブルデバイスでは、シリコンデバイスと同様、演算や駆動を行うための半導体が必要となる。

有機半導体は、フレキシブル基板、金属薄膜、有機半導体材料から構成され、印刷工法により、非常に少ない工程数での製造が可能であるが、これまでは、有機デバイスの性能を決定する有機半導体材料に関し、必要な回路動作を得られない低い電子移動度、温度・酸素等による性能劣化、十数 nm 厚の有機薄膜を塗布する設備における高コスト、低タクト等の製品化に向けた課題があった。

近年、耐酸化性が高く、結晶性の高い新規有機材料の開発と、材料を結晶化させる工法により、多くの製品で必要とされる $10 \text{ cm}^2/\text{Vs}$ を超える「高い移動度」と、高温大気環境下（現在は酸素を通さない高価なガスバリアフィルムで保護する対応）において経時劣化の無い「高い信頼性」が実現されている。

しかし、十数 nm 厚の薄膜を、性能（塗布膜厚）バラツキを抑え、更に結晶化（高温塗布）を実現したうえで、高タクト・大面積に製膜する安価な塗布プロセスについては、各社、実現できておらず、川下企業であるトッパン・フォームズや JOLED から強い改善要望がある。

2) 研究の目的

IoT に繋がる電子タグ・ディスプレイ・センサなどのフレキシブルデバイス市場は、大きな成長が見込まれる。有機半導体材料の革新が進み、熱、酸素等に対する耐環境性の高い材料を塗布結晶化させるプロセスが必要となっているが、このような有機半導体材料は、 100°C 前後の加熱状態で溶媒に溶解させる必要があり、結晶化には高温塗布が必要となる。

回路で必要となる有機半導体は動作速度向上・低コスト化が課題となっているが、本研究では、グローバル TOP シェアの高精度スリットコーターをベースに、有機半導体の高速動作で必須となる十数 nm 厚の単結晶膜を、高精度・大面積・高速に塗布する技術と、その技術を導入した有機半導体の単結晶膜塗布装置を開発する。

3) 研究の概要及び目標

本事業では、高温加熱結晶化塗布において、スリットノズル先端部における液だまり量安定化等による有機デバイスの性能向上（下記【1】推進）を、減圧塗布によるインク溶媒蒸発加速、マルチノズル化等による生産性向上（下記【2】推進）を実現し、更に、これらを実証するための素子及びデバイスの駆動に必要な論理回路等を試作し、評価（下記【3】推進）を実施する。

この様な取り組みによる技術的成果は、RF-ID タグや有機ELディスプレイなど、フレキシブルデバイスの製品化を促し、タツモはそれを有機半導体塗布装置の商品化に繋げ、R&D 用塗布装置、G2 サイズ対応生産用塗布装置、G4.5 サイズ以上へ対応する本格量産用塗布装置へと順次、ビジネス展開を図って行く。

下記取り組み内容を実施した。

【1】大面積均一化膜による有機デバイスの性能向上

フレキシブルデバイスの回路動作に必要な高性能、且つ、性能バラツキの少ない有機半導体を実現するため、塗布の高精度化を目指し下記成果を得た。

- ・塗布結晶膜厚 3 分子±1 分子
- ・電子移動度 11.8 cm²/V±8.8 %

【1-1】メニスカス形状解析による塗布最適条件の導出

- ・解析と実塗布との一致率 80 %以上（メニスカス形状）

【1-2】安定結晶化・塗布膜均一化を図る超高精度塗布

- ・吐出精度 ±3 %
- ・塗布部温度分布 ±1.6°C

【1-3】微結晶・不均一塗布エリアの低減

- ・微結晶不均一領域 3 mm

【2】塗布結晶膜の生産性向上

フレキシブルデバイス生産において、高タクト・大面積に製膜する安価な塗布プロセスの確立に向け、インク溶媒の揮発向上可能な塗布雰囲気制御、結晶性を高めた新有機材料、必要な箇所のみに必要な結晶膜を形成する選択塗布により、塗布タクト向上を実現するとともに、有機材料の使用量削減によるコスト低減も同時に実現する。

【2-1】インク溶媒蒸発加速による塗布速度向上

- ・従来比 2 倍

【2-2】有機材料高度化による塗布速度向上

- ・従来比 3 倍

【2-3】選択塗布技術（マルチノズル化）による生産性向上

- ・従来比 3 倍、10 倍の見通しも立てた

【3】有機デバイスの試作と評価

A4 相当基材を用いた有機デバイスのばらつき評価を行い、その結果を【1】、【2】に対してフィード

バックを行う。また P 型、N 型材料での塗布結晶膜を製膜し、CMOS 素子の作製と評価を行う。

【3-1】 アクティブマトリクス素子を用いた塗布結晶膜の均一性評価(11.8 cm²/V±8.8 %)

【3-2】 P 型、N 型材料を用いた CMOS 論理回路への適用性の実証 (インバータ回路で 133kHz 動作)

1-2 研究体制

研究体制全体図を図 1-1 に示す。

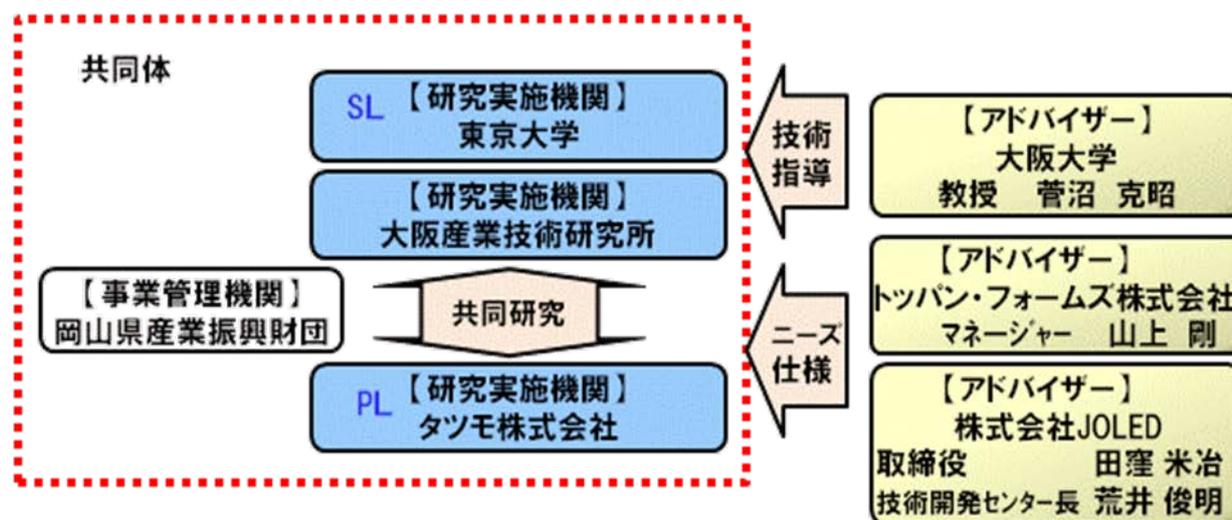


図 1-1 実施体制

1-3 成果概要

1) 各実施項目の成果概要

【1】 大面積均一化膜による有機デバイスの性能向上

【1-1】 メニスカス形状解析による塗布最適条件の導出

- ・塗布中の乾燥を考慮した塗布メニスカス解析を実現した。実測と比較検討することで解析の整合性を高めた。また観測システムを改良することで大気圧下以外にも減圧環境下においてもメニスカス観察が可能になった。

【1-2】 安定結晶化・塗布膜均一化を図る超高精度塗布

- ・有機半導体塗布の特徴として「長時間の塗布」と「加熱状態の塗布」があげられる。長時間の塗布に対して、外乱によるポンプの温度変化の低減やポンプ内気泡の除去によって吐出精度改善を行い、目標とする吐出精度改善(±5 %⇒±3 %)が図られていることを確認した。一方、加熱状態の塗布に対して、熱的に安定化させるため、ポンプ内駆動液の耐熱化や塗布部の温度分布改善を実施した。塗布部の温度均一化では、温度分布±1.6°C(目標±2°C以内)を実現した。

【1-3】 微結晶・不均一塗布エリアの低減

- ・「塗布条件の独立制御ソフト」と「親撥液パターンによる塗り分け」を組み合わせることで塗布開始部における不均一塗布エリアを目標とする 3mm 以下に低減した。

【1-1】～【1-3】において開発してきた塗布の高精度化、減圧塗布による乾燥状態の均一化、メニスカス形状の観察といった要素と塗布条件の最適化により塗布開始から塗布終端までにおける塗布結晶膜全域で目標値である膜厚 3 分子±1 分子の結晶膜を実現した。

【2】塗布結晶膜の生産性向上

【2-1】インク溶媒蒸発加速による塗布速度向上

- ・揮発速度の向上による塗布速度の向上を狙い、塗布部の気圧をコントロール可能な気圧制御塗布装置を開発した。減圧下での塗布条件最適化を推進し、大気圧下では結晶膜が分断する塗布速度 0.04 mm/s(従来比 2 倍、目標値 1.7 倍)において連続結晶膜を実現した。
- ・【2-2】において高速塗布用として開発された材料を用いて塗布を行ったところ、従来速度の 5 倍となる 0.1 mm/s で連続結晶膜を得ることができた。

【2-2】有機材料高度化による塗布速度向上（東京大学）

製膜温度の高い有機半導体材料用のポリマー材料（PADMA ブレンド）膜に対する最適化と、低分子単体インクの高速化を進めた結果、下記成果を得た。

- ・ポリマーをインクにブレンドすることで、安定かつ高性能な塗布膜を得ることに成功した。添加絶縁性高分子を 4 種類から 1 種類選定し、さらに Mw により素子特性が変化することが判明し、最適な Mw を見出すことができた。
- ・P 型低分子半導体材料単体において、従来速度 3 倍で塗布が可能な新規材料（TM209）を開発した。また別材料（TM269）においては半導体材料を溶解する溶媒の種類を検討することで塗布速度 100 倍を達成(1 mm/sec)可能であることを見出せた。

【2-3】選択塗布技術（マルチノズル化）による生産性向上

- ・同時塗布による生産性向上を図るため、複数のノズルを搭載する選択塗布装置を開発した。
- ・同時製膜された膜のばらつきを低減するため、それぞれのノズルの傾き及び高さを均等に揃える機構を開発した。
- ・マルチノズル化に対して、各ノズルへのインク供給量最適化を行った。流路設計を最適化することで各ノズルへの流量バランスをほぼ等分布にすることができ、各ノズルへの流量調整を省略できるようになった。これにより更なるマルチノズル化に対して見通しを立てることができた。

【3】有機デバイスの試作と評価（大阪産業技術研究所）

- ・タツモが【1-1】【1-3】の検討項目において作製した有機半導体膜について同じ膜面内に有機トランジスタのアクティブマトリクスアレイを作製し、電子移動度、閾値等の性能ばらつきを測定した。

- ・塗布温度を精密に制御した条件を用いて製膜した場合、結晶膜端部（1 mm 以内）を除く領域において、電子移動度が $5 \text{ cm}^2/\text{Vs}$ の個所ゼロを実現した。
- ・マルチノズルによる塗布では、電子移動度分布は $11.8 \pm 0.99 \text{ cm}^2/\text{Vs}$ でばらつき 10% 以下を実現した。このときの結晶膜の分子層数をレーザー顕微鏡により観察した結果、塗布面全面について 3 分子層 \pm 1 分子層で形成されていることを確認した。また、ゲート電極パターン上に形成した半導体結晶膜についても、ゲート電極膜厚 100 nm 程度の段差があっても連続した結晶膜の製膜が実現できている。
- ・CMOS 素子の作製に向けて、N 型用有機半導体材料の塗布膜を用い、その移動度、ばらつき等の半導体特性を測定した。塗布幅 10 mm の場合において結晶膜作製の最適条件を導出した。P 型、N 型を用いた CMOS 回路として、最も重要な基本回路となる CMOS インバータ回路を同一基板内に多数個作製し、その特性評価を行った。インバータの立上り立下り時間として、133 kHz に相当する動作速度を実現しており、移動度からの見積りと合致することを確認した。

2) 進捗状況

本年度計画中の取り組み内容、【1】、【2】、【3】について、すべての項目で目標値を達成できた。有機半導体塗布事業を進める上でまだまだ課題は残るものの、本プロジェクトにおける成果を活用することで更なる技術高度化を目指す。

1-4 当該研究開発の連絡窓口

管理法人：公益財団法人岡山県産業振興財団

所在地：〒701-1221 岡山県岡山市北区芳賀 5301 テクノサポート岡山 3F

担当者：ものづくり支援部 次長 入江 栄治

連絡先：TEL：086-286-9651 FAX：086-286-9676

E-mail：bay@optic.or.jp

第2章 本論（研究開発の具体的内容）

2-1 【1】 大面積均一結晶化による性能向上

1) 【1-1】 メニスカス形状解析による塗布最適条件の導出

ノズル先端と基板との間の微小領域にメニスカスと呼ばれる液だまりが発生する（図 2-1-1）。このメニスカスの形状は、これまでの検討から、膜厚安定化に加え、結晶状態についても相関性がある。そこで本事業ではメニスカス形状を CAE(気液 2 相流界面解析)により導出し、塗布条件の最適化を図った。

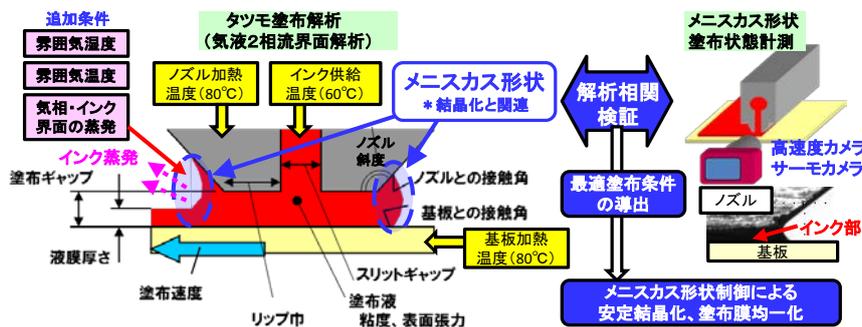


図 2-1-1 メニスカス形状解析による塗布条件導出

< CAE によるメニスカス形状解析 >

これまでのメニスカス形状解析ではノズル形状、濡れ性（ノズルと液との接触角、基板と液との接触角）、液の特性として粘度や密度、表面張力、塗布条件として、塗布速度、塗布ギャップ、吐出速度等を考慮して解析を行なってきた。今回はこれに加え高温加熱塗布で重要な因子となる各素材の熱伝導率や比熱といった伝熱要素、液体の乾燥に係る飽和蒸気圧、拡散係数といった要素を追加し、塗布中の乾燥を考慮した解析を行った。各パラメーターについては外部機関等を活用し、分析し、数値を入手した。

乾燥を考慮したメニスカス解析は、まず、解析初期のメニスカス形状を算出するために熱を考慮しない状態で気液 2 層流界面解析を行ない、続いて、熱要素を加えることで気液界面に発生する界面の減量速度を計算し、これを流動解析のパラメーターとして、気液 2 相流界面解析を再度計算する。このサイクルを繰り返し、メニスカス形状が安定した状態を解析結果として算出する。図 2-1-2 に解析のベースモデルとして構築した解析の計算結果を示す。この時塗布速度は 0.02 mm/s、ノズル上部から流入する液流入量は 0.1 mm/s として解析を行なった。液流入量は実験値をノズル幅とスリットギャップから算出した数値である。

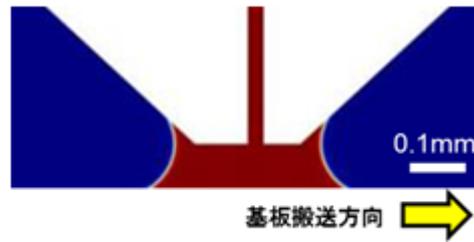


図 2-1-2 メニスカス形状解析結果

このベースモデルを元にして、装置側で変更が可能なノズルや基板の温度条件、塗布速度や塗布ギャップといった塗布条件の諸条件を変更し解析することでメニスカス形状に影響を及ぼすパラメータの抽出と絞り込みを行い、メニスカス形状が安定する塗布条件を検討した。

< 光学的メニスカス観察システムの構築 >

メニスカス形状の解析結果が妥当であるか確認するために光学的観察システムの構築を試みた。図 2-1-3(a)にメニスカス観察システムの概略を示す。図 2-1-3(b1)に塗布中に 1 分毎に撮影したメニスカスの状態、図 2-1-3(b2)に図 2-1-3(b1)内の 0 min、1 min、5 min、9 min、16 min でのメニスカス形状を抜粋し、メニスカス形状の比較を行った。図 2-1-3(b1)では、比較的安定したメニスカス状態を確認できる。しかし特定の時間のメニスカス形状を抜粋した図 2-1-3(b2)では、0 min から 1 min の間にメニスカスの面積が増加、1 min から 16 min では徐々に減少していることわかる。これは吐出量、ノズル温度、基板温度、塗布速度(基板搬送速度)等のパラメータが最適化されていない為と考えられる。

図 2-1-4 に図 2-1-2 に示す解析結果と図 2-1-3(b1)内の塗布が安定した時間 (16 min の時など) でのメニスカス画像を比較した。メニスカスの形状が酷似していることが確認でき、解析による塗布条件検討が妥当であることを確認できた。

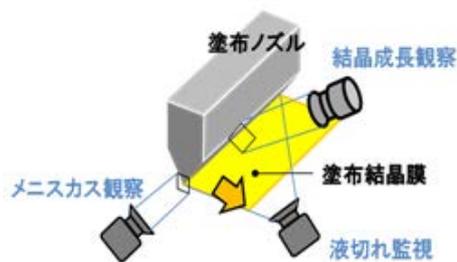


図 2-1-3(a) メニスカス観察システム

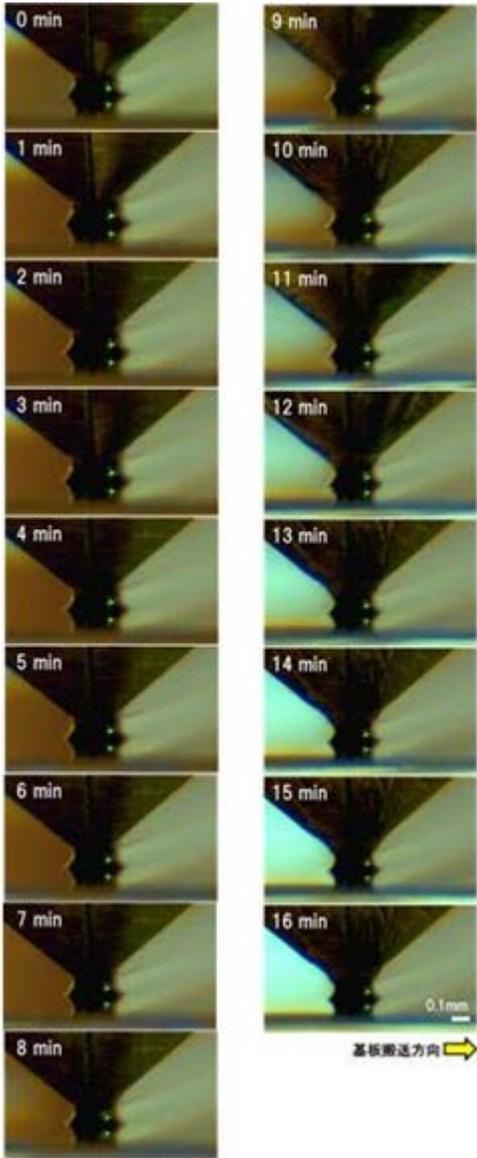


図 2-1-3(b1) 1 分毎のメニスカス観察画像

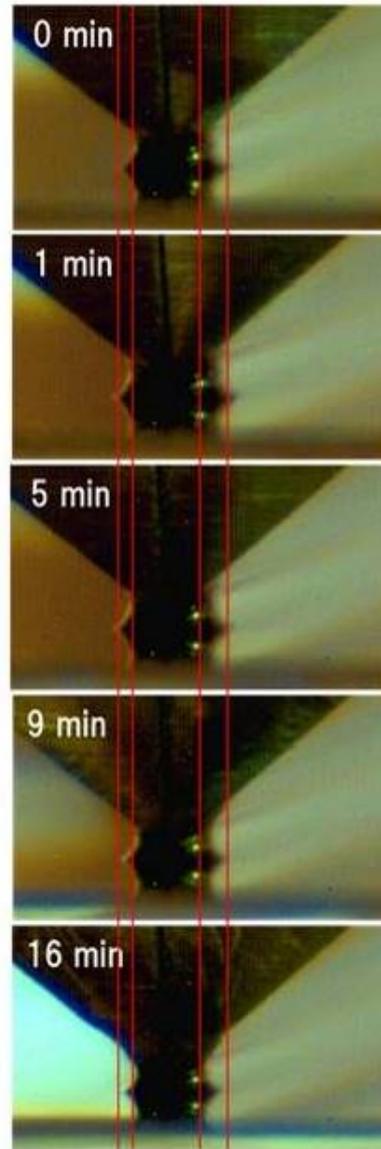


図 2-1-3(b2) メニスカス形状（抜粋）

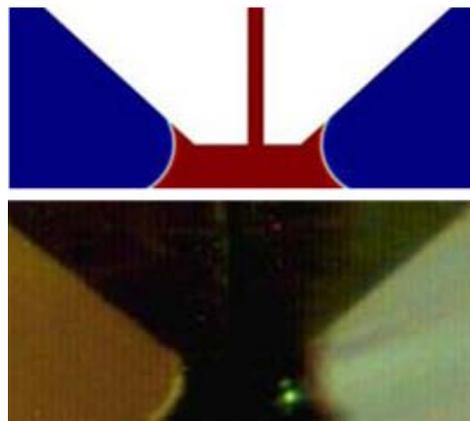


図 2-1-4 メニスカス形状の比較

<減圧塗布時におけるメニスカス形状の撮影>

大気圧下でのメニスカス形状の撮影に、さらに減圧塗布時においてもメニスカス形状の撮影が可能となるよう気圧制御塗布装置を改造した。本システムにより実際に撮影した画像を図 2-1-5 に示す。塗布中にメニスカス形状が変動しないような塗布条件を選定することで安定した塗布結晶膜が得られる。改造以降、塗布条件の最適化を行う際のツールとして活用した。

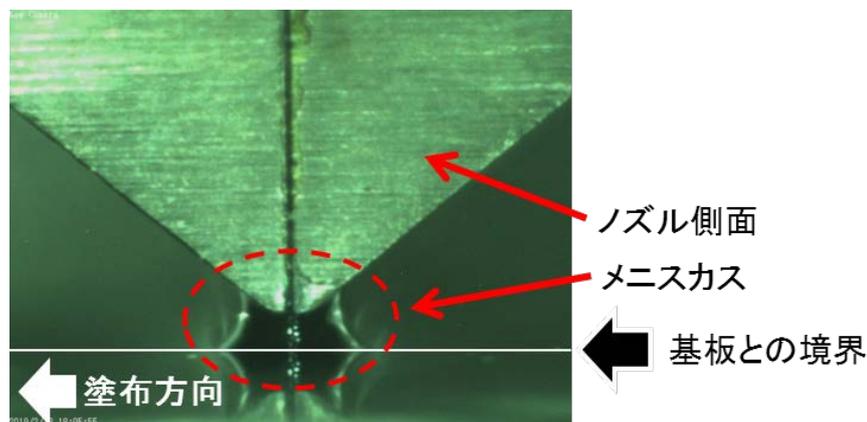


図 2-1-5 減圧塗布中のメニスカス形状

2) 【1-2】 安定結晶化・塗布膜均一化を図る超高精度塗布

本事業において製膜する有機半導体材料は溶媒に対して難溶性を示す材料であるためインクに関わる系をすべて加熱する必要がある。この第 1 の特徴に対して本事業においてはインクに関わる系全域を加熱しつつ、高精度に塗布が可能な加熱塗布システムを開発した。

また、タツモがこれまで塗布してきた材料においては塗布長さがメートル級となっても数十秒程度で塗布が完了すると言った短時間の塗布であったが、有機半導体の塗布では塗布速度が非常に低速であるため長時間での塗布となる。これにともない長時間での吐出精度が必要となる。

本項目においては安定結晶化・塗布膜均一化を図る超高精度塗布を実現するため、「長時間における精度」と「熱的精度」に着目しそれぞれ取り組みを実施した。

< ポンプの長期安定性向上 >

ポンプに対して長時間での吐出安定性を高めるため、まずは、ポンプの温度と室温の関係を調べたところ、室温の変化によってポンプの吐出や吸引が発生していることが判明した。これに対してポンプ筐体を精密に温度制御することで吐出変動を抑制することができた。

続いて、ポンプに取り付けられたバルブに対して、空気圧による閉動作から、バネによる閉動作となるようにバルブ構造を変更することで、空気圧の影響による吐出を抑制することができた。これらの項目を実施したのちに吐出の安定性を確認した。確認実験はポンプから時間当たり一定量を吐出し、その吐出量を測定し評価した。この時のポンプの設定温度は 50 °C で行った。改良を行う前の状態では吐出変動量が $\pm 5.3\%$ であったが、改良を行うことで $\pm 1.5\%$ となり、目標値である $\pm 3\%$ 以内に収めることができた。

< ポンプ内気泡発生の抑制 >

本事業で採用した塗布方法であるスリットコートは、ポンプからノズルに至るまでに介在する液体において気泡が発生すると、ポンプの吐出圧により気泡が収縮し、インクに対して吐出圧を指令通りに与えることができず吐出精度の悪化につながる。また本事業においてはインクを加熱するため、気泡が存在していた場合、気泡が膨張し、予期せぬ吐出要因となる。本項目ではポンプからノズル間での気泡の発生に対策を講じた。

現状として、ポンプを加熱した場合、加熱 30 分後に 1mm 程度の小さな気泡がポンプ駆動液側に発生し、加熱 1 時間後には更なる気泡発生と、発生した気泡の成長により空気層が出現した。その様子を図 2-1-6 に示す。

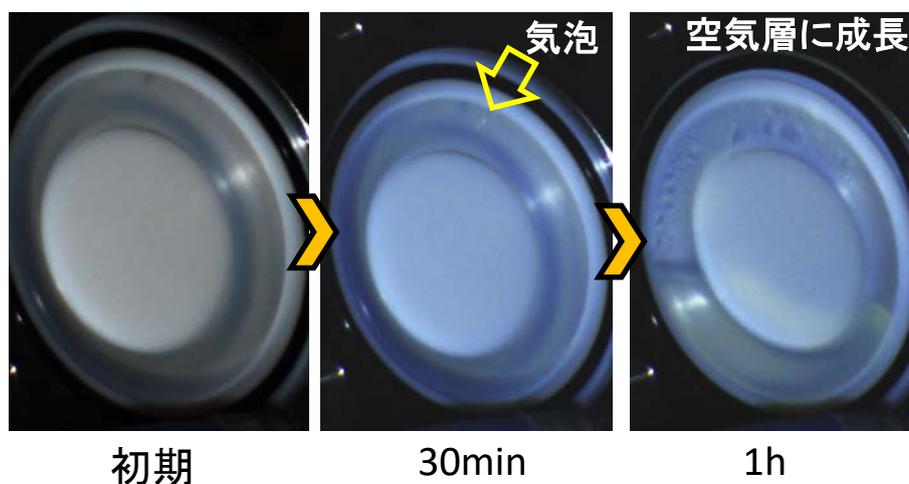


図 2-1-6 ポンプ内気泡発生の様子

これに対して、駆動液種を検討した。現状の駆動液の沸点が 80℃付近であるのに対して加熱温度が沸点付近になると図で示したように気泡が発生していた。より沸点が高く、圧縮性のない液体に変更することで気泡の発生を抑制することができた。また気泡が発生、または混入した場合でも気泡を簡単に排出することができるベントシステムをポンプ上部に取り付けることで発生・混入に対しても対策を施した。本検討により 100 時間以上の長時間にわたって気泡の発生を抑制できることを確認した。これにより吐出は安定化し、塗布の高精度化につながった。

< 温度均一ヒーターの設計 >

塗布結晶膜の安定化のため、塗布部の温度の均一化に取り組んだ。最初に、ヒーターの温度分布を測定するためサーモグラフィにて温度分布を測定した。続いて、その結果を用いてヒーターを組み込んだ塗布部（ノズル部）の伝熱解析を行い現状の把握を行った。図 2-1-7 にその結果を示す。グラフは塗布部となるノズル先端部での温度分布を示している。サーモグラフィによる実測と伝熱解析の結果一致していることがわかり、伝熱解析の整合性を確認することができた。均一な温度分布をもつノズル・ヒーターを設計するため伝熱解析を用いて温度分布が±2℃以下となるようにヒーターの出力密度の分布設計を行い、温度均一化を図った。実測・伝熱解析の結果からも両端部 40 mm ほどに温度の落ち込みが確認

されたので両端部の出力密度を 1.4 倍ほどに高め、伝熱解析を行ったところ図 2-1-8 に示すような結果が得られた。塗布部においては $\pm 1.4^{\circ}\text{C}$ となった。この結果を用いて実際にヒーターを試作し、ノズルに組み込み、実際の温度分布を測定したところ図 2-1-9 に示すような結果が得られた。両端部においてまだ落ち込みが確認されるものの、温度範囲は $\pm 1.6^{\circ}\text{C}$ となり、目標値である $\pm 2^{\circ}\text{C}$ を実現することができた。

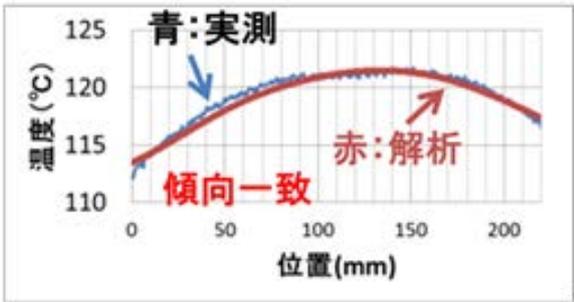


図 2-1-7 実測と解析比較

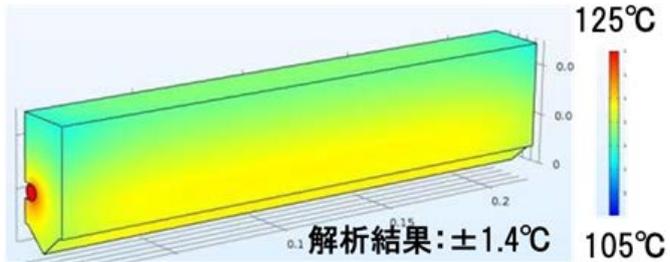


図 2-1-8 伝熱解析

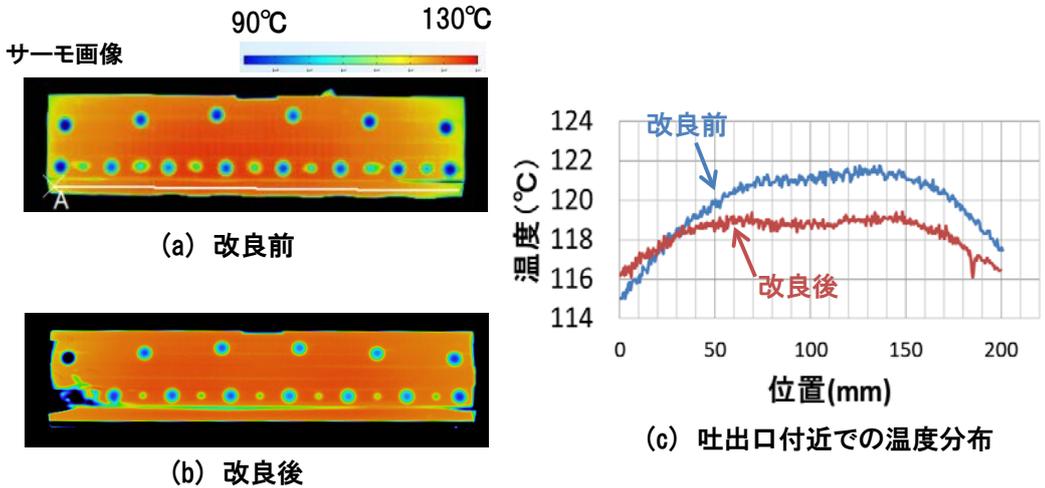


図 2-1-9 ヒーター改良後の温度分布

3) 【1-3】 微結晶・不均一エリアの低減

塗布結晶膜において、特に塗布始め部に生じる微結晶・不均一エリアの低減のために、下記 2 項目を実施した。

- ① 濡れ性差を利用した塗布膜パターンニングを行い、結晶成長を抑制等することで不均一エリアの低減を試みる。
- ② 不均一エリアにおいてポンプ吐出速度や基板搬送速度、ノズルの高さなどを独立して自由に設定が可能な塗布機オペレーションソフトを開発し、塗布条件の最適化を行う。

< 濡れ性差を利用した塗布膜パターンニングによる不均一領域の低減 >

有機半導体を塗布する基板に対して図 2-1-10 に示すようなプロセスで濡れ性差を付与し、撥水部は 106°、親水部は 85°、濡れ性差 21° といった状態の基板を作成した。

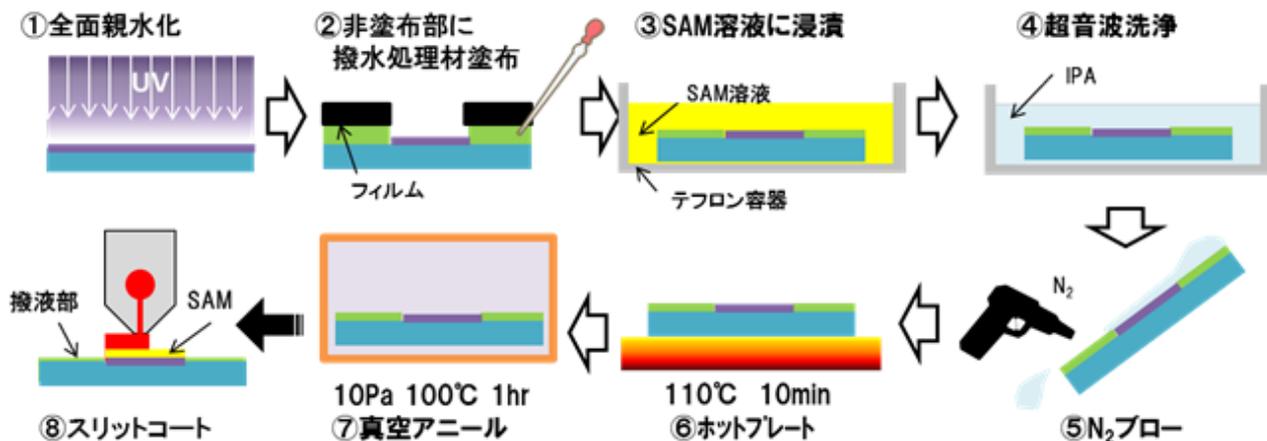


図 2-1-10 濡れ性差作成プロセス

当基板を用いて、スリットコートにて塗布結晶膜の製膜を試みた。塗布時の様子を【1-1】で開発した結晶成長を観察するカメラで撮影した。図 2-1-11 に 1 分毎の塗布結晶状態を示す。図からも濡れ性差により塗布膜がパターンニングできていることが分かる。

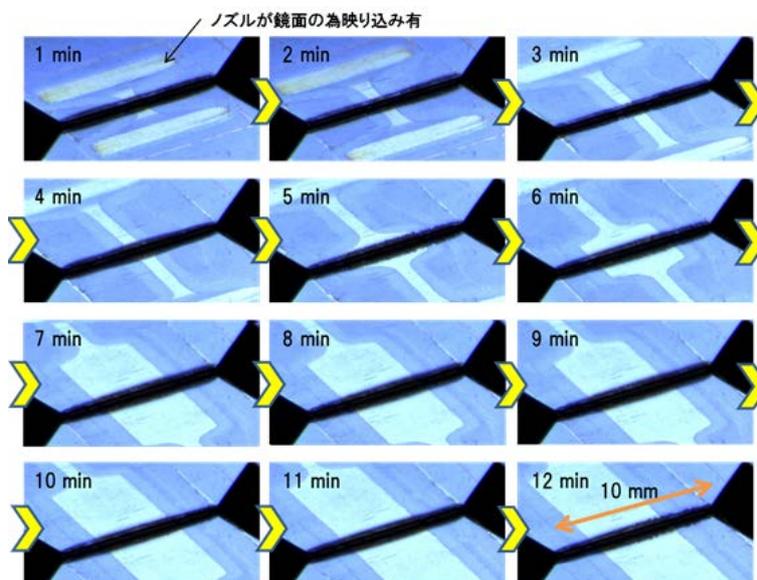


図 2-1-11 塗布時の連続写真

塗布開始部における微結晶・不均一部の低減を実現するため、パターンの形状や撥水膜の膜厚、種類等を検討し、図 2-1-12(a)に示すパターンニング膜を得ることができた。比較にパターンニング処理を行わない場合の塗布膜を同図(b)に示す。撥液部境界に沿って塗布結晶膜が形成できており濡れ性差の境界部を

明瞭化できたことが確認できた。パターニング未処理（図内(b)）の塗布開始部を見たとき、薄膜微結晶とみられる部分が確認される。これに対し、パターニングを実施した際の塗布開始部はわずかであるが境界部直近は厚膜となっており、薄膜微結晶が発生していないことがわかる。この特性を活用し、パターニングをさらに微細化することで塗布開始位置から短距離で膜の安定化ができると考え、パターニングの微細化を実施した。

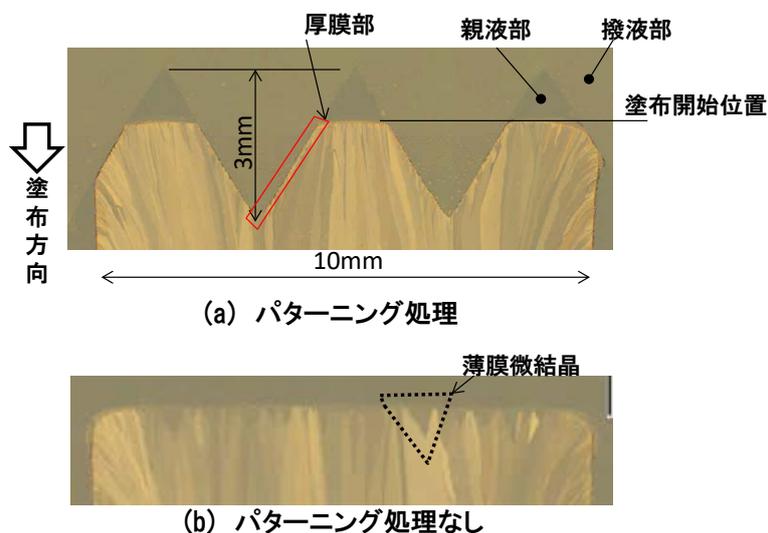


図 2-1-12 パターニング膜

パターニング境界部に生じる厚膜をより塗布方向に広げるためパターニングの傾斜角を浅く設定し塗布を行った。傾斜パターンは3パターン検討し、比較のためにパターニング未処理も実施した。結果を図 2-1-13 に示す。(a)はパターン未処理、(b)(c)と順に境界部の傾斜角を浅くした。

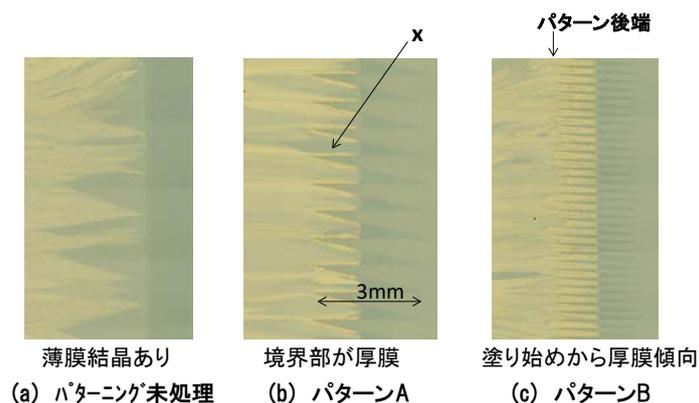


図 2-1-13 パターニング微細化

図内(b)においては、パターンとパターンの間（図内Xで指示）では薄膜となっている。これに対し、さらに傾斜を浅くしたパターン（図内(c)においてはパターン間は厚膜で形成されており、パターン後端以降も厚膜傾向が続いていることがわかる。

以上の検討により濡れ性差を用いた塗布膜パターンニングで塗り始め部の薄膜結晶が低減でき、厚膜化が可能であることが判明した。さらに微細なパターンに対しても塗布膜が追従することからそれぞれのデバイスに沿った形状に塗布膜を形成できることを示している。

< 塗布パラメータの独立制御ソフトの開発 >

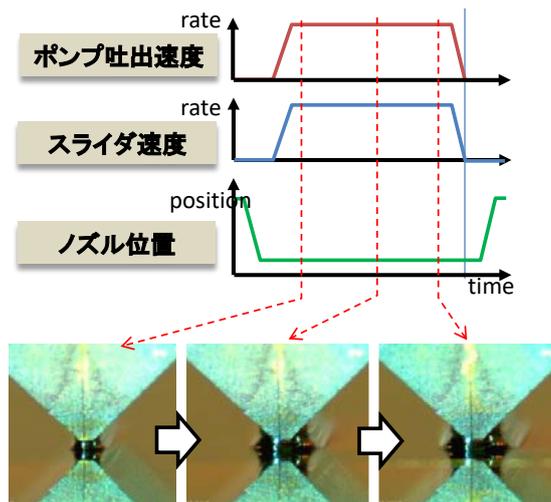
当初の塗布機オペレーションソフトは、図 2-1-14(a)に示すような決められた塗布パターンに従って塗布を行っていた。簡易的な塗布を行う上では非常にシンプル化された使い勝手の良いソフトであった。しかし、有機半導体の塗布においては、毎秒数十 μm オーダーの超低速塗布、同様に μL オーダーの超低量吐出、さらに温度条件が重なり、塗布開始部においてメニスカスが変動しやすい状態である。このため塗布膜のスタート部では配向性がそろっていない結晶領域が発生している。この領域において塗布速度、吐出速度、ノズル高さなどを独立に変更可能とするオペレーションソフトを開発した。図 2-1-14(b)にソフト外観を示す。これまでの決められた塗布パターンではなく、自由にそれぞれの動作を独立で制御することが可能となった。以前のソフトではたとえば、加速時間は変更できなかったが、新しく開発したソフトでは、加速時間等も変更が可能である。またセクションと呼ばれる制御単位も任意に追加することができ、複雑な動作が可能となった。



図 2-1-14 (a) 改良前ソフト

図 2-1-14 (b) 改良後ソフト

当初のオペレーションソフトで塗布した場合、図 2-1-15 に示すように特に塗布開始部においてメニスカスサイズが小さくなり、塗布中間から塗布終わりにかけてメニスカスサイズが安定する傾向がある。これと共に膜厚も塗り始め部が薄膜傾向にあり、塗布中間から膜厚が安定している。これらからメニスカスサイズと膜厚が連動していると考えている。



時間経過とともにメニスカスも変化

図 2-1-15 メニスカスの変化

図 2-1-14(b)に示す各軸独立制御ソフトにより各軸を独立で制御し、塗布を行い塗布膜塗り始め部に生じる膜厚不均一領域を低減した。実際の独立制御の概略とメニスカス形状を図 2-1-16 に示す。

塗布中、基板を加熱することによる遠赤外線や熱対流の影響によりノズルの温度が徐々に上昇する。これに伴いインクの乾燥が促進されるためポンプ吐出量を徐々に増加させた。また特に塗り始め部を厚膜化するため、塗り始め部はポンプ吐出量を増大し、塗布速度を低速とした。このような塗布レシピを実施したところ同図に示すようにメニスカスサイズを一定とすることができた。当塗布による塗布膜の膜厚分布を図 2-1-17 に示す。

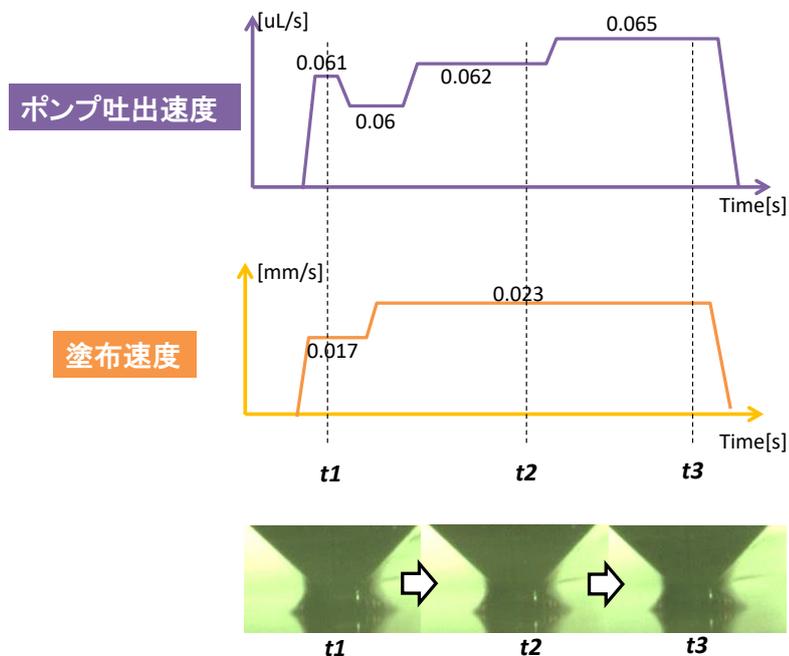
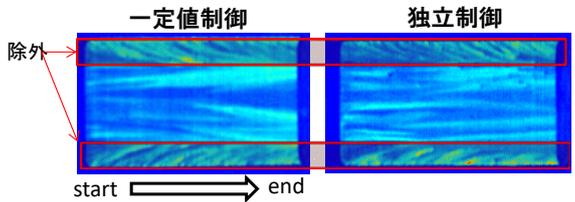
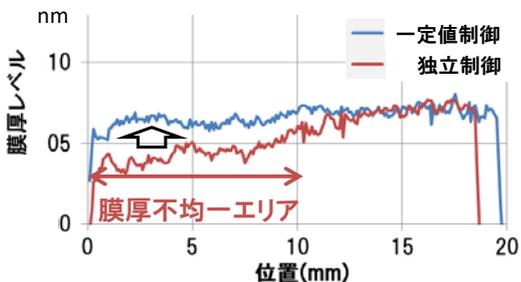


図 2-1-16 実際の独立制御概略とメニスカス形状

図 2-1-17 内(a)は面内の膜厚分布を示し、(b)は面内の膜厚の内、塗布端部 3mm ずつを除外した膜厚を Y 方向で平均化しプロットした。それぞれの表示において比較のために一定値制御と独立制御による結果を記載した。一定値制御では塗り始めから約 10 mm の範囲において膜厚が薄膜となる傾向があり、これに対して独立制御による塗布では不均一領域を塗り始め 3 mm 以下に低減することができた。



(a) 膜厚分布表示



(a) 平均膜厚

図 2-1-17 塗布結果

2-2 【2】 塗布結晶膜の生産性向上

1) 【2-1】 インク溶媒蒸発加速による塗布速度向上

高速塗布を行った際に発生する結晶膜の分断は、製膜点付近において塗布速度に対する有機半導体分子が不足しているために発生すると考えられている。そこで、インクの蒸発量を増加し、製膜点付近において有機半導体分子を補い連続結晶膜の製膜を目論む。本項目においては塗布部を減圧することで、インクの飽和蒸気圧を低下させ、蒸発を促進することで製膜点付近における有機半導体分子密度を高める方式を試みる（図 2-2-1 に概略を示す）。

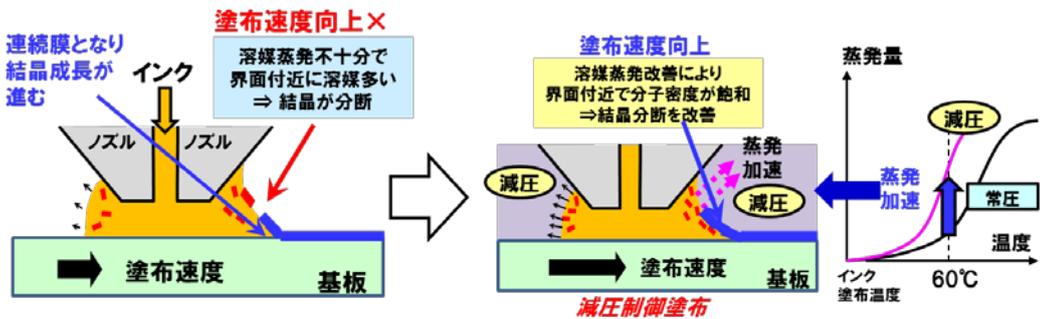


図 2-2-1 インク溶媒蒸発加速による塗布速度向上

インク溶媒蒸発加速による塗布速度向上を実現するため、H28年度に気圧制御塗布装置の仕様を策定し、H29年度に装置を組み上げ、調整を行った。装置の外観を図 2-2-2 に示す。

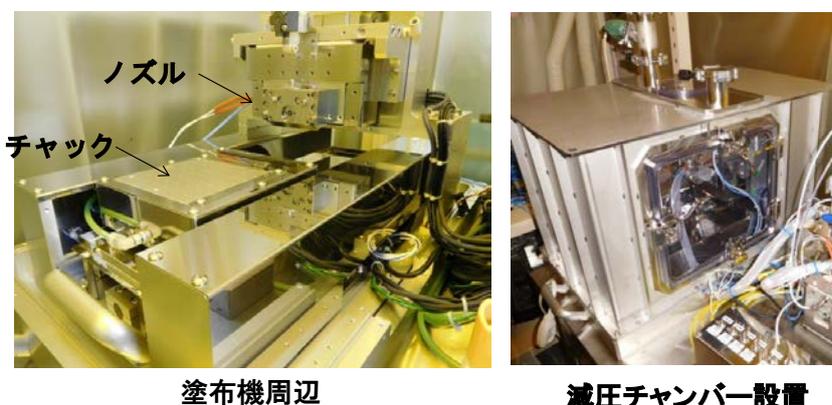


図 2-2-2 気圧制御塗布装置外観

本気圧制御塗布装置を用いて塗布高速化を試みる実験を行った。その結果を図 2-2-3 に示す。図内(a)は通常の塗布である大気圧下において従来速度 (0.02 mm/s) の2倍となる 0.04 mm/s で塗布した塗布膜画像、同図(b)と(c)は減圧状態での塗布で、(b)は 0.04 mm/s の塗布速度、(c)はさらに塗布速度を速めた従来速度3倍となる 0.06 mm/s の塗布速度での塗布膜外観図を示す。またそれぞれの図には塗布膜の中央部の拡大図を示す。塗布に用いたノズルはこれまで塗布結晶膜を製膜してきた実績のある塗布幅 10 mm のノズルを用いた。

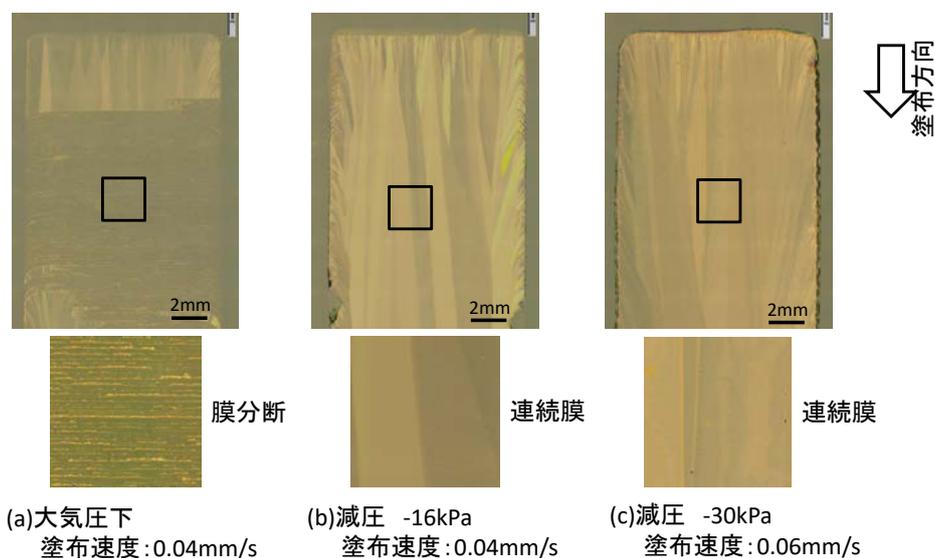


図 2-2-3 減圧塗布結果

従来塗布となる大気圧下での塗布ではインクの蒸発速度が限られており塗布速度に対して結晶成長が間に合わず、塗布結晶膜が分断していることがわかる。これに対して、減圧度を高めた塗布では、従来

速度の2倍(0.04 mm/s)、3倍 (0.06 mm/s) においても連続膜を形成できている。

大面積アクティブマトリクスデバイスを想定した塗布結晶膜の製膜に試みた。本塗布では大面積アクティブマトリクスに対応して塗布幅 65 mmのノズルを用いた。従来の大気圧下での塗布による結果を図 2-2-4 に、減圧を行った塗布の結果を図 2-2-5 に示す。本測定は分光干渉方式を用いている。図内(a)は塗布膜の面内膜厚分布表示、(b)のラインプロファイルは膜厚分布表示内の赤破線の位置での膜厚（分子層数で表示）を示す。従来の塗布では膜厚（分子層数）がばらつき製膜されていることがわかる。これに対して減圧塗布では劇的に均一性が増し、2分子+1分子で製膜できていることが確認できる。これにより目標値である3分子±1分子を実現することができた。

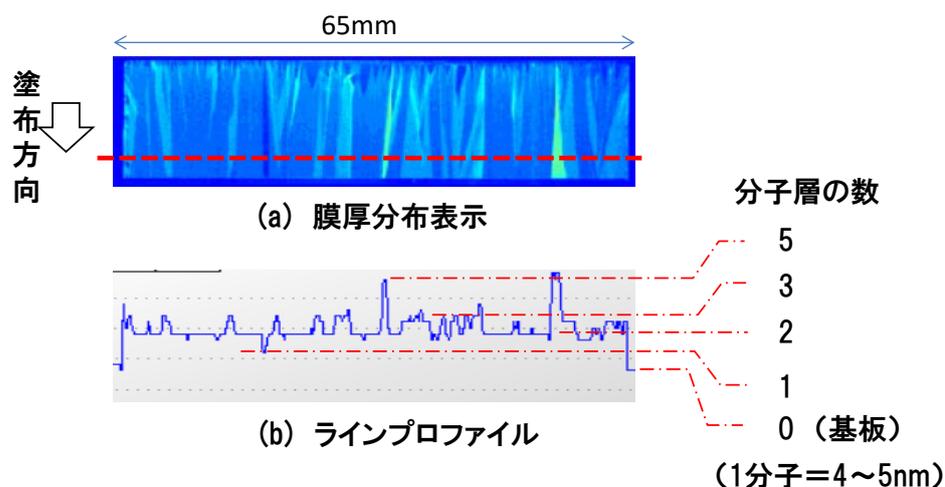


図 2-2-4 従来塗布での塗布結果

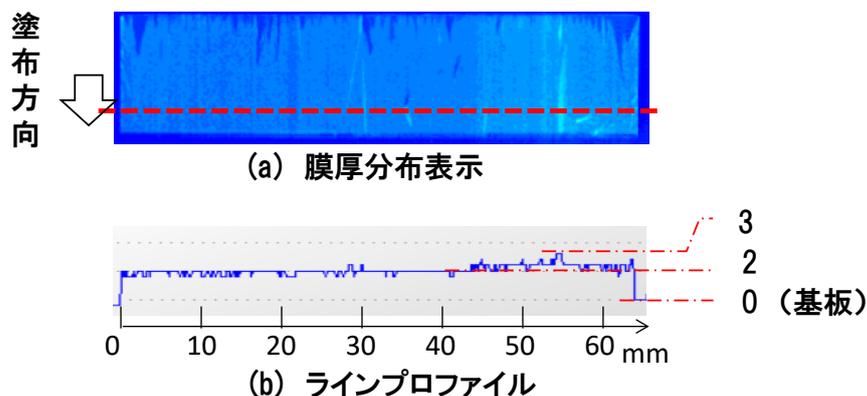


図 2-2-5 減圧状態での塗布結果

気圧制御塗布（減圧塗布）により当初の狙いである塗布速度の向上を実現し、さらに塗布結晶膜の膜厚（分子層数）ばらつきを低減することができた。ここで後者の結果が得られた要因としては、塗布環境を減圧化することで、空気密度の低下によるインクの蒸発方向のばらつき低減、さらに蒸発速度が増加したことでインク固化点付近において蒸気濃度等のばらつき低減が要因ではないかと推測する。

デバイス試作用の塗布膜を形成するため塗布条件の検討を進め、塗布長さを 40 mm に延長し、塗布を

行った（図 2-2-6）。本膜は基板温度、塗布速度、吐出レート等を調整し、デバイス上欠陥となりうる 1 分子層のエリアを低減した膜である。膜全面において 2 ～3 分子の厚みを持つ結晶膜が得られている。本膜の評価を大阪産業技術研究所にて行った。

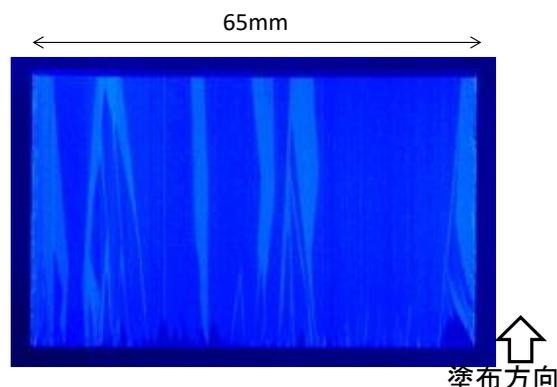


図 2-2-6 デバイス用塗布膜

続いて項目【2-2】において開発された材料を用いて減圧塗布を行い、結晶分断のない結晶膜を形成し、塗布速度従来比 5 倍を実現することを目標として取り組んだ。（塗布速度 0.1 mm/s、項目【2-1】による従来比 1.7 倍と【2-2】による従来比 3 倍の積により 5 倍とした）

項目【2-2】で新たに高速塗布用として開発された材料を用いて塗布を行った。図 2-2-7 に偏光顕微鏡画像と塗布条件を示す。実験では塗布速度を 0.06 mm/s, 0.08 mm/s, 0.10 mm/s で塗布を行った。結晶膜としては、きれいな連続結晶膜が得られている。しかし、どの膜においても表面に欠陥があることがわかる。引き続き膜表面に欠陥が発生しない条件を検討する。

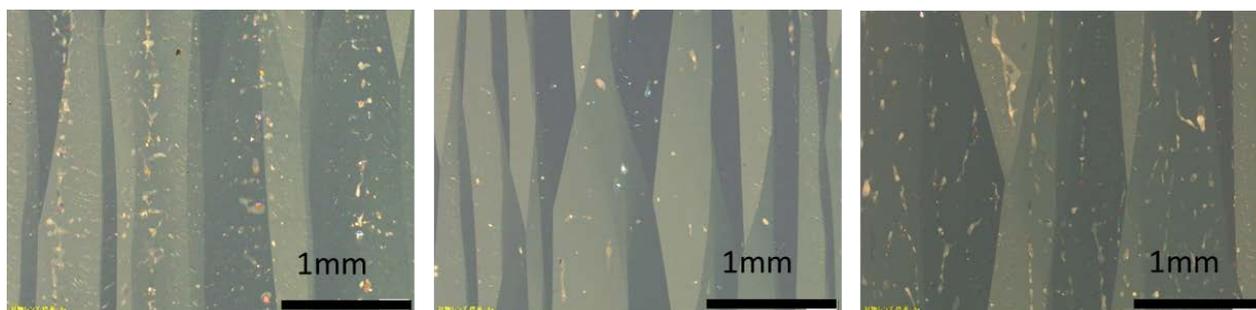


図 2-2-7 高速塗布用材料 pc700 の塗布結果

2) 【2-2】 有機材料高度化による塗布速度向上

< 高分子添加材の分子量・分子量分布に関する検討 >

単結晶膜は、ゲート絶縁膜付近で分子密度が飽和した有機半導体分子が連続膜となり形成される。分断の無い連続した単結晶薄膜を安定・高速に形成するためには、単結晶薄膜が形成されるゲート絶縁膜と有機半導体単結晶の界面制御が重要となる。高移動度有機半導体分子溶液に、デバイス性能に影響の無い絶縁性の高分子を新たに添加し、高分子/半導体分子間に緩和層となる相境界面を発現させ、結晶の分断を防ぎ、安定・高速な有機半導体単結晶膜を実現する検討を進めた(図 2-2-8)

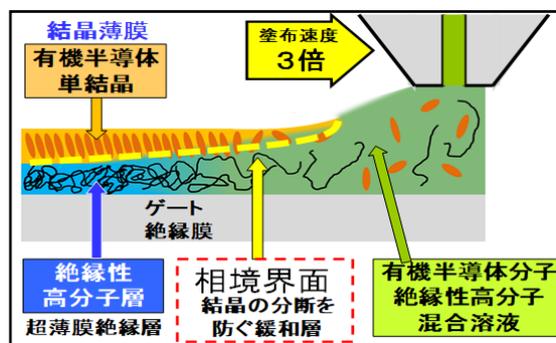


図 2-2-8 絶縁性高分子添加による塗布速度向上

東京大学においては、N型半導体材料に対する塗布速度向上の検討を進め、リビングアニオン重合により合成する手法を用いて分子量(Mg)を精密に制御し、分布(PDI)の極めて小さい高分子添加材料を得ることに成功し、次いで塗布結晶化された薄膜の品質と有機半導体単結晶デバイスの特性との関連性を明らかにした。N型半導体材料(TM252)の製膜に適したポリマーとしてPMMA、PADMA、P2VP、PTFEMAの4種類のポリマーを選定し、TM252溶液に添加しエッジキャストによる評価を行った。(図 2-2-9)

結果は、PMMA、PADMAを添加した場合のみ製膜可能であった。しかしながら、膜の観察結果を図 2-2-10に示すが、PADMAの方がポリマーの凝集物が少なく、ドメインが大きく観察されている。また、半導体特性も図 2-2-11に示されるように大きな違いが見られた。ドメインサイズの違いが表れたものと思われる。

エッジキャスト：TM252成膜用ポリマー検討																	
目的	TM252の成膜に適したポリマーの検討																
実験	PMMA, PADMA, P2VP, PTFEMAの4種類のポリマーをTM252溶液に添加し、エッジキャストにより評価 ▶ PMMA, PADMAを添加した場合のみ成膜可能																
<table border="1"> <thead> <tr> <th colspan="2">Conditions</th> </tr> </thead> <tbody> <tr> <td>Sub.</td> <td>AL-X (31 nm)/SiO₂ (200 nm)/Si</td> </tr> <tr> <td>OSC</td> <td>TM252 (161208 TAN)</td> </tr> <tr> <td>Polymer</td> <td>PMMA (M_w = 10,000) PADMA (E-135-151113-TMA M_w = 22,000 PDI = 1.08)</td> </tr> <tr> <td>Solvent</td> <td>1-MeN (170525 HKP-D2)</td> </tr> <tr> <td>C_{osc} / C_{polymer}</td> <td>0.02 wt% / 0.04 wt%</td> </tr> <tr> <td>T_{ec} (SV)</td> <td>130 °C</td> </tr> <tr> <td>Dry</td> <td>80 °C, 12 h</td> </tr> </tbody> </table>		Conditions		Sub.	AL-X (31 nm)/SiO ₂ (200 nm)/Si	OSC	TM252 (161208 TAN)	Polymer	PMMA (M _w = 10,000) PADMA (E-135-151113-TMA M _w = 22,000 PDI = 1.08)	Solvent	1-MeN (170525 HKP-D2)	C _{osc} / C _{polymer}	0.02 wt% / 0.04 wt%	T _{ec} (SV)	130 °C	Dry	80 °C, 12 h
Conditions																	
Sub.	AL-X (31 nm)/SiO ₂ (200 nm)/Si																
OSC	TM252 (161208 TAN)																
Polymer	PMMA (M _w = 10,000) PADMA (E-135-151113-TMA M _w = 22,000 PDI = 1.08)																
Solvent	1-MeN (170525 HKP-D2)																
C _{osc} / C _{polymer}	0.02 wt% / 0.04 wt%																
T _{ec} (SV)	130 °C																
Dry	80 °C, 12 h																

図 2-2-9 TM252 製膜用ポリマー検討条件

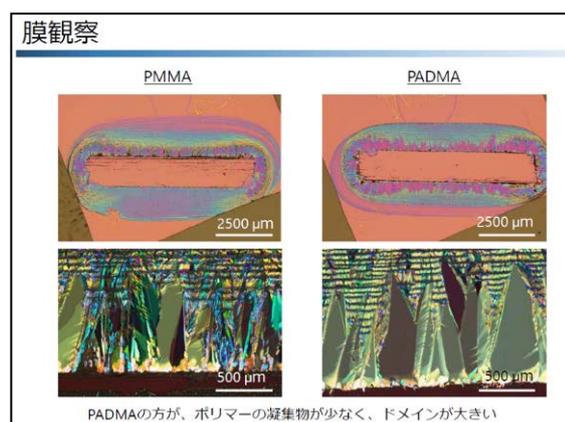
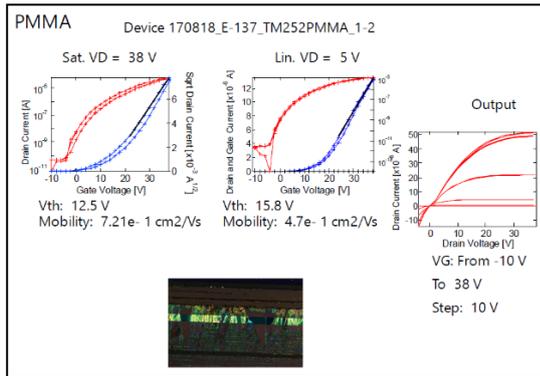


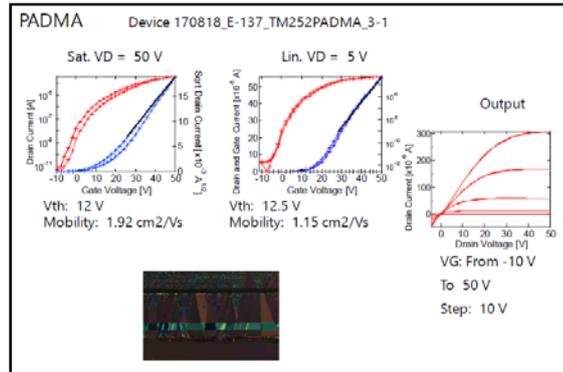
図 2-2-10 膜の観察結果

Conditions	
Sub.	AL-X (31 nm)/SiO ₂ (200 nm)/Si
OSC	TM252 (161208 TAN)
Polymer	PMMA ($M_w = 10,000$) PADMA (E-135-151113-TMA $M_w = 22,000$ PDI = 1.08)
Solvent	1-MeN (170525 HKP-D2)
$C_{OSC} / C_{polymer}$	0.02 wt% / 0.04 wt%
T_{EC} (SV)	130 °C
Dry	80 °C, 12 h
Electrode	Au (40 nm)
Annealing	80 °C, 10 h
L/W	100/2000

(A) 検討条件



(B) PMMA 時の半導体特性



(C) PADMA 時の半導体特性

図 2-2-11 PADMA の分子量の違いによる測定

PADMA 高分子材料のうち、分子量の違いによる膜質の違いを明らかにするために分子量が異なる 6.7K ~22K のものを用いて、4 種類による比較を行った。基板移動スピード、溶液供給量ならびに、溶媒蒸発スピードを調整するため基板温度制御を行い結晶化プロセスが最適になるように、理想化された条件での実験を行っている。実験の結果、最良の特性を示したものは $M_w=22K$ 、 $PDI=1.08$ のものであった。得られた半導体特性を図 2-2-12 に示すが、典型的なトランジスタ特性を示している。

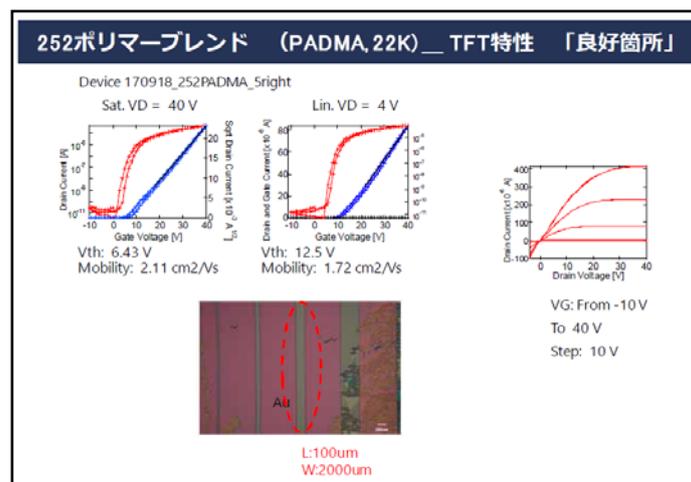


図 2-2-12 PADMA($M_w=22K$)を用いた時の半導体特性

< 低分子単体インクの高速度化 >

有機半導体インク中に高分子を含有する場合は、前述の通り塗布速度及び製膜性の向上において、優れた効果を示した。ポリマーを含まない「低分子単体インク」との相異は、溶液からの結晶化速度及び製膜後の膜中に含まれる残留溶媒量などにあり、それらは薄膜の物性及び電子デバイスの諸特性を大きく左右する。これら現象を明らかにするため、同条件での塗布製膜を実施し、低分子単体インクを用いた高速塗布検討を追加した。本塗布法においては、材料の溶解度及び使用するインク溶媒の沸点が高速化の鍵をにぎる。溶解度の高い P 型有機半導体材料への変更、沸点の低い溶媒の使用など、条件を最適化した結果、従来の塗布速度に比べ 100 倍速 (1 mm/sec) の高速化に成功した (図 2-2-13)。使用するインク溶媒の沸点は 110°C 近辺が望ましいことがわかった (図 2-2-14)。

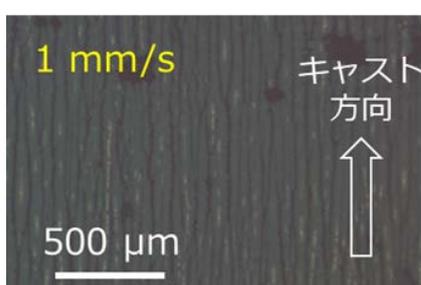


図 2-2-13 100 倍速の塗布により得られた P 型有機半導体薄膜の偏光顕微鏡像

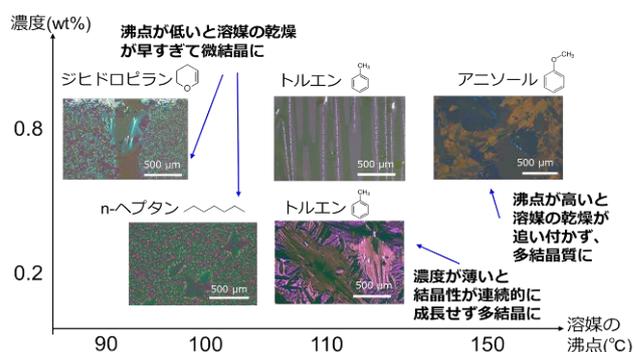


図 2-2-14 濃度と溶媒沸点の相関

また N 型有機半導体の低分子単体インクにおいても、塗布条件の最適化に加え、高濃度のインクを使用することにより、従来速度の 4 倍速 (0.04 mm/sec) の高速化に成功した。得られた TFT の電界効果移動度は $1.5 \text{ cm}^2/\text{Vs}$ を示し、良好な電気特性を示した (図 2-2-15)。

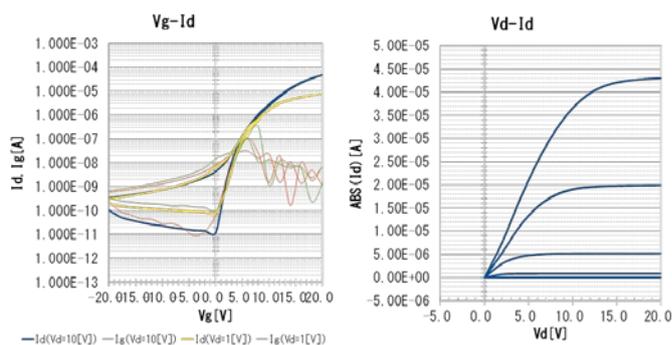


図 2-2-15 N 型有機半導体薄膜の TFT 特性および偏光顕微鏡像



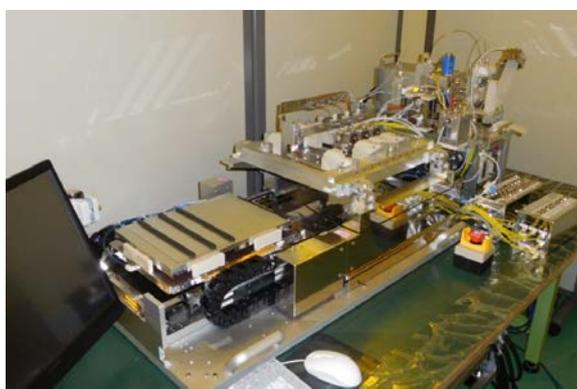
以上、より製膜温度の高い N 型有機半導体材料用のポリマー材料 (PADMA ブレンド) 膜に対する最適化と、低分子単体インクの高速度化を進めた結果、下記進捗と結果を得た。

- 1) ポリマーブレンドにより、安定かつ高性能な塗布膜を得ることに成功。
- 2) 添加絶縁性高分子の Mw 制御により、相分離現象が大面積で実現することを見出した。

- 3) 新規 N 型材料 TM252 への PADMA ブレンドにより、均一な単結晶膜を得、DFE 回路試作に成功。
- 4) P 型低分子半導体材料単体(TM209)において、塗布速度 100 倍を達成(1 mm/sec)。
- 5) P 型低分子単体材料単体(TM269)において、塗布速度 3 倍を達成
- 6) 新規 N 型材料 TM252 を用いた高速塗布検討において、従来比 4 倍速度 (0.04 mm/s) の単結晶膜作製に成功

3) 【2-3】 選択塗布（マルチノズル化）による生産性向上

本項目では生産性の向上として、塗布装置に複数のノズル（マルチノズル）を搭載し、1 度の塗布で複数の塗布結晶膜を製膜する取り組みを行った。H28 年度に詳細設計、部品調達までを実施し、H29 年度にこれら部品の組立、オペレーションソフトの構築、装置調整を行い装置を完成させた。図 2-2-16 に装置外観図を示す。



(a)装置外観



(b)ノズル部拡大図

図 2-2-16 選択塗布装置外観

<ノズル高さ調整機構>

H29 年度は 2 本のノズルを搭載し、マルチノズルを搭載した際に生じる課題等を抽出した。従来の 1 本のノズルを搭載する装置では発生しないマルチノズル搭載時に生じた課題として、各ノズルと基板との距離が一定とならないことが判明した。実際にノズル等を組み込みノズルと基板間の距離を測定したところ最大で数十 μm の差があった。これは基板吸着チャックの自体の加工精度や基板吸着チャックが熱により変形することで生じる問題と考えられる。これに対して当初の予定であった複数のノズルを連結し、複数のノズル全体でノズル先端の高さを揃える方式から、それぞれのノズルにおいてノズル先端と基板との距離を揃え、さらに基板吸着面の傾きにノズルの傾きを揃えることができる方式とした。ノズル高さ調整方法の概略図を図 2-2-17 に示す。

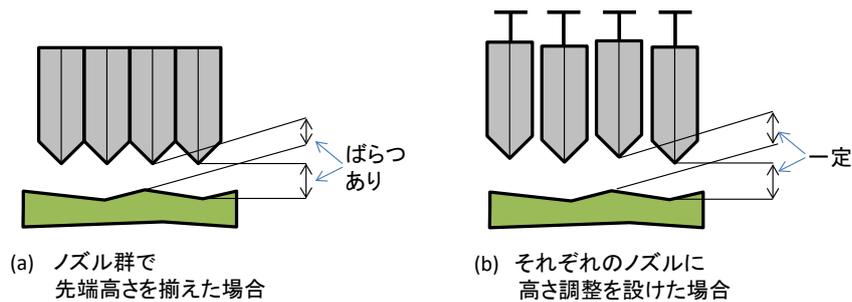


図 2-2-17 ノズル調整方法

<各ノズルへの供給バランスの調整>

複数に製膜された膜の特性のばらつきを抑える為に、各ノズルへインクを等配分で供給することが必要である。今回これを実現する為、下記に示す2ステップで当配分を実現した。

- ①各ノズルへのインク供給バランスの調整のため、各ノズル毎に流量調整機構を設ける。
- ②①で設置する流量調整機構とポンプとの間における流路を最適化し、流量調整機構以前の流量バランスを調整し、流量調整レンジや調整時間を低減する。

最初に、流量調整機構をノズル直上に設けた。流量調整機構（図 2-2-18）は、流量調整ネジを回すことで流路の開度をコントロールする構造とした。当機構ではインクが接する部材はテフロンおよびステンレスを用いたため、100℃においても通常使用が可能である。実際に本機構を用いてノズルへの流量を調整した膜を図 2-2-19 に示す。ノズルを2本搭載し、同時に2膜を塗布した。図内(a)は流量調整機構がない場合の膜、図内(b)は流量調整を行いノズルへのインク供給バランスを整えた場合の膜である。流量調整による効果が確認された結果となった。

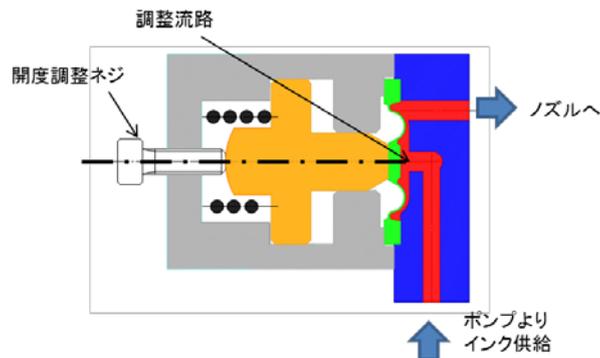
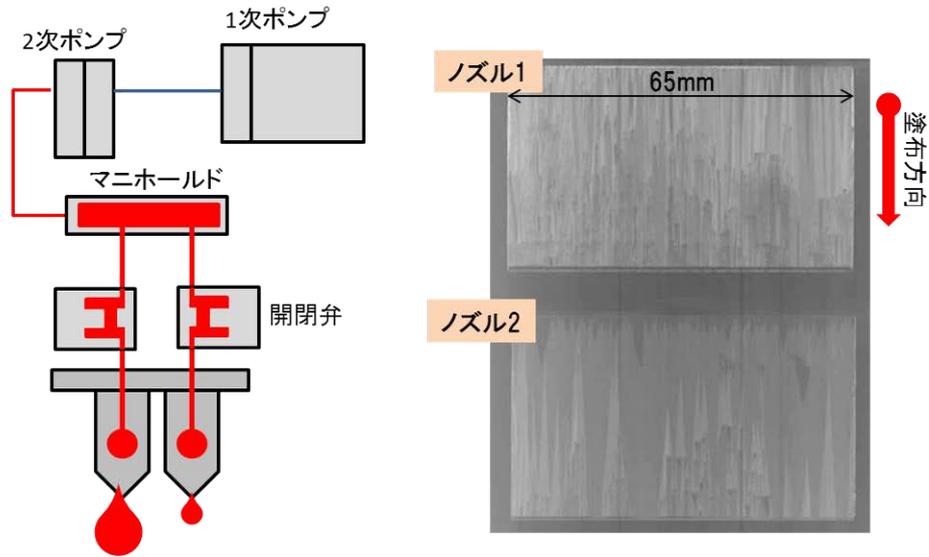
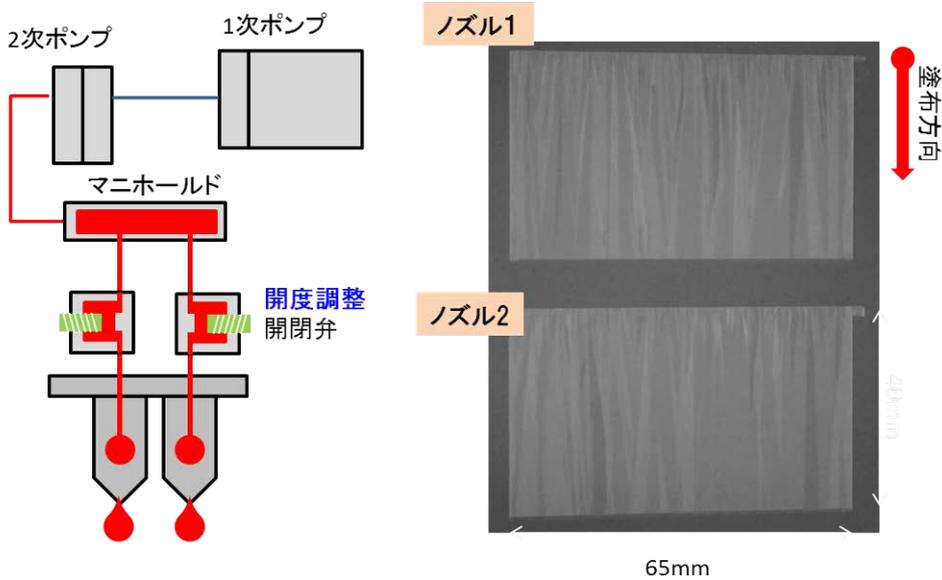


図 2-2-18 流量調整機構



(a) 流量調整機構なし



(b) 流量調整機構あり

図 2-2-19 2本ノズルによる同時塗布膜

続いて、ポンプから流量調整機構までの間の流路に対して、流体解析を行い、各ノズルへの供給量が等配分となる最適な流路を検討した。これまでの流路はマニホールドと呼ばれる液貯蔵部を設け、さらにマニホールドの2次側に流路抵抗を作ることで内部の圧力を一定にし、そこからノズルへ等圧で送り出すという方式を採用していた。しかし、本方式ではマニホールドの容積が必要となり、実際に塗布膜として消費するインク以外に駐留するためのインクを必要としてしまうという難点があった。さらに、本事業において有機半導体を塗布する場合、塗布速度が非常に低速となる。これはノズルへのインク供給量も非常に少量となることを意味し、これが原因でマニホールドの2次側（ノズル）において適正な流路抵抗を作り出すことができず、各ノズルに対して等圧でインクを供給できていなかった。そこで、

ポンプから各ノズルまでの流路の長さを揃えるということを念頭に置き、流路の設計を行った。設計後に流体解析を行うことで、各ノズルへの供給量を確認し、各ノズル間で供給量にずれがある場合は、設計にフィードバックし、そのずれが1%以下となるまで調整を行った。図2-2-20(a)にマニホールド方式、(b)に最適流路の流体解析結果を示す。

マニホールド方式では、ノズル1に対してノズル3への供給量比は77倍もあることが判明した。実際の塗布においては前述した流量調整機構を用いることでその供給量をほぼ等配分にする事ができていたが、その調整には非常に時間がかかること、また調整に伴い大量のインクを消費してしまうことが課題であった。これに対して、最適化した流路では流体解析の結果において、ほぼ等配分であることがわかる。本方式で実際に塗布を行ったところ、最適化した流路の直後に設置した流量調整機構を用いなくとも各ノズルから等量のインクが吐出されていることを確認できた。以降の塗布においては最適化した流路を用いることで流量調整が必要ない状態で塗布ができた。

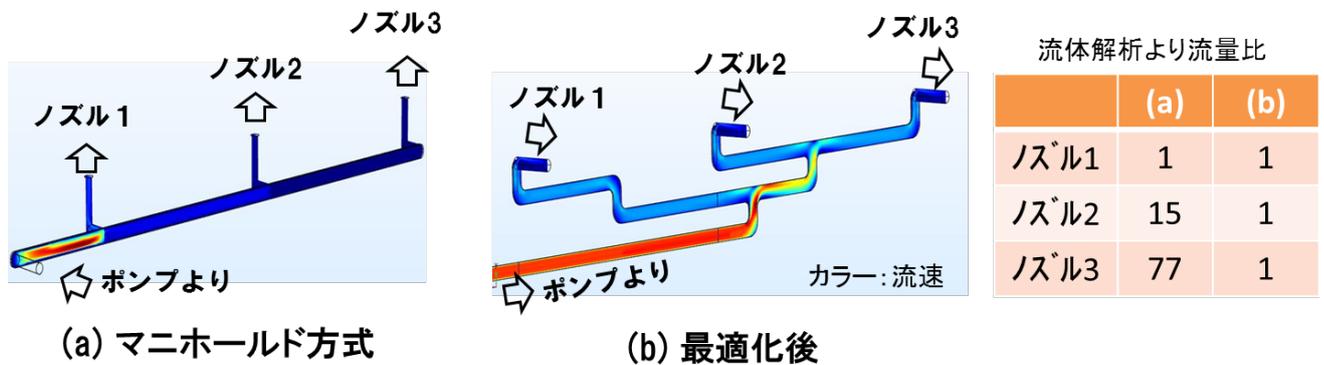


図 2-2-20 流路の流体解析結果

以上の検討によりノズル本数が増えたとしても流体解析を用いて流路の最適化を行うことで各ノズルへの供給量を等配分できることが判明し、本項目における目標値である生産性10倍への見通しを立てることができた。

<高精度基板吸着チャック>

前述した各ノズルの高さを揃える機構に加え、各ノズルと基板吸着チャックとの間隙(塗布ギャップ)ばらつきを低減するため高温加熱時(100℃以上)での塗布において基板吸着チャックの平面度±5um以下および温度分布±2℃以下を実現するため高精度基板吸着チャックを開発した。

これまで基板吸着チャックを装置に組み込む際には、基板吸着チャックの水平度やガイドに対する平行を調整することで、装置の精度を確保してきた。そのため、基板吸着チャックの状態を把握する測定器が必要であったが、本事業においては基板吸着チャックを加熱するため、状態を把握するための測定器が使用できなかった。そのため、本事業においても、基板吸着チャックの状態を常温で測定し、水平度等の調整を行っていた。これに対して、新たに加熱状態での変位を測定する手法を開発し、用いることで加熱時の基板吸着チャックの平面度を測定可能となり、加熱時の精度が確保できるようになった。

実験では高精度化前後の基板吸着チャックの表面変位を測定し状態を確認した。

図 2-2-21 に測定結果を示す。高精度化以前の基板吸着チャック（以後旧チャックと記載）は常温状態で平面度が $62\ \mu\text{m}$ であった。旧チャックにおいても装置完成当初はおおよそ平面度 $10\ \mu\text{m}$ で製作されていたが、一旦、加熱されることで変形が生じ、初期状態に復元できなかったためではないかと考えた。旧チャックを 100°C 、 160°C と加熱すると、さらに約 $20\ \mu\text{m}$ ほど平面度が悪化する結果となった。これに対して基板吸着チャックの材質を熱変形が少ない材質に変更した基板吸着チャックを製作した（以後、新チャックと記載）。さらに旧チャックにおいては、 160°C 以上に加熱すると表面処理が変質していたため、新チャックにおいては耐熱性を有する表面処理を選択し、表面に施した。新チャックは室温でも、 160°C に加熱した場合でもほぼ平面度が $25\ \mu\text{m}$ 程度となり、加熱された状態でも平面度 $21\sim 24\ \mu\text{m}$ の精度が維持できていた。特にマルチノズルを搭載し塗布する場合は、塗布長さが約 $40\ \text{mm}$ から $50\ \text{mm}$ となるため、実質、塗布にかかわる平面度は約 $6\ \mu\text{m}$ となり、目標値とする $\pm 5\ \mu\text{m}$ （レンジで $10\ \mu\text{m}$ ）の範囲に収めることができた。新チャックの温度分布としては、設定温度を 100°C とした時、チャック表面全域（チャックサイズ $230\ \text{mm}\times 320\ \text{mm}$ ）において $89.5^\circ\text{C}\pm 0.9^\circ\text{C}$ で推移していた。この数値についても目標値である $\pm 2^\circ\text{C}$ の範囲に収めることができた。

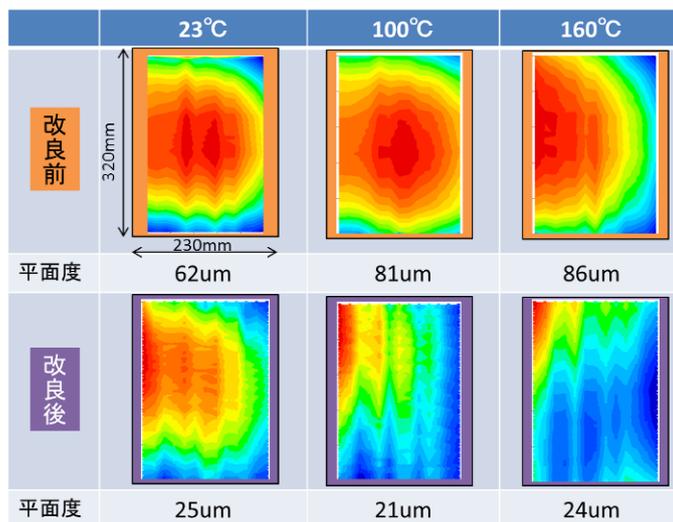


図 2-2-21 基板吸着チャックの状態把握

以降の塗布では本新チャックを用い実験を進めた。開発した変位測定法により加熱された状態においても基板吸着チャックの表面変位を測定可能となったため、加熱状態における基板吸着チャックの水平度、ガイドに対する平行度を調整し、精度を確保することができた。

2-3 【3】 有機デバイスの試作と評価

本事業で開発する量産装置を用いて作製する有機結晶膜が、装置の販売先となるユーザー企業において必要とされるデバイス性能を満たすことが非常に重要である。本取組項目では、量産装置を用いて作製した有機半導体結晶膜について、デバイス実用化のために必要な性能を有しているかを検証する基礎データを取得し、塗布プロセスや装置改良のためのフィードバックを行うことにより塗布装置の性能を向上させることを目指した。実用デバイスの重要例として、ディスプレイ駆動用のアクティブマトリクス素子と、P型、N型のトランジスタからなる有機CMOS素子を用いた基本論理回路の試作を行い、その性能を実証した。

1) 【3-1】 アクティブマトリクス素子を用いた塗布結晶膜の均一性評価

<有機結晶膜塗布の前処理条件の確立とスリットコーター実験機での特性 >

塗布装置（スリットコーター）を用いて作製した半導体結晶膜でのトランジスタ特性を評価するために、塗布結晶膜全面にアクティブマトリクス素子を作製し、各トランジスタの特性を評価した。図2-3-1左に、アクティブマトリクス素子を構成する有機トランジスタの断面構造を示す。これまでの知見で高性能化の実績があるトップコンタクト、ボトムゲート型とし、実用上重要な高速応答性や大電流動作を実現するために、コンタクト電極との接触抵抗を非常に小さく、かつ短チャネル素子を容易に作製できる構造とした。図2-3-1右に、試作したアクティブマトリクス素子の全体写真とトランジスタ画素部分の拡大図を示す。ディスプレイ駆動用などのマトリクス素子として、トランジスタを縦横500 μm おきに形成したパターン(画素ピッチが500 μm 角相当)とし、500 μm ごとに結晶膜性能を評価できるようにした。パターンニングはフォトリソグラフィを用いて行ったため、非常に精度よく同一パターンが形成できている。

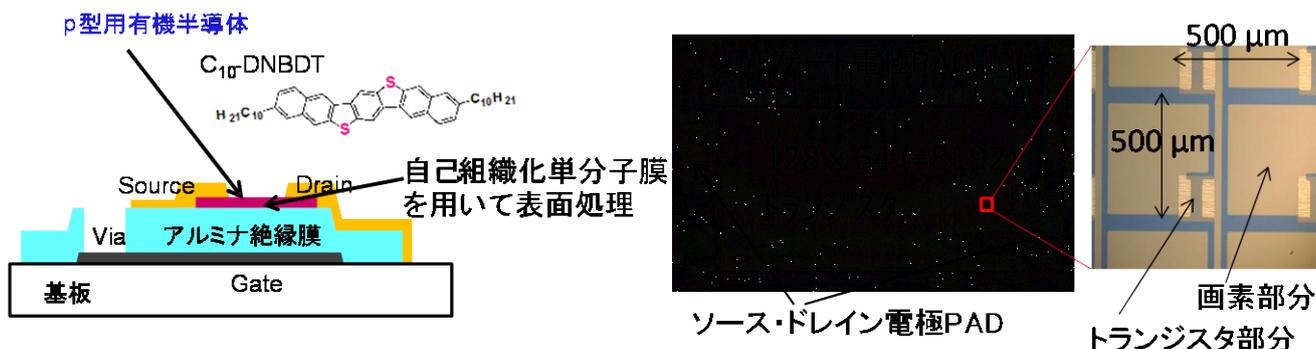


図 2-3-1 有機トランジスタの断面構造と作製したアクティブマトリクス素子

高移動度を実現するために結晶膜に求められる形態を明らかにするために、結晶膜の膜厚（分子層数）と移動度との相関性について調べた。有機結晶膜の膜厚は、レーザー顕微鏡を用いて評価し、有機半導体 C₁₀-DNBDT 結晶の c 軸方向の 1 分子層の高さ 約 5 nm の値から分子層数を換算した。図 2-3-2 にデータの一部として、異なる分子層数を有する結晶膜とそのトランジスタ特性から求めた移動度、及びレーザー顕微鏡を用いて測定した膜厚のプロファイルを示す。図 2-3-3 に、測定した有機半導体結晶膜の膜厚とトランジスタ移動度との関係を示す。ここで、チャネル内で異なる膜厚（分子層数）をもつ場合は、

最大エリアを占める膜厚の値としてプロットした。図 2-3-3 によれば、膜厚が厚くなるほど移動度が低下する傾向が見られており、膜厚が 25 nm (5 分子層) 以下の場合ではすべての素子で移動度 $5 \text{ cm}^2/\text{Vs}$ 以上の値が得られている。分子層数が厚くなるほど移動度が低下している傾向があるのは、結晶 c 軸方向の低移動度の電気伝導部分の割合が増え、これが接触抵抗として含まれるために、見かけ上の移動度が低下しているためであると考えられる。本条件の場合で $8 \text{ cm}^2/\text{Vs}$ 以上といった高移動度を得るためには、作製する結晶膜の分子層数を 4 分子層以下とすることが必要である。

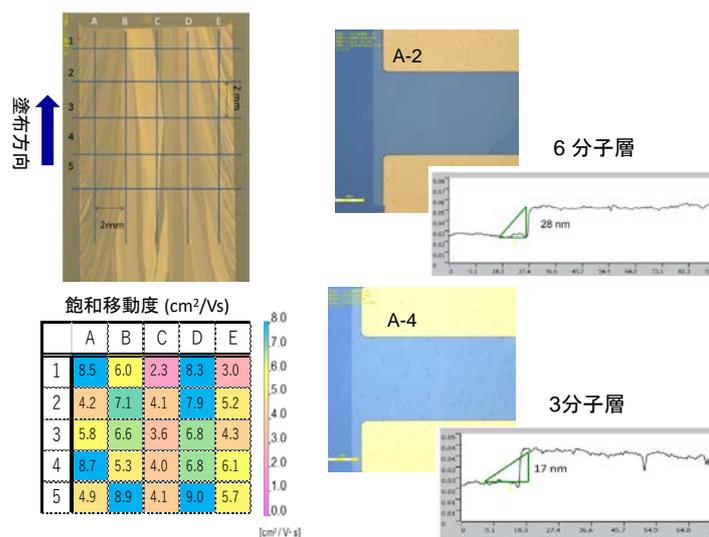


図 2-3-2 異なる分子層数を有する結晶膜の偏光顕微鏡写真（左上）とその移動度（左下）、及び分子層数を測定したチャンネル部写真と膜厚データ例（右）

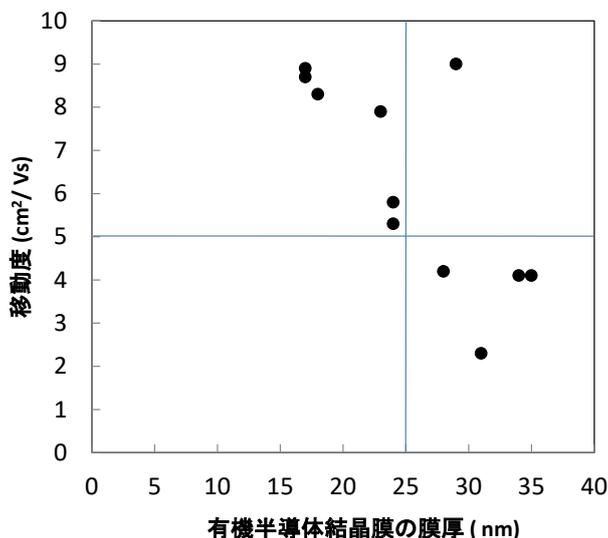


図 2-3-3 有機半導体結晶膜の膜厚とトランジスタ移動度との関係

<減圧制御塗布にて作製した膜のトランジスタ特性 >

次に、研究開発項目【2-1】において減圧制御塗布を行った膜の評価を行った。図 2-3-4 に得られたトランジスタ特性の例（左）とその移動度分布（右）を示す。これによれば、全体的に高移動度の値が得られており、平均値と標準偏差は $10.8 \pm 2.2 \text{ cm}^2/\text{Vs}$ と、平均移動度としては $10 \text{ cm}^2/\text{Vs}$ を超える非常に高い値を得ることができた。レーザー顕微鏡を用いた膜厚測定の結果、分子層数は、塗布エリアの極端部を除く全面において 2~3 分子層となっており、非常に膜厚均一性の高い膜を得ることができた。

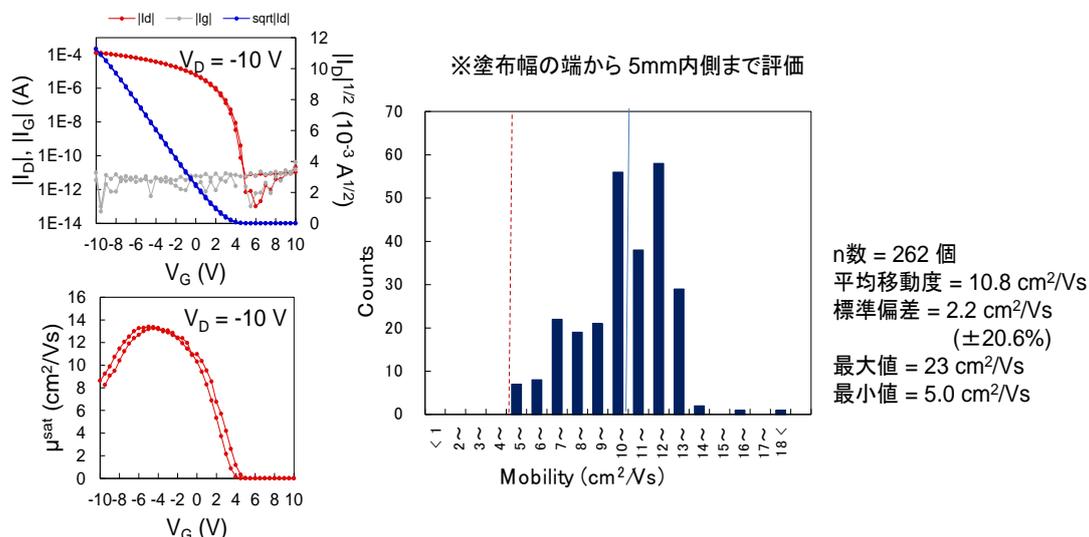


図 2-3-4 減圧制御塗布した結晶膜についてのトランジスタ特性例（左）と移動度分布（右）

<複数同時塗布膜のトランジスタ特性 >

次に、研究開発項目【2-3】において、大面積・高速塗布を可能とするために複数のスリットから同時に塗布を行った分子結晶膜について、その分子層数の測定とトランジスタ特性の評価を行った。同時に 2 膜を塗布した膜の 1 膜分（結晶膜 2）の膜状態を図 2-3-5 に示す。同時に製膜した 2 膜のいずれの結晶膜についても、結晶ドメインの大きい非常に均一な膜が全面的に形成されている。また通常は、特に塗布始端や終端部分において、結晶核生成による膜厚の不均一性などの乱れがみられるが、本結晶膜については、不均一部分が非常に狭く、塗布始端部から $100 \mu\text{m}$ 程度以上内側のエリアでは、ドメインの乱れがほとんどみられていない。これらの膜について、先と同様にレーザー顕微鏡を用いて、非接触での膜厚測定を行った。図 2-3-6 に、結晶膜 1 での結果の一例を示す。これによれば、塗布の開始端の部分以外のエリアでは、分子層数が 2~4 層となっており、非常に均一な膜形成が実現できていることがわかった。

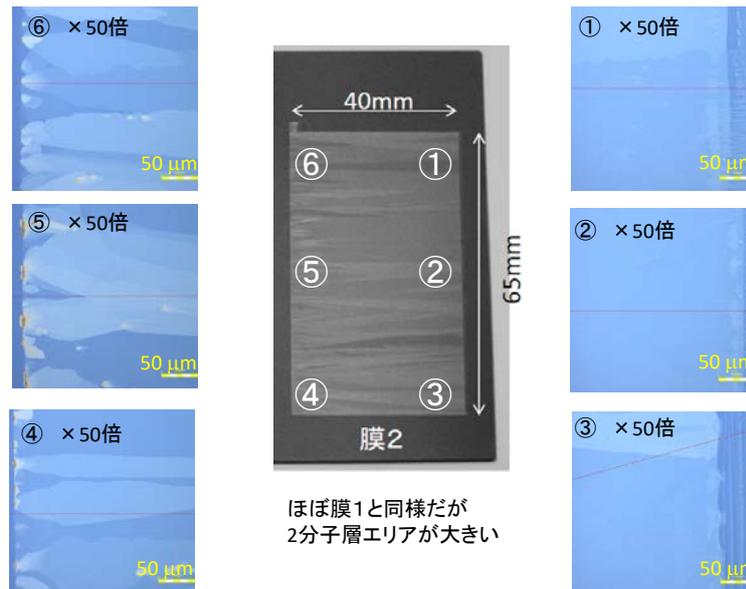


図 2-3-5 複数同時塗布した結晶膜 2 の光学顕微鏡像(中)と、塗布始端(左)と終端部(右)の偏光顕微鏡像

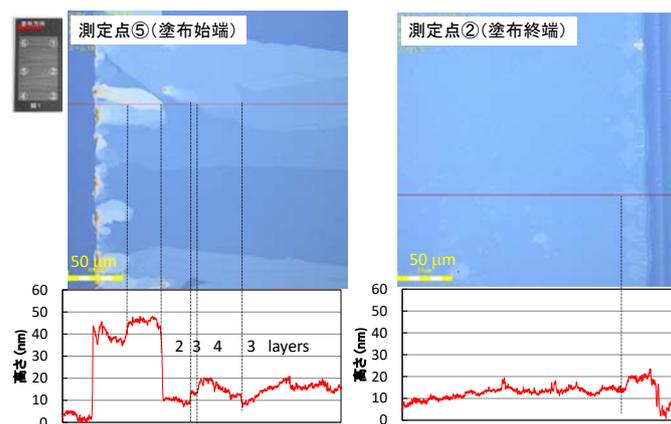


図 2-3-6 結晶膜 1 の膜厚測定結果の例

次に、これらの結晶膜についてのトランジスタ特性の均一性について評価した。移動度の分布を図 2-3-7 に示す。結晶膜 1、結晶膜 2 でのトランジスタ移動度の平均値は、それぞれ $11.7 \text{ cm}^2/\text{Vs}$ 、 $11.8 \text{ cm}^2/\text{Vs}$ 、変動係数はそれぞれ 13.2 %、8.38 % となり、いずれも本事業で掲げた移動度の目標値である $10 \text{ cm}^2/\text{Vs}$ を超える非常に高い値が得られた。移動度分布については、結晶膜 2 ではばらつきがかなり小さくなっているが、これは図 2-3-6 の顕微鏡写真で見られるように、結晶膜 2 では 2 分子層数のエリアがかなり大きい部分を占めていることに起因していると考えている。

以上のように、タツモ社量産用スリットコーターにおいて精密な塗布条件出しを行った結果、複数同時塗布膜について、非常に高い移動度が得られ、ばらつきがかなり抑制された均一な塗布膜が得られていることが実証できた。

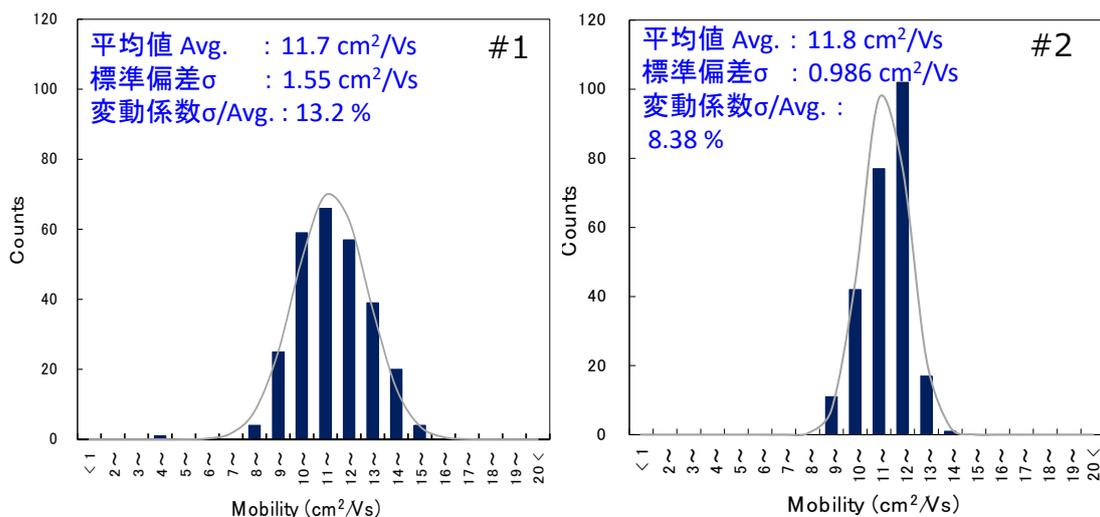


図 2-3-7 結晶膜 1(左)、結晶膜 2(右)を用いたトランジスタ移動度の分布

2) 【3-2】 P 型、N 型材料を用いた CMOS 論理回路への適応性の実証

<N 型動作用有機半導体のスリットコーターによる塗布とそのトランジスタ特性>

RFID タグ等の様々なアプリケーションで必要とされるフレキシブルな論理回路を構築するためには、P 型と N 型の両極性トランジスタを有する相補型回路(Complementary Metal-Oxide-Semiconductor circuit: 以下 CMOS 回路と略す)を形成することが、消費電力等の点でも非常に重要である。本項目では、N 型用有機半導体材料についても塗布条件を確立し、塗布装置が各種の有機半導体結晶材料について適用可能であることを実証することを目標とする。N 型有機半導体材料としては、大気中安定で一般に入手可能な、宇部興産(株)提供の TU-1 材料 (2019 年 3 月現在は(株)Future Ink より販売) を用いた。塗布速度、塗布ギャップ、溶液吐出速度を変えて塗布条件の検討を行い製膜を行った。

スリットコートで製膜した N 型動作用半導体結晶膜を用いてトランジスタ構造を作製し、そのトランジスタ特性の評価を行った。図 2-3-8 にその特性例を示す。これによれば、Turn ON 電圧が+1 V とほぼ 0 V に近く、飽和移動度が $0.34 \text{ cm}^2/\text{Vs}$ であり、大気中での測定にも関わらず、ヒステリシスがほとんど見られない良好な N 型動作特性を得ることができた。

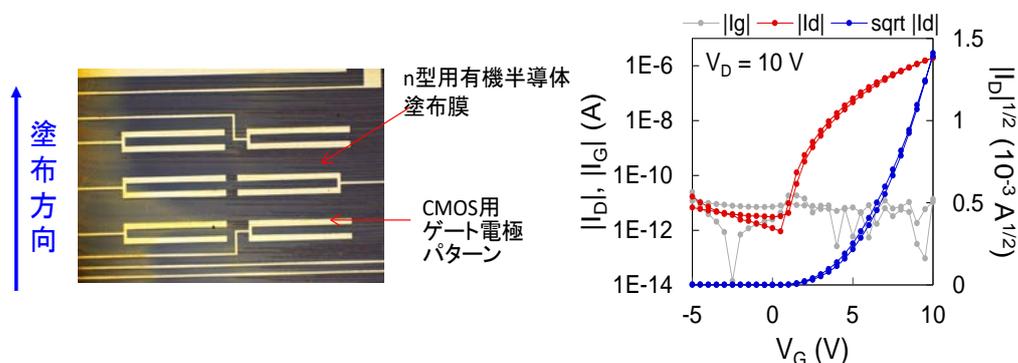


図 2-3-8 塗布した N 型トランジスタ部分 (左) とトランジスタ特性の例 (右)

< CMOS 論理回路への適応性実証 >

次に、CMOS 回路への適用性を検証するために、P 型動作部分と N 型動作部分とを同一基板上に配置した回路を設計し、スリットコーターを用いた塗布による作製を行った。まずは、CMOS 回路を構成する最も基本的な素子として、P 型 N 型トランジスタを 1 つずつ用いるインバータ素子の挙動を確認する。図 2-3-9 に示すように、チャンネル長 L 、チャンネル幅 W を変えてインピーダンスを調整した各種仕様のトランジスタを作製し、異なる仕様の P 型、N 型トランジスタを組み合わせるインバータ動作を測定した。図 2-3-10 に、得られた CMOS インバータの出力特性を示す。3 つの図のなかで、最も右側が P 型動作のインピーダンスが低いものであり、左側がその逆の組み合わせを用いた場合の特性である。P 型の Turn On 電圧が +5 V 程度、N 型の Turn On 電圧が +1 V 程度と、P 型がノーマリー ON 動作をしているために、切り替わり点を中心電圧からずれているが、きれいな反転動作がみられており、インバータとしての動作を実証できた。また、インバータの立上り、立下り時間として $7.5 \mu\text{s}$ と 133 kHz に相当する動作速度が得られており、移動度からの見積りと合致している。CMOS 回路を構成するために作製した P 型 7 個、N 型 8 個の動作歩留まりは 100 % であり、この規模での CMOS 回路の動作が可能であることが示唆された。

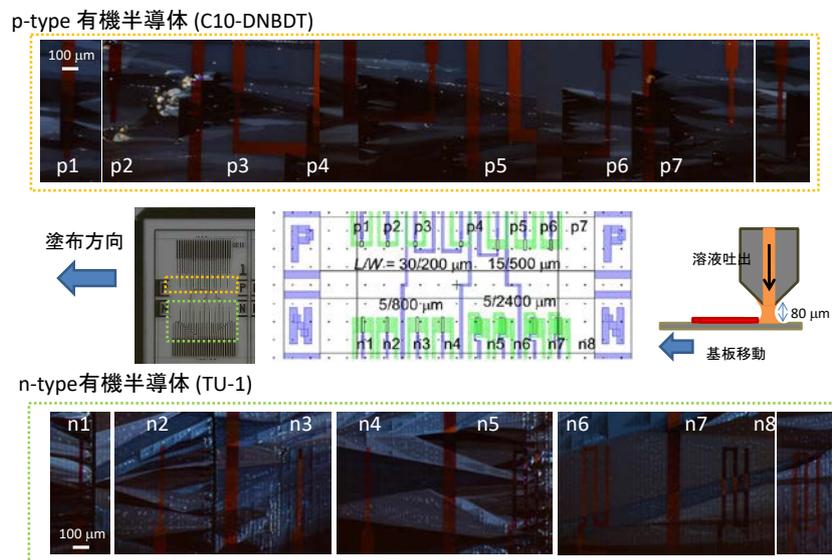


図 2-3-9 CMOS インバータ動作検証用に作製した各種仕様の p 型、n 型トランジスタ

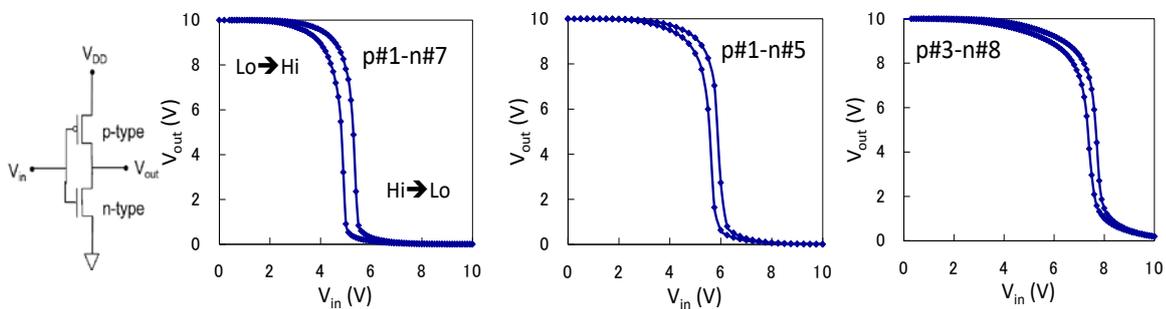


図 2-3-10 CMOS インバータの回路図(左)と、得られたインバータ動作(右 3 図)

次に、CMOS 回路として図 2-3-11 左にその回路図を示すコンパレータ(comparator)回路を設計し、その動作実証を行った。コンパレータは、2 つの異なる信号の大小を比較して、その結果によって 0 or 1 のデ

デジタル出力を切り替える、いわゆる比較が可能な回路であり、センサ信号の読み出し等で必須の回路である。大まかな動作原理を下記に説明する。図 2-3-11 左の回路図で、P 型トランジスタ①、②部分はカレントミラー回路を構成しており、①に流れる電流を②部分に「複製」している。①と④の部分は直列接続のため同一電流を流すように回路が働くことから、④部分のインピーダンスを②部分に「複製」することができる。それぞれ P 型、N 型トランジスタから成る②と⑤のインピーダンスを比較した結果、出力が得られるが、これは④と⑤のインピーダンスを比較することに他ならない。このようにして④と⑤部分のインピーダンスを比較できることから、④、⑤の入力電圧の大小を判定することができる。ここでは、回路を構成する各トランジスタのチャンネル値として、表 2-3-1 に示す値を採用し、回路動作が安定して行えるような設計を行った。

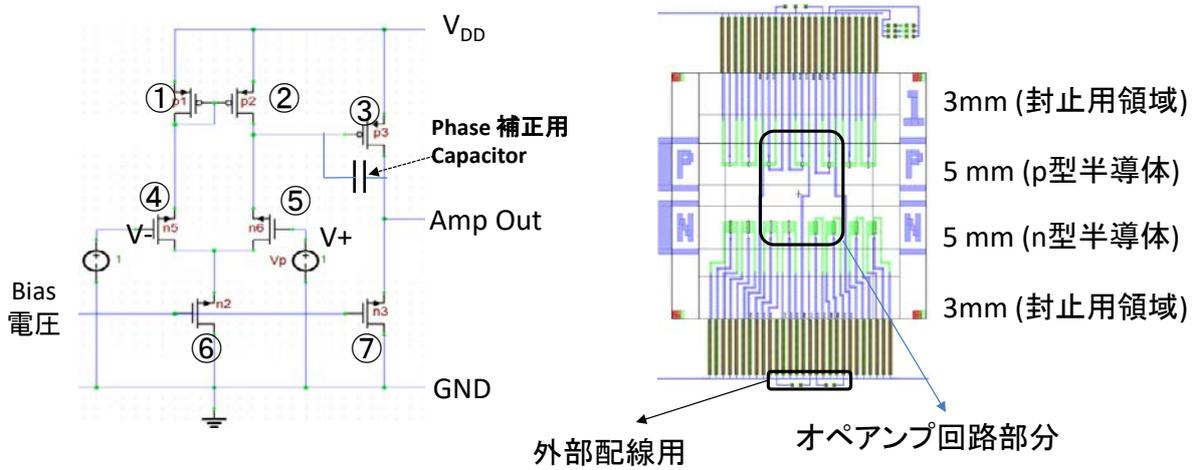


図 2-3-11 CMOS コンパレータ回路の回路図(左)と設計したレイアウト図(右)

	TFT NO.	L[um]	W[um]
p	①	30	200
	②		
	③		
n	④	5	800
	⑤		
	⑥	5	2400
	⑦		

表 2-3-1 CMOS 回路を構成する各トランジスタのチャンネル設計値

図 2-3-12 に、コンパレータ回路の出力特性を示す。左図は、動作解析のために同一基板上に作製したテスト用インバータ回路の出力特性であり、中図、右図は、電源電圧をそれぞれ 10 V、15 V とした時のコンパレータ回路の出力特性である。これによると、バイアス電圧を変化させると閾値が理論通り変化しており、電源電圧の半分の電圧付近で出力を High⇔Low へと切り替えることができている。また、封止がない状態にもかかわらずヒステリシスはほとんど見られず、薄い結晶膜がきちんと作製できていることが示唆される。今回、作製したコンパレータ 6 素子の全て(トランジスタ 42 素子)について、動作を実証することができた。

また、センサ信号の読み出し等で重要な増幅回路を構成するために、作製したコンパレータ回路を用

いて、図 2-3-13 の左に回路図を示すオペアンプ負帰還回路の動作検証を行った。図 2-3-13 右図に、外付け抵抗値の比を 5 (増幅率が 5 倍)とし、入力信号 V_{in} 、出力信号 V_{out} を測定した結果を示す。入力信号がきちんと増幅された出力信号が得られていることがわかる。 以上のように、P 型 N 型有機半導体材料を用いて、スリットコーターで塗布することにより均一な結晶膜を作製し、CMOS 回路の動作実証を行うことができた。

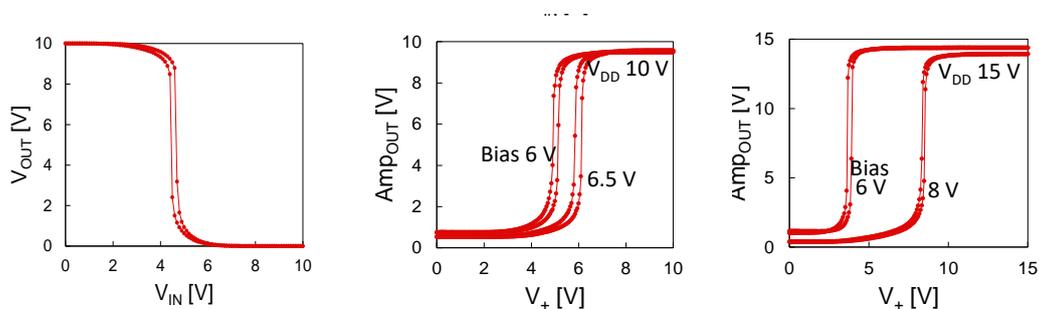


図 2-3-12 CMOS コンパレータ回路の出力特性(左下：電源電圧 10 V のとき、右下：同じく 15 V のとき)と動作テスト用インバータ素子の特性(左上)

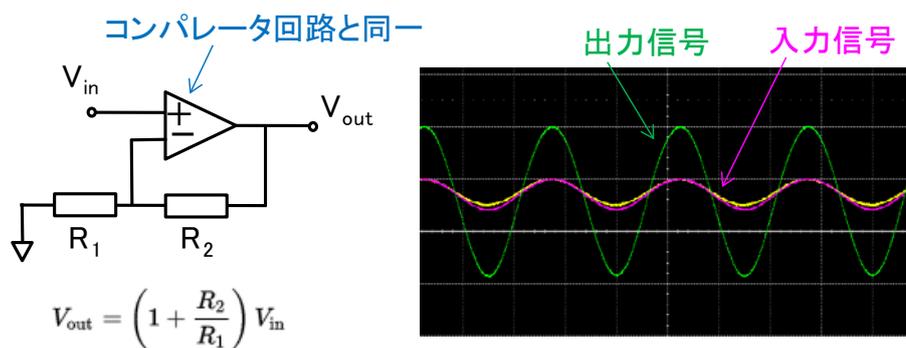


図 2-3-13 CMOS 増幅回路の回路図(左)とその出力信号 (右)

第3章 全体総括

3-1 研究開発の成果

以下に、本事業（3年間）の成果を総括する。

1. 高温条件下で大面積均一結晶化を実現する為の重要なポイントとなるメニスカス形状解析による塗布最適条件の導出では、解析と実塗布のメニスカス形状一致率 80%以上達成。
2. 伝熱解析に基づく改良ヒーターにて温度均一性 $\pm 1.6^{\circ}\text{C}$ 達成。
3. 【1-1】のメニスカス形状最適化、【1-2】の高精度塗布さらに【2-1】による乾燥条件の安定化により膜厚分布 3 分子 ± 1 分子実現。
4. パターニングプロセス最適化による塗布開始部の微結晶エリア低減及び独立制御塗布を用いた塗布開始部の塗布条件の最適化により、不均一エリアを 3 mm 以下に低減。
5. 気圧制御（減圧下）による高速塗布化により従来比 2 倍（0.04 mm/s）の連続膜形成実現。
6. 新開発材料による塗布高速化により従来比 3 倍(0.06 mm/s)の連続膜形成実現。
7. 選択塗布装置によるマルチノズル化における課題抽出を行い、生産性 10 倍への目途を立てた。
8. アクティブマトリクスアレイを試作し、電子移動度 $11.8 \pm 0.99 \text{ cm}^2/\text{Vs}$ を達成した。
9. CMOS 論理回路（インバータ回路）を設計・試作し、目論見通りの動作速度（133 kHz）での動作を確認した。

3-2 研究開発後の課題と事業化展開について

低コスト・高電子移動度を有する有機半導体の実用化が期待されている中、これに応えるべく本事業では、高温加熱結晶化塗布において、スリットノズル先端部における液だまり量安定化等による有機デバイスの性能向上と、減圧塗布によるインク溶媒蒸発加速、マルチノズル化等による生産性向上を実現し、更に、これらを実証する為の素子およびデバイス駆動に必要な回路を試作し、評価を実施した。

この様な取り組みによる技術的成果は、プリンテッドエレクトロニクス分野で 8 兆 8000 億円(2030 年)規模が予測されている市場において、RF-ID タグや有機 EL ディスプレイなど、フレキシブルデバイスの製品化を促し、タツモはそれを有機半導体塗布装置の商品化に繋げ、R&D 用塗布装置、G2 サイズ対応生産用塗布装置、G4.5 サイズ以上へ対応する本格量産用塗布装置へと順次、ビジネス展開を図って行く。

開発途中ではあるが、現在までに、R&D 用途として、高温加熱塗布の装置、関連機能ユニット（スリットノズル、塗布液供給ポンプ、加熱ユニットなど）の提供実績がある。

現在、内閣府による戦略的イノベーション創造プログラムにおいてスマート物流WGで進めている取り組みの中で単価 1 円以下の RF-ID タグの量産試作の大型塗布装置の提供を東京大学ベンチャーであるパイクリスタル(株)より要請があり、検討を進めている。また、大面積シート型 LED サイネージ装置への有機半導体結晶膜塗布装置の提供を東京大学ベンチャー企業である(株)オルガノサーキット要請もあり、今後量産化へ向けた詳細仕様の検討を進める予定である。いずれも 2022 年を事業化目標としている。

今後、これらの塗布装置の提供要請案件も含めて、本事業での開発成果を更に盛り込み、R&D 用途、生産用途の受注に繋げ、2021 年には約 60 億円規模/年の販売を目論んでいる。

以上