

戦略的基盤技術高度化・連携支援事業

戦略的基盤技術高度化支援事業

「ナノパーティクルデポジション法で形成する微細金コーンバンプを  
使った微細ピッチ低温バンプ接合技術の実用化研究開発」

研究開発成果等報告書

研究開発期間：平成27～29年度

平成30年5月

担当局	東北経済産業局
補助事業者	東北マイクロテック株式会社 国立大学法人東北大学未来科学技術共同研究センター 国立研究開発法人産業技術総合研究所

第1章. 研究開発の概要

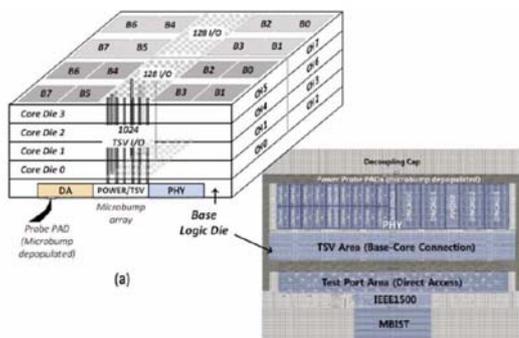
1-1 研究開発の背景・研究目的及び目標

(1) 研究開発の背景

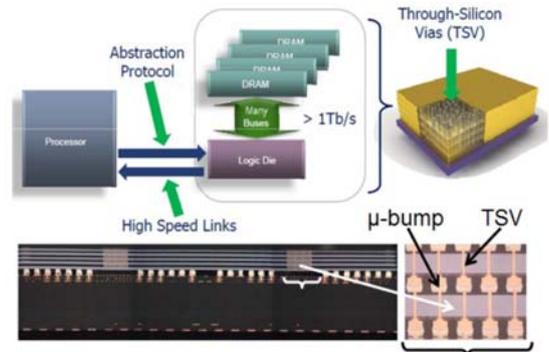
近年、三次元積層 LSI 技術の研究開発が加速してきている。三次元 LSI 技術は、表 1.1 に示すように、各種各様な集積化を達成技術が提案されてきた。従来の LSI 技術は精密にコントロールされた数千のプロセスステップから成り、プロダクトに応じてプロセス仕様を変更することは殆んど無い。一方、三次元 LSI は、変更の難しい LSI と多種多様なアプリケーションを結ぶいわゆるシステム技術であるため、実現するアプリケーションを定義しなければ、無駄な開発に終わる。近年は DRAM の積層が進められてきており、(米)マイクロンが押し進める HMC (Hybrid Memory Cube)、AMD/(韓)SK Hynix が中心になって進める HBM(High Bandwidth Memory)が三次元技術をドライブする役割を持ってきた。(図 1. 1)

表 1.1 各種の三次元ICの積層方法

TSV process Conductor Mat. Stack Approach		Via first	Via middle	Via last		Process cost	Heterogeneous Integration
		before MOS	before Metal interconnect	after BEOL before Stack	after Stack		
		Poly-Si	W, Cu	W, Cu, etc	W, Cu, etc		
WoW	Bulk	MEMS	3D DRAM 3D Flash	Image Sensor	Ziptronix IMEC Samsung .....	Low	Impossible
	SOI			T-Micro etc.	IBM MIT(Lincoln Lab.) RPI		
CoW		MEMS		-Heterogeneous Integration -Pixel detector		Low~Middle	possible
CoC		MEMS	3D DRAM 3D Flash		T-Micro etc.	High	possible



(a)SK ハイニクス社の3次元積層型DRAM (High Bandwidth Memory: HBM)



(b)マイクロン社の3次元積層型DRAM (Hybrid Memory Cube: HMC)

図 1. 1 三次元積層型 DRAM

この後は Flash メモリ、アレイタイプのセンサ市場が広がると予想される。センサアプリケーションの中の一つとしてピクセルアレイ領域にマイクロバンプ接合を使った、高速で高機能のセンサ技術がある。従来のイメージセンサに代表されるアレイセンサではソニーから既に積層構造のものが市販され、スマートホンにも搭載されている。積層の目的はピクセル領域を 100%センサとして使い感度を上げることが目的であり、フレーム速度は 30fps と遅い

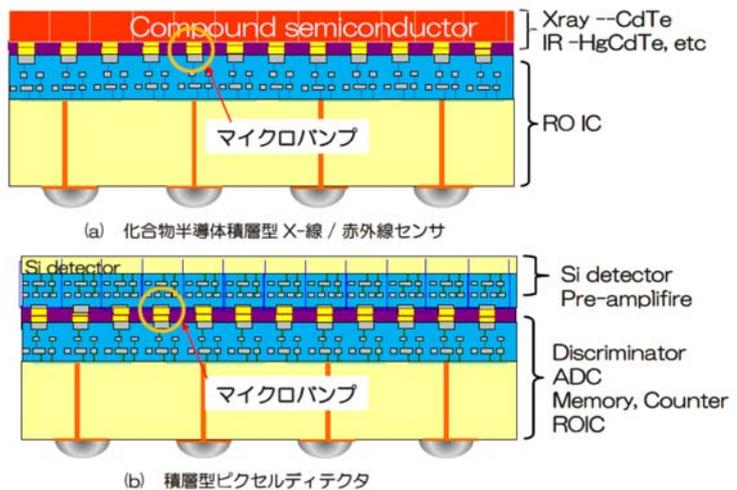


図 1.2 積層型センサ/ディテクタ断面模式図

ために Si センサチップ内に設けたアンプ/選択回路により画素信号をセンサチップの周辺に引き出して下側チップに順次送るという方式が使えるため、ピクセルアレイ領域には微細なマイクロバンプ接合は使われていない。しかし、化合物半導体センサを使った X 線センサ・赤外線センサの場合は、センサチップ内にピクセルサイズに相応する微細なトランジスタが作れないため、図 1.2(a)の様に各々のピクセルごとにバンプ配線を使って信号を下層の信号処理用 IC (ROIC : Read out Integration Circuit)に取り出す構造が必要である。バンプピッチがピクセルピッチと同サイズになる。更に、レンダリングを伴うセンサシステムでは、Si センサといえども画素間的高速演算が必要であるため、マイクロバンプを使って、画素データを高速で取り出して画素間で演算することが必要になってくる。また、図 1.2(b)に示す高エネルギー物理学で使う加速器の素粒子検出器では、精密な観測を行うためにマイクロバンプを使った積層の検出器により時間的空間的測定精度を上げたいという強い要望がある。

## (2) 研究目的

東北マイクロテック株式会社は微細 TSV 及びマイクロバンプ接合の研究開発を続けてきており、初めはマイクロバンプとして低温で熔融する In(インジウム)バンプに着目し開発を進めてきた (図 1. 3)。In は酸化されやすく、特に加熱圧着時に酸化膜が形成され導通が取れなくなるため、薄く金コートするか、積層時にギ酸処理して表面酸化膜を除去しながら処理する必要があった。しかし前者では、接合温度まで加温すると金コート In バンプは、外は金で被覆され中は溶けた In となり、金/金接合としては圧力がかからず In は金を介しているため、金の殻を割るような圧力をかける必要があり、その際に溶けた In が横にはみ出すという問題があった (図 1. 4)。また、後者では、接合間隔数  $\mu\text{m}$  と狭く、接合後に完全にギ酸を除去できず信頼性試験を行うと抵抗が不安定になる問題があった。このため、更なるバンプの微細化技術として金を使ったバンプ接合を検討した。金は酸化耐性が強く、加熱圧着により固相拡散で接合す

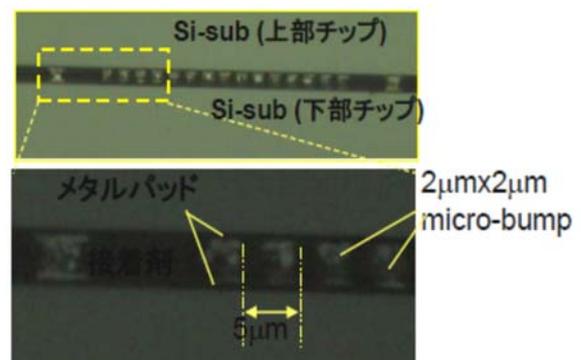


図 1.3  $2\mu\text{m} \times 2\mu\text{m}$  In(インジウム)マイクロバンプ接合

るため、はみ出しが無く、微細ピッチが実現できる。また、メインのターゲットデバイスとして積層型化合物半導体センサを考えているが、GaAs や CdTe を代表とする化合物半導体は、150°C 以上の高温熱処理で、ドーパントや蒸気圧の高い構成原子が昇華し、表面付近で stoichiometric (科学量論的) な組成からずれ特性劣化を招くという問題がある。このため、従来は、200°C で接合していた金バンプの接合温度を下げる技術が必要になった。また、化合物半導体の材料自体が Si より、軟らかく脆いため、機械的ダメージを与えない低圧力の接合技術が必要である。従来か

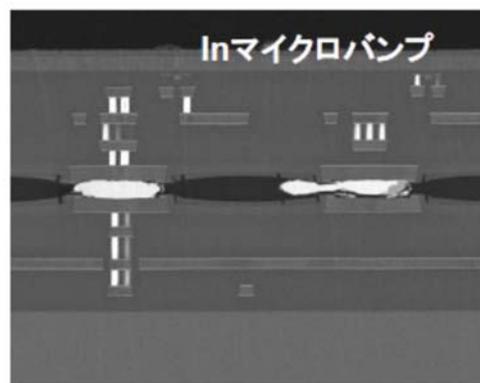


図 1.4 In バンプのはみ出し

らの金バンプ形成方法は、①スパッタ法、②蒸着法、③メッキ法等がある。これらの方法は、フォトリソでバンプ穴を形成した後、この穴の中に金を堆積して、その後レジストを除去する方法で形成する。スパッタ法若しくは蒸着法の外周に王冠状の壁ができる。この他に、産業技術総合研究所とミクナスファインエンジニアリング株式会社が開発したナノパーティクル堆積装置 (NpD 装置) を使う方法がある(図 1. 5)。図に示すように G chamber 内で金をルツボで加熱して蒸発させ、ヘリウムガスをキャリアとして、D chamber に輸送し、フォトリソでパターニングしたサンプル上に吹き付け金のみを堆積する。ヘリウムガスの流れによって、パターニングされた穴底で金が堆積されヘリウムガスはフォトリソの壁に沿って穴の外に出るため、レジスト側面には堆積しない。ヘリウムガスの流れによって錐状にバンプが形成る。また、ナノパーティクルとして堆積していくため、バンプは非常に細かい粒形状で金の純度が高く径抵抗の接続が期待できる。コーンバンプ形状は、フォトリソで作ったホールパターン形状で決まるので、リソグラフィによって微細なホールを形成することにより、簡単に微細化ができる。

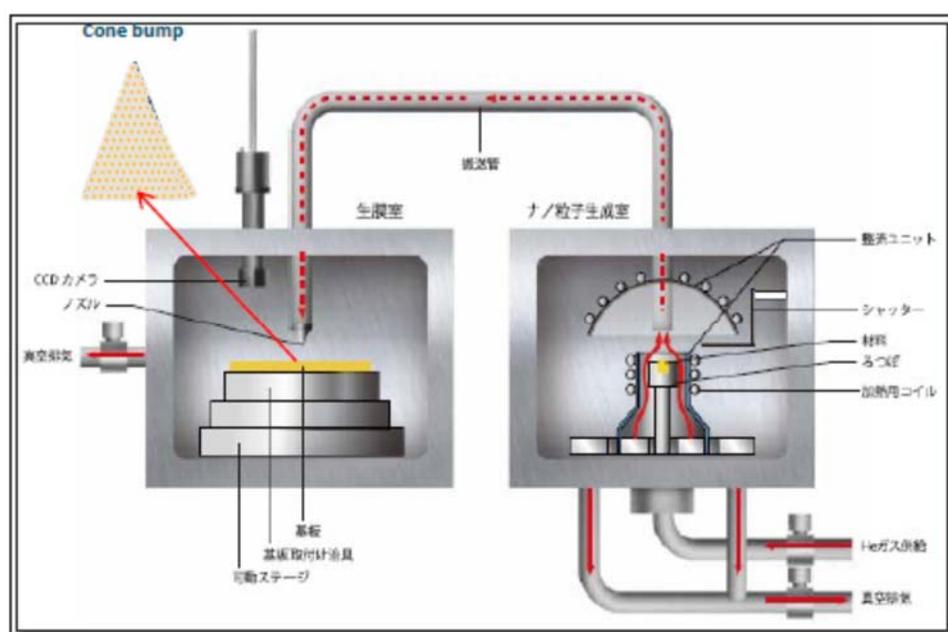


図 1.5 NpD デポジションの原理

図1. 6には金コーンバンプと従来の金メッキバンプを比較した。図に示すように、どちらもレジストでホール形状を作り、その中にバンプを形成していくが、メッキの場合は、穴のサイズが小さくなると、メッキ液が入り難くなり、入ってもウェハ/チップ面内のメッキ厚さのバラつきはホールサイズが小さいほど大きくなる。また、表面が平坦であるため、高さバラつきを吸収するようにバンプを変形させるには大きな圧力が必要になる。一方、コーンバンプの方は、レジストのホールパターンサイズで大きさと高さが決まり形状バラつきが小さく均一にできる。また、高さバラつきがあっても、メッキバンプより金の純度が高く、軟らかいため、表面が平坦なバンプより小さい圧力で潰れ、バンプの高さバラつきを吸収できる。このため軟らかい化合物半導体でも、ダメージが抑えられ、高い接合歩留りが期待できる。NpD法では、金粒子の堆積は、ノズルの位置の制御により、殆んどがレジストパターンニング領域で行われる。レジスト上に堆積された金はリフトオフの際に薄膜として回収されリサイクルできる。マイクロバンプに使う金の使用量は、例えば5mm角のチップに3 $\mu\text{m}\phi$ の径、高さ3 $\mu\text{m}$ の円錐バンプを5 $\mu\text{m}$ ピッチで100万個使って積層した時の金の使用量は約14 $\mu\text{g}$ で、ワイヤボンディングで使われる25 $\mu\text{m}\phi$ の金線の14mmの長さ分の体積と同等であり、回収サイクルを機能させることにより、金の使用量は通常のワイヤボンディングと同等以下にできる。スパッタ法や蒸着法では、チャンバーの側壁にも、メタルが堆積されるため、NpD法は、コスト的にも有利である。

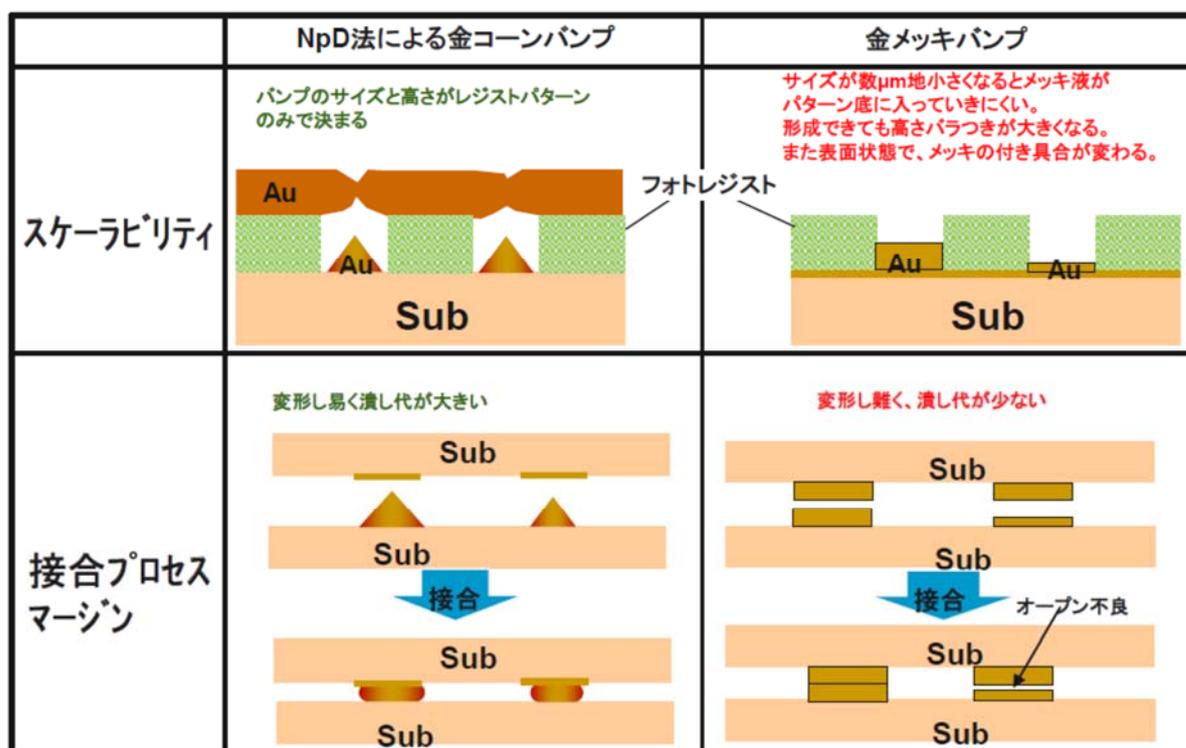


図 1.6 NpD 法による金コーンバンプとメッキバンプの比較

### (3) 研究目標

本研究では、従来と同じチップサイズで100倍以上の解像度を上げることを目標に、従来の1/10以下のピッチ、かつ化合物半導体が劣化しない低温で、加熱圧着で積層できる

技術の開発を目標とする。具体的には、バンプピッチ  $2\mu\text{m}$  で熱圧着以外の最高温度であるフォトレジストのポストバーク温度と同じ  $120^\circ\text{C}$  を目標とする。また、 $2\mu\text{m}$  ピッチの微細バンプの接合で十分に接合面積が確保できるように 2 層積層でアライメント精度  $0.5\mu\text{m}$  以下になる接合技術の開発を目的とする。これには、東北大学のセルフアセンブリ技術とコーンバンプ形状を使った精密合せ手法を組み合わせる。NpD 法を使ったコーンバンプ形成手段は、産業技術総合研究所、ミクナスファインエンジニアリング株式会社と東北マイクロテック株式会社しかプロトタイプの装置を持っていない。これを強みにするため、産業技術総合研究所を中心として、コーンバンプ形成の基礎技術・装置技術の完成度を高める検討を行う。さらに、コーンバンプ接合の信頼性の評価を行う。TEG を使った温度サイクル試験及び耐湿性試験により、バンプ起因の不良が発生しないことを確認する。また、本技術を東北マイクロテック株式会社で試作している X 線センサ TEG、遠赤外線センサ TEG、プロトタイプの素粒子検出器チップに適用し、整合性を確認する。

## 1-2 研究体制

研究開発の組織図を図 1.7 に示す。東北マイクロテック株式会社と東北大学未来科学技術共同研究センターが共同で事業管理を行い、後者の下に東北大学未来科学技術共同研究センターと産業技術総合研究所が入り、NpD、セルフアセンブリ、信頼性等の要素技術開発を担当する。東北マイクロテックは、主に集積化技術、製品化技術、顧客開拓を担当する。アドバイザーの東北大学医工学研究科は、東北大学所有のクリーンルーム内の装置の使用の際の技術指導を、島津製作所は X 線センサに関する技術・製品化のアドバイスを、ミクナスファインエンジニアリング株式会社は NpD 装置仕様に関する技術的なアドバイスを頂くという体制である。

### 事業管理機関

#### 東北マイクロテック株式会社

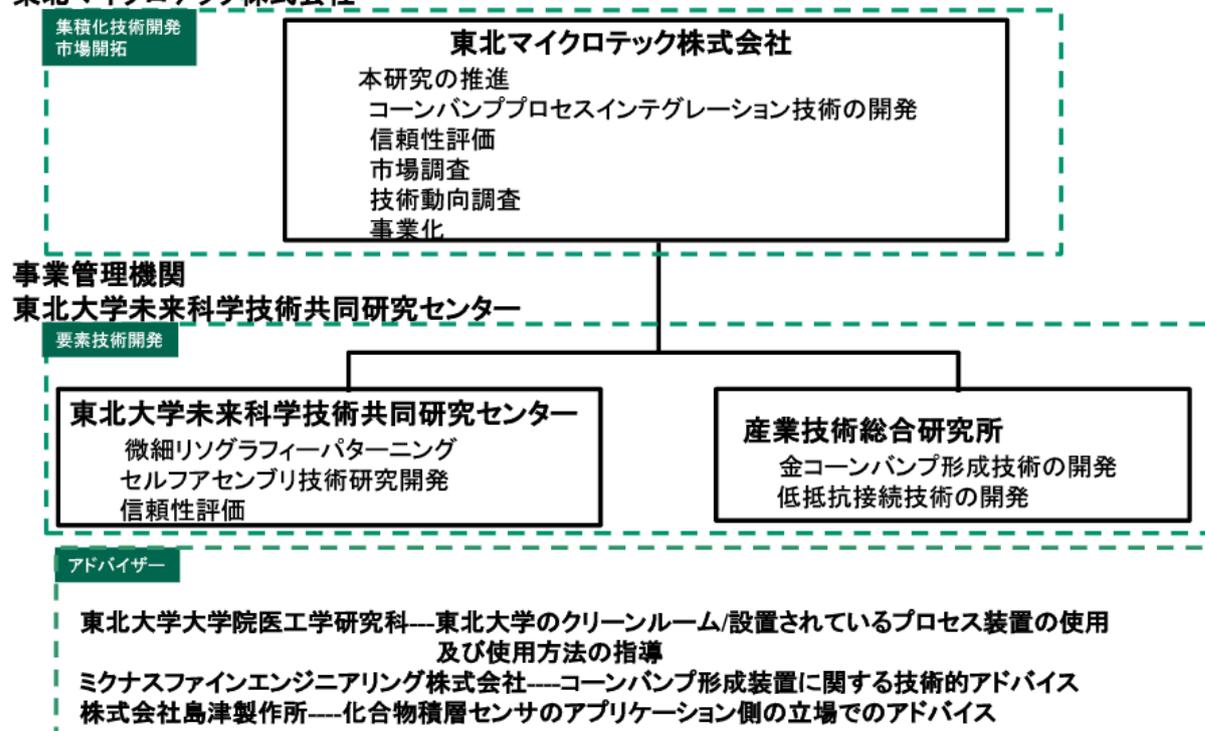


図 1.7 本研究開発の組織図

### 1-3 成果概要

#### (1). 補助事業の具体的内容・成果

##### 【1】2 $\mu$ m ピッチ金コーンバンプの開発

導入したプロトタイプของ ナノパーティクルデポジション (NpD) 装置の追加改造・(NpD) 効果を確認した。

改造後の NpD 装置を使い、1 $\mu$ m $\phi$  金コーンバンプを形成した。

1 $\mu$ m $\phi$  金コーンバンプの形成については新規 Daisy Chain TEGT を作成し 120°C で接合し、理論値通りのバンプ抵抗を得ることが出来た。

##### 【2】金コーンバンプを使った自己集積化プロセスの開発

コーンバンプを形成した TEG チップのセルフアセンブリ機能を確認した。

##### 【3】バンプ接合インテグレーション技術の開発

デザインルール評価用 TEG を作り、バンプ周りのデザインルールデザインルールを作成した。レイアウトルール評価用 TEG の測定結果から、ピッチ 2 $\mu$ m が実現できることが分かった。

##### 【4】接続信頼性技術の開発

温度サイクル試験 (1000 サイクル) を行い、接合部の電气的特性劣化が生じていないことを確認した。

##### 【5】半導体市場等調査

海外の学会展示、学会発表を通して X 線センサ、赤外線センサ、ピクセルディテクタの技術動向調査・顧客開拓を行い、10 件以上の新規顧客開拓が実現できた。

平成 27 年度 海外 4 展示会/学会、国内 3 展示会

平成 28 年度 海外 9 展示会/学会、国内 4 展示会/学会

平成 29 年度 海外 8 展示会/学会、国内 3 展示会/学会

### 1-4 本研究開発のスケジュール

図 1.8 に本事業の開発スケジュールを示す。スケジュール通りに進捗ができ、NpD 方を使った 2 μm ピッチの金コーンバンプ接続技術が信頼性も含めて完成できた。

実施内容	平成27年度				平成28年度				平成29年度				
	1/4	2/4	3/4	4/4	1/4	2/4	3/4	4/4	1/4	2/4	3/4	4/4	
<b>【1】2μmピッチ金コーンバンプの開発</b> 【1-1】1μmφ金コーンバンプの形成 【1-2】低抵抗接続技術の開発	TEGデザイン マスク作成				バンプ形成実験								NpD装置スループット改善
<b>【2】金コーンバンプを使った自己集積化プロセスの開発</b> 【2-1】セルフアセンブリ用の液体材料の選定 【2-2】噛み合わせ構造の最適化	液体材料の選定				表面処理技術の開発				表面分析				
<b>【3】バンプ接合インテグレーション技術の開発</b> 【3-1】コンタクト面積の確保 【3-2】バンプ周りのデザインの最適化 【3-3】デザインルール作成			TEGデザイン マスク作成		効果確認				マスク 修正				
<b>【4】接続信頼性技術の開発</b> 【4-1】インテグレーションによる接続抵抗確認 【4-2】信頼性評価					試作評価 (一次)				試作評価 (二次)				
<b>【5】半導体市場調査</b>													

図 1-8 開発スケジュール

### 1-5 当該研究開発の連絡窓口

担当者 東北マイクロテック株式会社 菊地 真理子  
 電話 022-398-6264  
 Fax 022-398-6265  
 E-Mail m.kikuchi@t-microtec.com

## 第2章 本論

### 【1】2 $\mu$ mピッチ金コーンバンプ の開発

#### 【1-1】1 $\mu$ m $\phi$ 金コーンバンプの形成

新たに導入した、ナノパーティクル堆積装置を使って、1 $\mu$ m径の微細金コーンバンプアレイを試作した。この装置はミクナスファインエンジニアリング株式会社と産業技術総合研究所で共同開発したもので、本事業では8/12インチウェハに堆積可能な量産装置を作るためにプロトタイプを導入しこれを改造して均一性、デポ速度の改善を図った。NPD装置の構成図を図2.1に示す。金ナノ粒子の生成室と堆積室の2室からなる。生成室では、金が充填された金属ルツボを抵抗加熱法により加熱してHeガス中で蒸発させ金ナノ粒子を生成する。生成された金ナノ粒子は搬送管と呼ぶステンレス製パイプを通じて負圧に排気された堆積室に導入される。導入された金ナノ粒子は先端が絞られたノズルから放出されて基板上に堆積する。このとき、基板を搭載するステージをX-Y方向にスキャンすることで、金ナノ粒子の堆積膜を基板上に形成することができる。

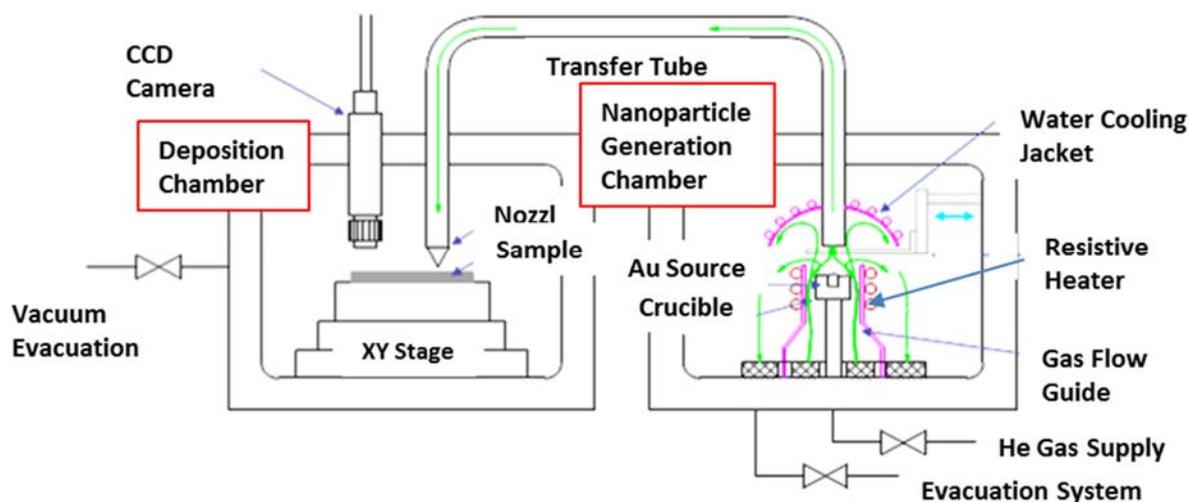


図2.1 NPD装置の構成図

平成27年度に導入して、改造したNPD装置の写真を図2.2に示す。平成28年度にはデポ速度を上げることを目的としてデポ室と堆積室のチャンバーを作り替え、ナノパーティクルの搬送管を250mmから40mmに短縮し、金の側壁への付着量を下げる対策を行った。また生成室のルツボ上に整流間を設け気流の乱れを抑えるように改造した。平成29年度は、①ロードロック機構の追加、②成膜一時停止用シャッター追加、③坩堝と搬送間距離を可変できる機構を追加、④ナノ粒子生成室内のナノ粒子の流れを整流という改造を行い、装置としての完成度を上げるとともに、今後の8/12インチマシンの製造のための基礎データが取

れるように改造した。



図 2.2 ナノパーティクル堆積装置

改造後の装置で堆積した  $1\ \mu\text{m}\phi$  のマイクロバンプ及びサンプルの断面構造を図 2.3 に示す。マイクロバンプは金パッド上にフォトレジストで  $1\ \mu\text{m}$  径のホールを形成し、リフトオフ法によって形成した。レジスト所に堆積した金の底が成長して、ホールが閉じると基板への堆積は止まるため、均一な高さで形成できる。

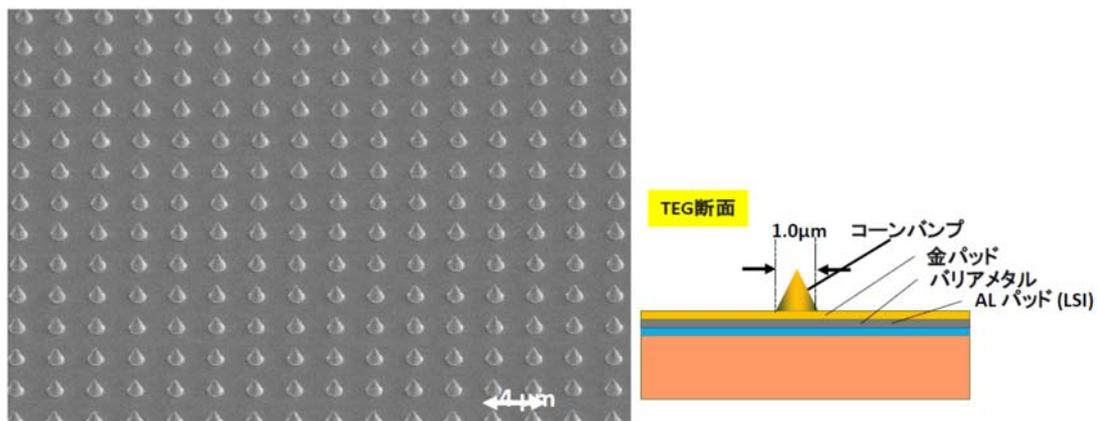


図 2.3 NPD を用いて作製した金コーンバンプ

## 【2】金コーンバンプを使った自己集積化プロセスの開発

コーンバンプを形成した TEG チップのセルフアセンブリ機能を確認した。また、コーンバンプ形状を利用した噛み合わせ構造により、チップアライメント  $0.5\mu\text{m}$  以下が達成できた。

## 【3】バンプ接合インテグレーション技術の開発

デザインルール評価用 TEG を作り、バンプ周りのデザインルールデザインルールを作成した。【2】の検討から、自己集積化とコーン形状を利用したアライメント方式をとることにより、チップ間の合せズレが  $0.5\mu\text{m}$  以下に抑えられた。コーンバンプの最大の潰れ量が対向チップのパッド部で  $0.7\mu\text{m}\phi$  で、最大の合せズレでも 80%以上の接合面積得られることを当初の目標としておりパッドサイズ  $1.4\mu\text{m}$  で図 2.4 に示す様に  $2.0\mu\text{m}$  ピッチが実現できることが分かった。

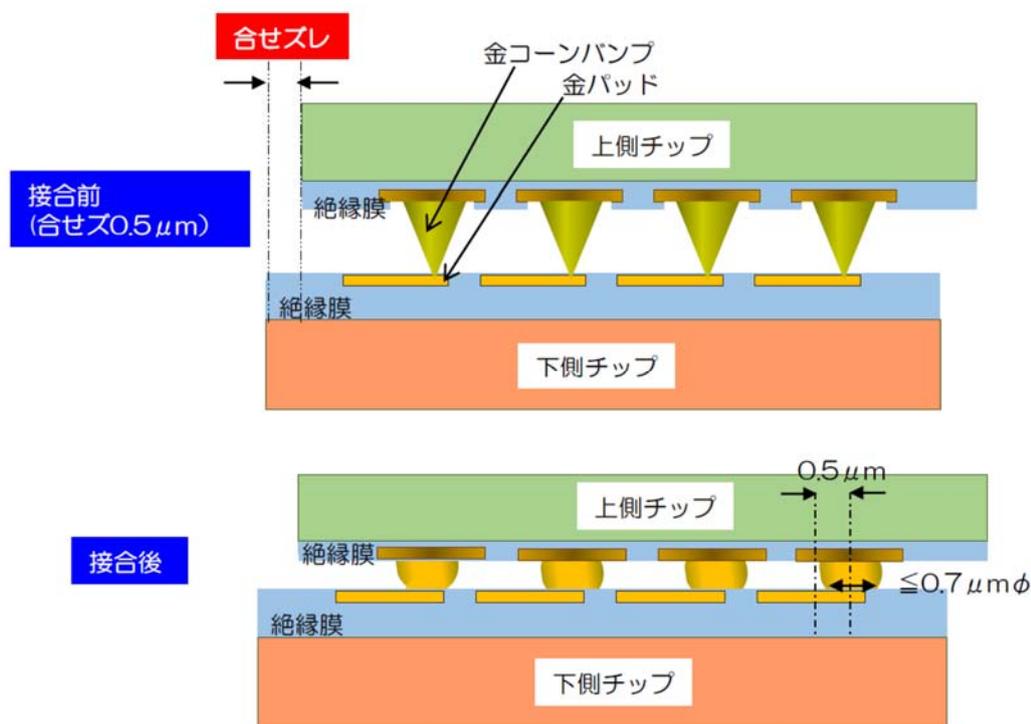


図 2.4 合せズレがある場合の金コーンバンプを使ったチップ積層

この結果及びチップ接合の信頼性評価結果から、表 2.1 のバンプ周りのデザインルールを作成した。

表 2.1 バンプ周りのデザインルール

デザインルール	バンプサイズ	$1.0\mu\text{m}\phi$
	最小パッドサイズ	$1.4\mu\text{m}\square$
	最小パッドスペース	$0.6\mu\text{m}$
	最小バンプピッチ	$2.0\mu\text{m}$
	コーンバンプ/オーバーラップ余裕	$0.2\mu\text{m}$
	アライメント用コーンバンプ径	$1.3\mu\text{m}$
	最大合せズレ	$0.5\mu\text{m}$

図 2.5 に 2000 段の Daisy Chain 抵抗の評価結果を示す。120°C で接合した。2 サンプルの測定結果であるが、両サンプルともバンプ数の増加に対してバンプ抵抗はほぼリニアに増加していることが分かる。傾きから、1 ヶ当たりのバンプ抵抗  $1.2\Omega$  が得られた。この値は、 $2.5\mu\text{m}\phi$  コーンバンプの抵抗値 ( $0.25\Omega$ ) に対し、単位接合面積当たりほぼ同等の値であり、接合は問題なく行われていると考える。

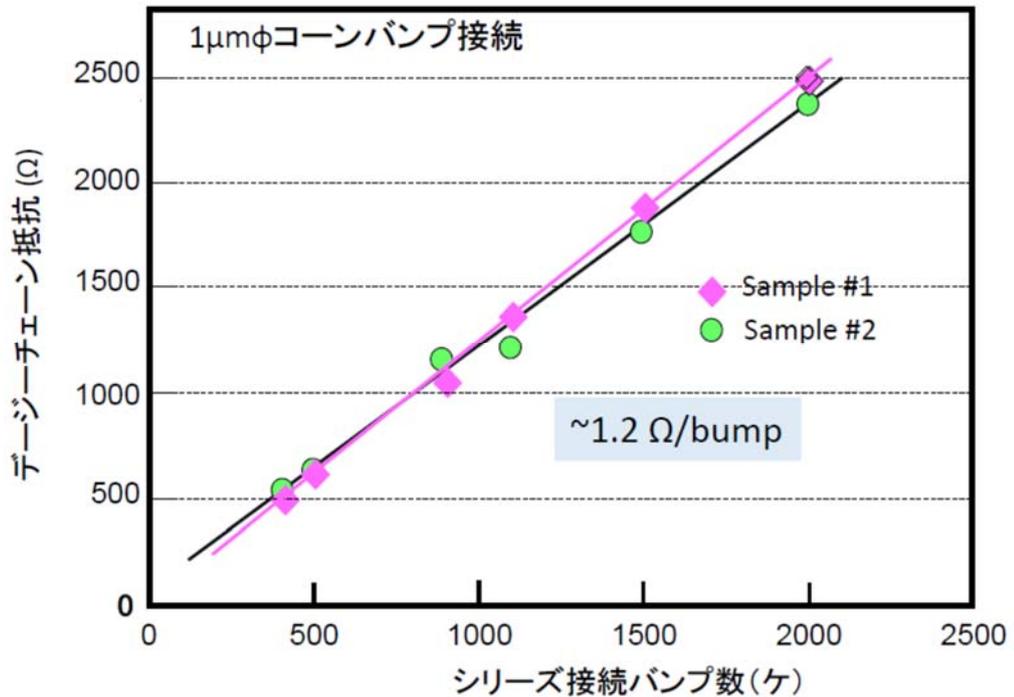


図 2.5 Daisy Chain 抵抗

### 第3章 全体総括

#### 3-1 補助事業の成果に係る事業化展開について

##### (1) ビジネスフロー・スケジュール

図3.1に事業化体制を示す。事業の流れは、①学会や展示会HPでの宣伝により、弊社の技術を知ってもらった顧客から、①三次元積層デバイスの試作依頼を頂いた場合、アプリケーションに最適な三次元構造を提案し②の三次元積層用の情報を提供する。これを基に顧客はLSIをデザインし、③自社若しくはウェハファンドリでベースウェハを試作する。④完成したベースLSIウェハ(チップ)を使い、東北マイクロテックで三次元積層を行い、⑤顧客に納入する。この際にプロトタイプデバイス設計のためのTEG設計・試作評価、不良解析等のサービスも必要に応じて行う。

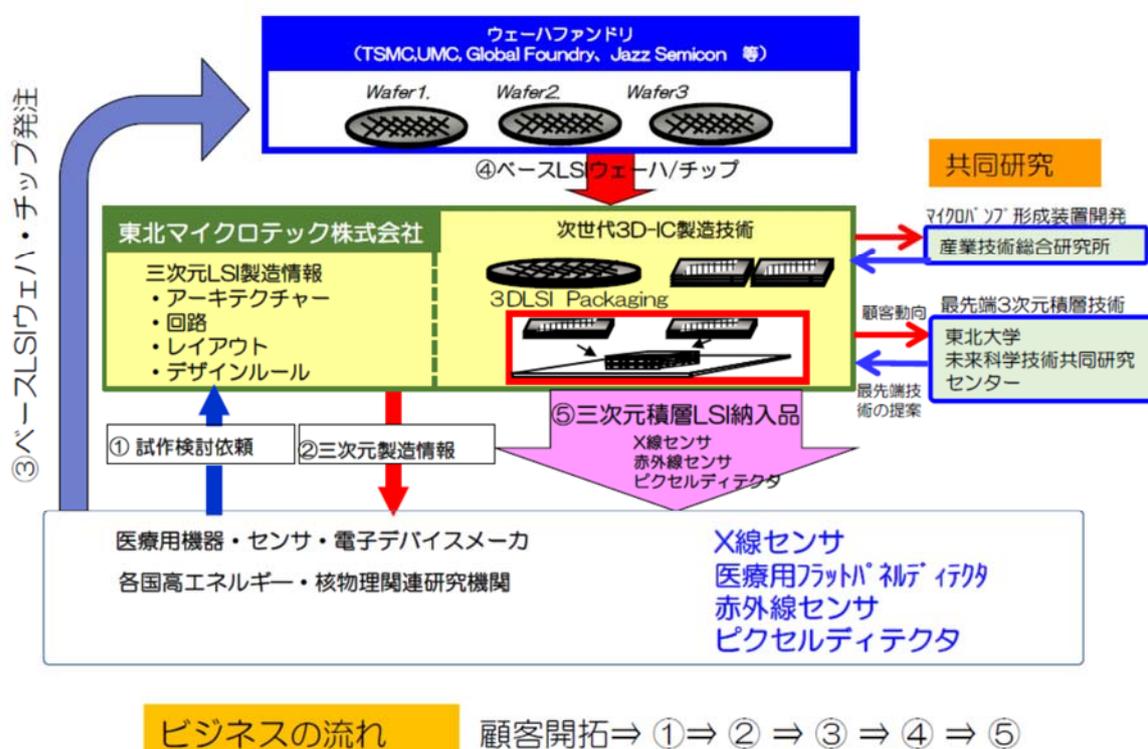


図3.1 ビジネスフロー

事業化スケジュールを図3.2に示す。

現在は、図に示す様に試作受託少量生産サービスを行っている。ここで2018年度後半から、医療用のセンサのサンプル試作が始まる見込みであり、そのために少量量産の準備を行っている。また、2020年には、CtW(チップをウェハに積層していく方法)でスループットを上げ単価を下げる生産方式を検討している。



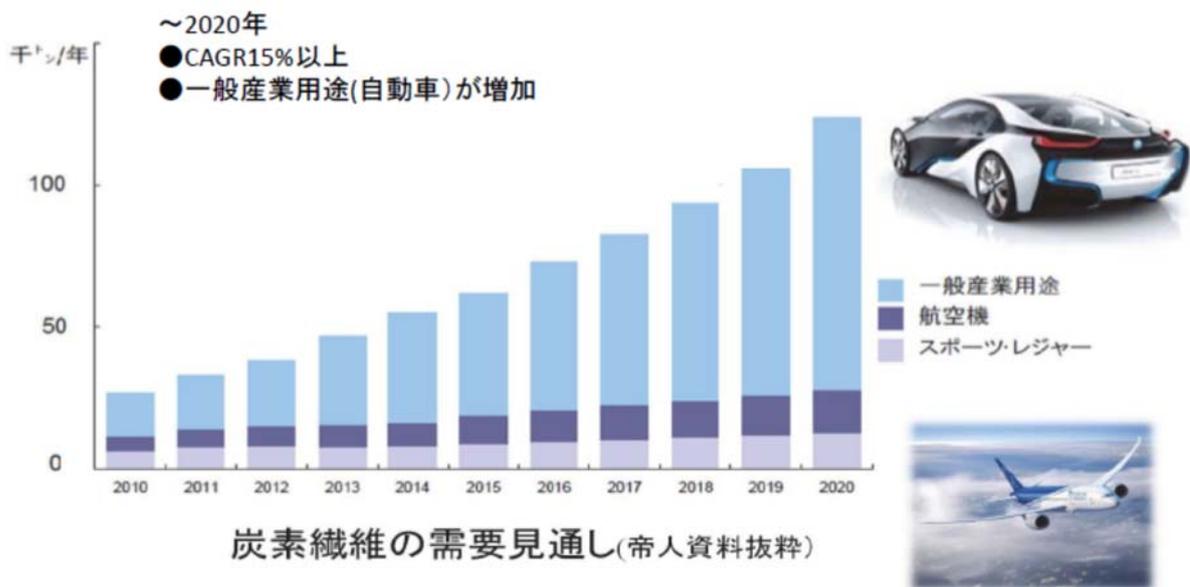


図 3.3 炭素繊維需要見通し(帝人資料)

医療用のセンサは、歯科 X 線撮像、X 線 CT(コンピュータ断層撮影)で使われる。図 3.4 は、Yole 社の医療用のイメージセンサマーケット予測である。CAGR11%で成長し、2019 年には 170 億円(1USD=120 円)の市場になる見込みである。

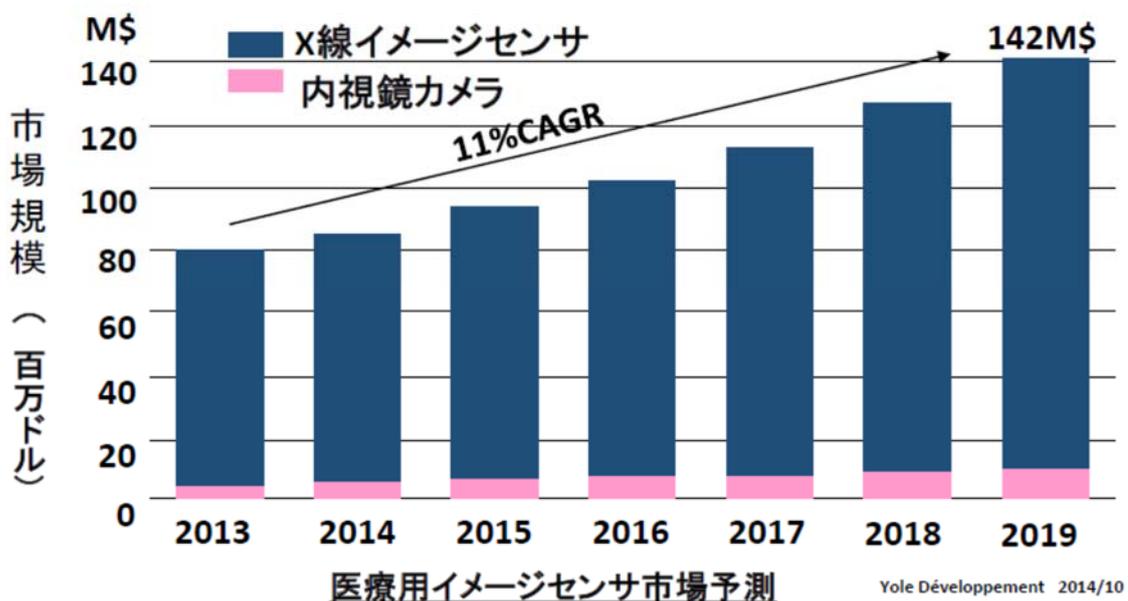


図 3.4 医療用イメージセンサ市場予測

## ②赤外線イメージセンサ市場

赤外線センサ市場は 95%が赤外線を熱に変えて検出するマイクロボロメータタイプである。このタイプの欠点は、熱に変えて検出するため時間的解像度が低いことにある。また、一部 HgCdTe 化合物半導体を使った積層センサは 24  $\mu\text{m}$  ピッチで 640x480 ピクセルのものが市販 (SoftRadir) されている。また同じメーカーからアヴァランシェホトダイオードを使ったセンサも 320x256 ピクセルで 30  $\mu\text{m}$  ピッチのチップが開発されている。図 3.5 に yole 社の

赤外線検出器市場予測を示す。この中で、赤丸で囲った部分がイメージセンサで市場規模は180億円になる。

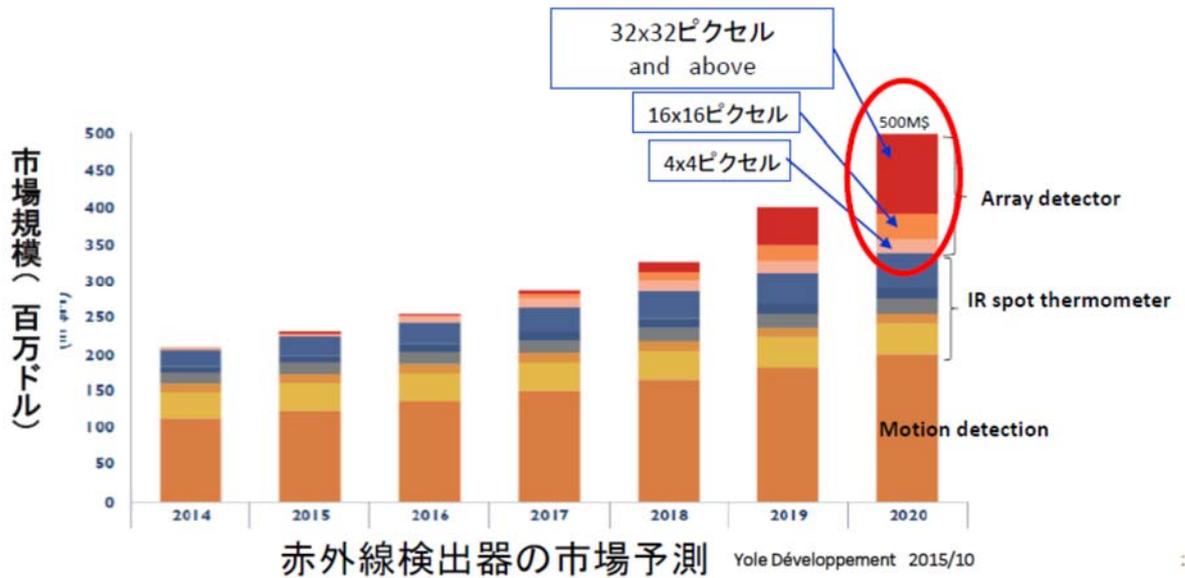


図 3.5 赤外線検出器市場予測

### ③ピクセル型素粒子検出器

この分野は特殊であるが、三次元積層技術を使ったディテクタの要望は強い。核物理及び高エネルギーの学会では、ディテクタのセッションが設けられ、インダストリアルとアカデミック交えたワークショップが年に2~3回開催されている。図 3.6 はピクセル型素粒子検出器市場予測で、世界の加速器の数、ディテクタの使用チップ数と各国の研究者から Affordable Cost を聞いて見積もったものである。このケースでは、サンプル出荷を数回繰り返し、評価してから導入となるので3年程度評価期間が必要である。またデザインインが必要である。

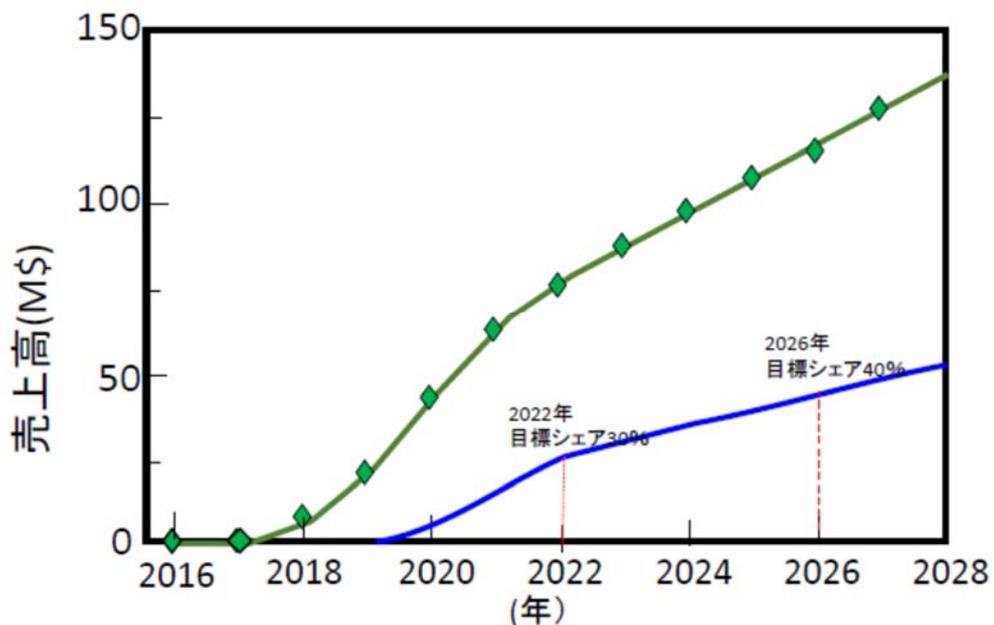


図 3.6 ピクセル型素粒子検出器市場予測

### (3) 顧客開拓

表 3. 1 に示すように、関連学会及び展示会で発表/技術展示を行い、顧客開拓を進めた。2016年度から、特に積層型センサ/ディテクタ・素粒子検出器関連の学会での技術発表及び展示を行って来ている。

表 3.1 出展した展示会及び学会

年/月	学会・展示会	ターゲット顧客層
2015/5	IEEE ECTC @San Diego	三次元 LSI 全般
2015/6	JPCA ショー@東京ビッグサイト	三次元 LSI 全般
2015/7	SEMICON West @San Francisco	三次元 LSI 全般
2015/8	イノベーションジャパン@東京ビッグサイト	三次元 LSI 全般
2015/11	TSensor Summit @ San Diego	三次元 LSI 全般
2015/12	SEMICON Japan @東京ビッグサイト	三次元 LSI 全般
2015/12	3D ASIP @San Francisco	三次元 LSI 全般
2016/5	IEEE ECTC @ Las Vegas	三次元 LSI 全般
2016/6	Photodetector Meeting @ Cancun	積層型センサ/素粒子検出器
2016/7	iWoRiD @ Barcelona	積層型センサ/素粒子検出器
2016/7	SEMICON West @ San Francisco	三次元 LSI 全般
2016/8	映像情報メディア学会 @大阪	積層型センサ
2016/8	ICHEP @ Chicago	積層型センサ/素粒子検出器
2016/8	イノベーションジャパン@東京ビッグサイト	三次元 LSI 全般
2016/10	IEEE S3S Conference @ San Francisco	積層型センサ/素粒子検出器
2016/11	IEEE NSS/MIC @ Strasbourg	積層型センサ/素粒子検出器
2016/11	3D-IC @ San Francisco	三次元 LSI 全般
2016/12	SEMICON Japan@東京ビッグサイト	三次元 LSI 全般
2016/12	3D ASIP @San Francisco	三次元 LSI 全般
2017/1	三次元積層半導体量子イメージセンサ研究会@つくば	積層型センサ/素粒子検出器
2017/4	Aida Workshop @ Paris	素粒子検出器
2017/5	ADAS (Advanced driver- assistance systems)	三次元 LSI 全般
2017/5	IEEE ECTC	三次元 LSI 全般
2017/7	iWoRiD @Krakow,	積層型センサ/素粒子検出器
2017/9	SEMICON Taiwan @ Taipei	三次元 LSI 全般
2017/9	SSDM @ 仙台	三次元 LSI 全般
2017/10	RADECS 2017 @ Geneva,	放射線検出器
2017/10	IEEE NSS/MIC @ Atlanta	積層型センサ/素粒子検出器
2017/12	SOPIX2017@ 沖縄	積層型センサ/素粒子検出器
2017/12	SEMICON Japan@東京ビッグサイト	三次元 LSI 全般
2017/12	3D-ASIP @San Francisco	三次元 LSI 全般

### (4) 研究開発後の課題

本事業終了後は完成したデザインルールを基に、更なる顧客開拓を行う。NpD 装置に関しては、プロトタイプとしての目標は満足した。今後は、8インチ若しくは12インチの量産対応装置の仕様を作る。目標のスループットは1枚/時間である。また、少量量産品の受注とタイミングを合わせて不足装置の手当てを行う必要がある。ヘテロ接合のサンプル試作依頼は現在複数件受けており、この事業化も検討する。

### (5). 補助事業の成果に係る知的財産権等について

平成29年度は以下の2件の特許を国内及び欧米に出願中である。

- ① 固体撮像装置

ヘテロ接合のバンプレイアウトに関する特許

国内特許出願：特願2017-89871 (2017年4月28日)  
米国特許出願：US15/851,898 (2017年12月22日)  
欧州特許出願：17210138.8 (2017年12月22日)

② 外部接続機構、半導体装置及び積層パッケージ

bumps と LSI のパッドの接続構造に関する特許

国内特許出願：特願2017-89870 (2017年4月28日)  
米国特許出願：US15/849,721 (2017年12月22日)  
欧州特許出願：17210139.6 (2017年12月22日)