

平成23年度第3次補正予算事業
戦略的基盤技術高度化支援事業

「並列画像処理技術による産業用高精細スクリーン
印刷マスク検査装置の開発」

研究開発成果等報告書概要版

平成25年 1月

委託者 中部経済産業局

委託先 公益財団法人 岐阜県産業経済振興センター

目 次

第1章 研究開発の概要	1
1-1 研究開発の背景・研究目的及び目標	1
1-2 研究体制（研究組織・管理体制、研究者氏名、協力者）	2
1-3 成果概要	7
1-4 当該研究開発の連絡窓口	7
第2章 検査画像入力用カメラ配列モジュールおよびステッパ機構の開発	8
2-1 研究目的及び目標	8
2-2 実施内容	9
2-2-1 カメラ配列モジュールをX Y方向に精度良く移動させて画像 を取り込む「カメラ配列ステッパ機構」の開発	9
2-2-2 「ステッパ機構制御基板」および「ステッパ機構制御プ ログラム」の開発	20
2-3 研究成果	20
第3章 カメラ画像信号のローカル処理を行う画像処理基板および処理ロジック・ ライブラリの開発	21
3-1 研究目的及び目標	21
3-2 実施内容	22
3-2-1 カメラ配列モジュールから同時・並列的に画像データを取り 込む専用ハードウェア画像処理基板の開発（開発プラットフォーム 用画像処理基板（一次試作）と本システム構成用「画 像処理基板（二次試作）」の開発）	22
3-2-2 画像入力タイミング制御回路、画像フィルタリング処理ロジッ ク・ライブラリの開発	26
3-2-3 カメラ撮影角度に依存する画像の歪みを高位合成技術を使って 補正するロジック・ライブラリの開発	38
3-3 研究成果	41

第4章 「統合コントローラ回路基板」と「統合コントローラ制御プログラム」の 開発・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・	43
4-1 研究目的及び目標・・・・・・・・・・・・・・・・・・・・・・・・	43
4-2 実施内容・・・・・・・・・・・・・・・・・・・・・・・・	43
4-2-1 「統合コントローラ回路基板」の開発・・・・・・・・	43
4-3 研究成果・・・・・・・・・・・・・・・・・・・・・・・・	47
第5章 全体総括・・・・・・・・・・・・・・・・・・・・・・・・	48

第1章 研究開発の概要

1-1 研究開発の背景・研究目的及び目標

高精細スクリーン印刷技術は太陽電池、スマートフォンのタッチパネル、抵抗・コンデンサ等チップ部品および集積回路用セラミック基板の製造に広く使われている。印刷用のスクリーン・マスクは 10 マイクロメートル精度が要求されるようになり、画像データは 25 億画素に及ぶ。現在その検査は人手によるため、大きな負担になっている。目視検査に代わる検査装置の出現が切望されているが、従来のマイクロプロセッサの逐次処理による組込みソフトウェア技術では膨大な画像データを高速に処理するのが困難なため実現していない。組込みソフトウェアを F P G A に実装し、並列処理、パイプライン処理により高速に実行させる技術を使ってこの検査装置を開発する。

現在、拡大鏡を使い2時間かけて行っている産業用高細精スクリーン・マスクの検査工程を、並列画像処理技術により10分間以内に正確に行うための検査技術確立し、検査ミスの低減および原パターン・データとの照合（マッチング）を可能にして、マスクの大幅な高品質化および信頼性の向上を図る。

検査対象となる 500×500mm のスクリーン・マスクを最高 10 マイクロメートルの分解能で読み取ると、画像サイズ（画素数）は 50,000×50,000 ピクセルとなる。検査装置は膨大な画像データを高速に読み取って処理する必要がある。1台のカメラでは時間がかかりすぎるのでカメラを縦横に配列したモジュールをステップ駆動させ、各カメラの画像を画像処理基板上のフレーム・メモリに取り込む。画像は処理アルゴリズムを F P G A に実装した専用ハードウェア画像処理基板により、光学歪の補正、フィルタリング、特徴抽出などを経て欠陥・不良検出を行う。

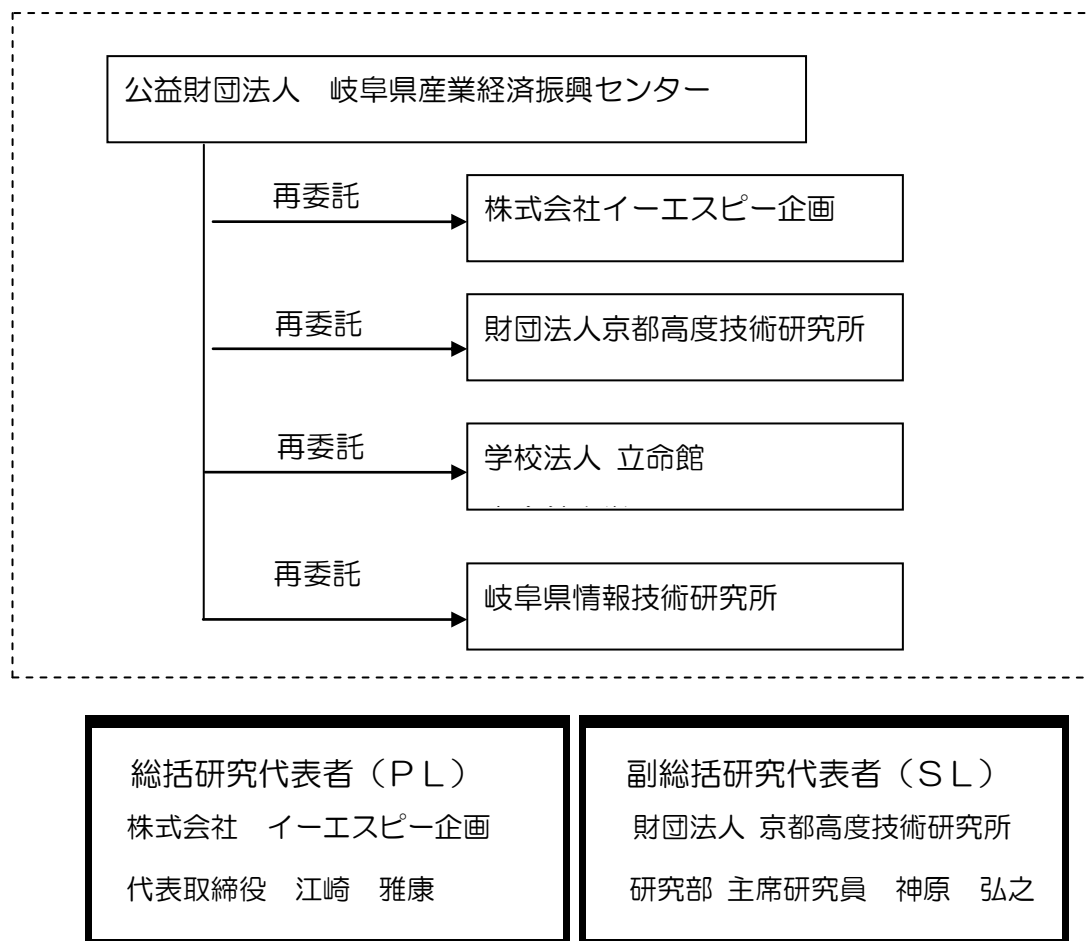
各専用ハードウェア画像処理基板およびシステム統合コントローラ基板の間の通信はスペース・ワイヤなどの高速通信機能を使う。システム統合コントローラ基板は検査システム全体のタイミング制御、検査結果の総合判断とユーザインターフェイス機能を果たす。現在、最も多用されている 500×500 mmのスクリーン・マスクを検査する新旧技術の比較として、下表に示し、技術目標とする。

項目	分解能	所要時間	識別可能欠陥	パターン・マッチング
目視による現状（現状）	目視可能範囲	2 時間（2 人）	断線・欠陥・汚れ	不可
本研究開発検査装置	10 μ m	10 分以内	断線・欠陥・汚れ	可能

1－2 研究体制（研究組織・管理体制、研究者氏名、協力者）

（１）研究組織及び管理体制

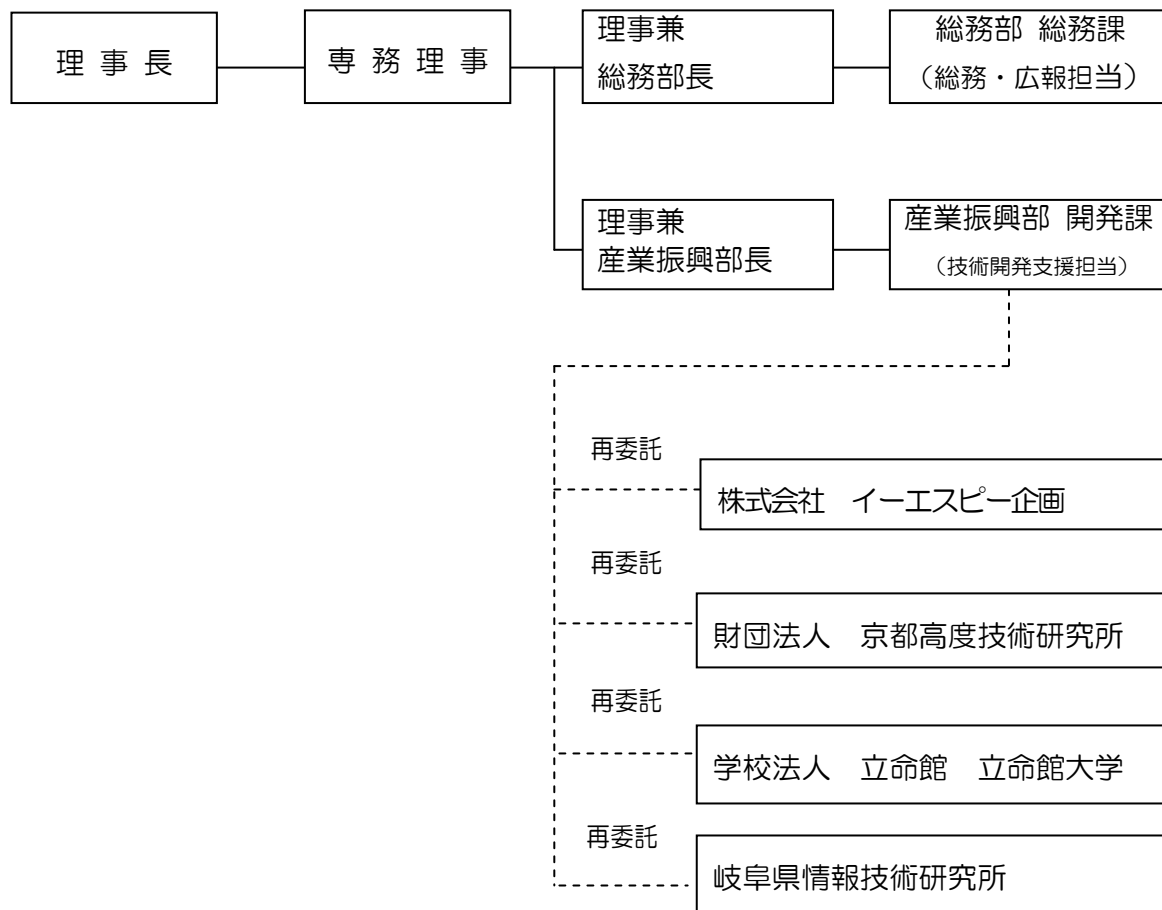
１）研究組織（全体）



2) 管理体制

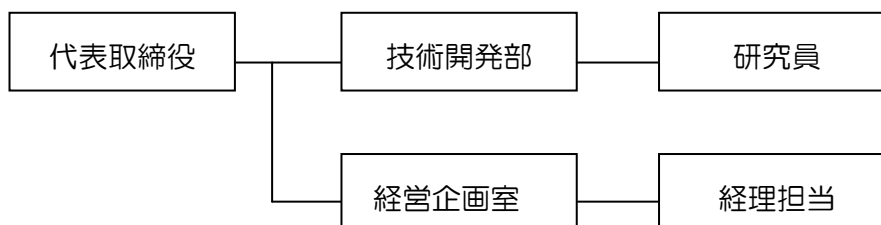
① 事業管理機関

公益財団法人 岐阜県産業経済振興センター

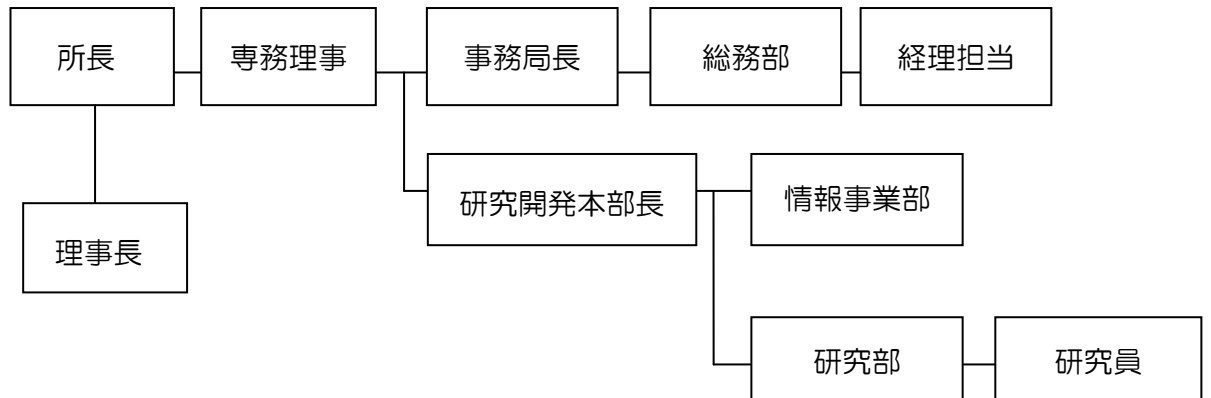


② 再委託先

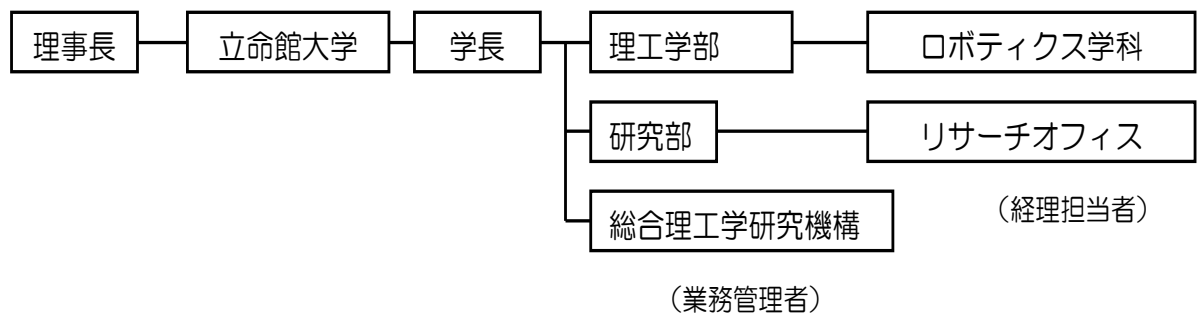
株式会社 イーエスピー企画



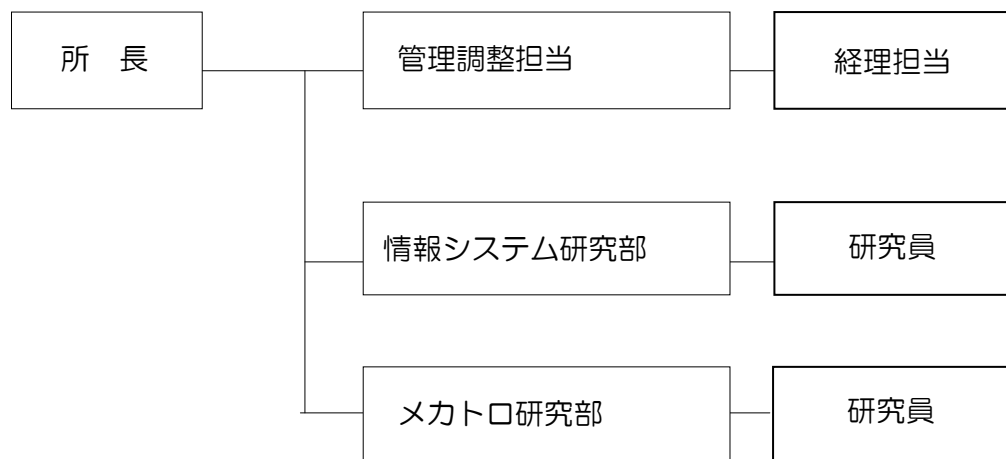
財団法人 京都高度技術研究所



学校法人 立命館 立命館大学



岐阜県情報技術研究所



(2) 管理員及び研究員

【事業管理機関】 公益財団法人 岐阜県産業経済振興センター

管理員

氏 名	所属・役職	実施内容
石樽 芳直 堀 邦裕 山田 博義 日比野 修 篠田 隆博 竹腰 久仁雄 加納 剛 瀬瀬 まゆみ	理事兼産業振興部長 産業振興部開発課 課長 開発課 技術開発支援担当 統括主査 開発課 技術開発支援担当 主任調査役 開発課 技術開発支援担当 主事 開発課 管理員 開発課 管理員 総務部総務課 総務・広報担当 主任	プロジェクトの管理運営

【再委託先】

研究員

株式会社イーエスピー企画

氏 名	所属・役職
江崎 雅康 江崎 寛康 安田 晃 長屋 雄一郎	代表取締役 主任研究員 研究員 研究員

財団法人 京都高度技術研究所

氏 名	所属・役職
神原 弘之 岡田 正浩 横田 吏司	主席研究員 主任 主任

学校法人 立命館 立命館大学

氏 名	所属・役職
下ノ村 和弘	総合理工学院・理工学部 ロボティクス学科 准教授

岐阜県情報技術研究所

氏 名	所属・役職
遠藤 善道	メカトロ研究部 部長
田畑 克彦	メカトロ研究部 専門研究員

(3) 経理担当者及び業務管理者の所属、氏名

(事業管理機関)

公益財団法人 岐阜県産業経済振興センター

(経理担当者) 総務部総務課 主任 瀬瀬 まゆみ
(業務管理者) 産業振興部開発課 主事 篠田 隆博

(再委託先)

株式会社 イーエスピー企画

(経理担当者) 経営企画室 山下 須磨子
(業務管理者) 代表取締役 江崎 雅康

財団法人 京都高度技術研究所

(経理担当者) 研究部 森井 晶子
(業務管理者) 研究部 主席研究員 神原 弘之

学校法人 立命館 立命館大学

(経理担当者) 研究部 リサーチオフィス(BKC) 白川 智子
(業務管理者) 総合理工学院・理工学部 准教授 下ノ村 和弘

岐阜県情報技術研究所

(経理担当者) 管理調整 課長補佐 市原 聡
(業務管理者) メカトロ研究部 部長 遠藤 善道

(4) その他

なし

1-3 成果概要

実施計画書に記載した次の研究開発計画を予定通り実施し完了することができた。

- ① 検査画像入力用カメラ配列モジュールおよびステッパ機構の開発
- ② 「カメラ画像信号のローカル処理を行う画像処理基板および処理ロジック・ライブラリの開発」
- ③ 「統合コントローラ回路基板」と「統合コントローラ制御プログラム」の開発

試作した「カメラ配列ステッパ機構」、「専用ハードウェア画像処理基板」により、補正なしでも10 μ m精度の検査に耐える良質のスクリーン・マスクの画像データが得られた。

「統合コントローラ回路基板」から「カメラ配列ステッパ機構」および「専用ハードウェア画像処理基板」にステップ移動および撮像コマンドを送ることにより、500mm×500mmのスクリーン・マスク画像を8分以内で取り込むことが出来た。

この画像取り込みと並行して検査アルゴリズムを「専用ハードウェア画像処理基板」上のパイプライン処理により10分以内に検査する目処をつける事ができた。

8Gバイトにおよぶスクリーン・マスクの画像データをブルーレイ・ディスクに格納して各共同研究機関（京都高度技術研究所、立命館大学、岐阜県情報技術研究所の）に配布し、スクリーン・マスク検査アルゴリズムの開発を行なった。

開発したアルゴリズムは「専用ハードウェア画像処理基板」上のFPGAに実装し、従来のマイクロプロセッサの逐次処理の200倍～2000倍高速に処理できることを確認した。

1-4 当該研究開発の連絡窓口

公益財団法人 岐阜県産業経済振興センター

（最寄駅：東海旅客鉄道 東海道本線 西岐阜駅）

〒500-8505 岐阜県岐阜市藪田南五丁目14番53号

担当 産業振興部 開発課 篠田 隆博

TEL 058-277-1093 FAX 058-273-5961

E-mail gifu-sapoin@gpc-gifu.or.jp

第2章 検査画像入力用カメラ配列モジュールおよびステッパ機構の開発

2-1 研究目的及び目標

高精細スクリーン印刷機のスクリーン・マスクは、写真1(a)、(b)に示すようにアルミ・フレーム枠に張られたステンレスやポリエステルのメッシュ上にパターンを形成して作られる。

フレーム枠の大きさは 300mm～1000mm が多く使われるが、目的によっては 3000mm～5000mm に及ぶものもある。試作機は最高 1000mmまでの各種サイズのスクリーン枠の検査を行う。



写真1(a)．高精細スクリーン・マスク枠
(ステンレス・メッシュ・スクリーン)

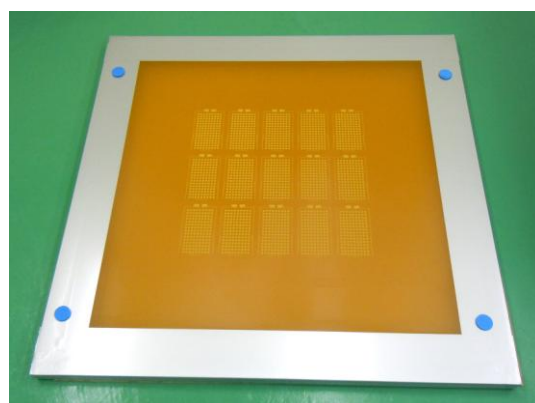


写真1(b)．高精細スクリーン・マスク枠
(ポリエステル・メッシュ・スクリーン)

1,000×1,000mm の被検査スクリーン枠に貼り付けられた 500×500mm のスクリーン・マスクの画像データを 10 マイクロメートルの分解能で取り込んで検査するために、「カメラ配列ステッパ機構」を開発する。

高精細画像データを高い品質で取り込むために、このステッパ機構の駆動部は振動や機械的なガタの少ない堅牢な構造を要するため精密サーボモータによるボールネジ駆動機構を採用する。

高品質な画像を取り込むために、検査スクリーンの照明は、高品質で照度調節可能なLED照明とする。PWM電圧制御方式では良質な撮像画像が期待できないので、電流制御方式のステップ・アップ型LED照明コントローラを開発する。

「カメラ配列ステッパ機構」を精密な機械精度でXY各方向に移動させて、スクリーン・マスク検査装置に必要な 10 マイクロメートル精度の画像を取得するために「ステッパ機構制御基板」とステッパ機構制御プログラムを開発する。

2-2 実施内容

2-2-1 カメラ配列モジュールをXY方向に精度良く移動させて画像を取り込む

「カメラ配列ステッパ機構」の開発

検査対象となる 500×500mm のスクリーン・マスクの表面画像を 10 マイクロメートルの分解能で読み取ると、画像サイズ（画素数）は 50,000×50,000 ピクセルとなる。画面サイズ 1024×768 の最新の産業用カメラを使って取り込むとすると、横方向 50 枚、縦方向 66 枚分、最低 3,300 枚の撮影画像をつなぎ合わせる必要がある。

1 台のカメラを横方向 50 ステップ、縦方向 66 ステップで移動させながらこの画像を取り込むとすると、ステップ時間を 2 秒とした場合

$$\begin{aligned} 2 \text{ 秒} \times 50 \times 66 &= 6,600 \text{ 秒} \\ &= 1 \text{ 時間 } 50 \text{ 分} \end{aligned}$$

の時間を必要とする。これは目標性能からは程遠いだけでなく、現行の人手による目視検査の 2 時間（2 人）と同じ時間を要する。

【ステッパ機構の全体設計】

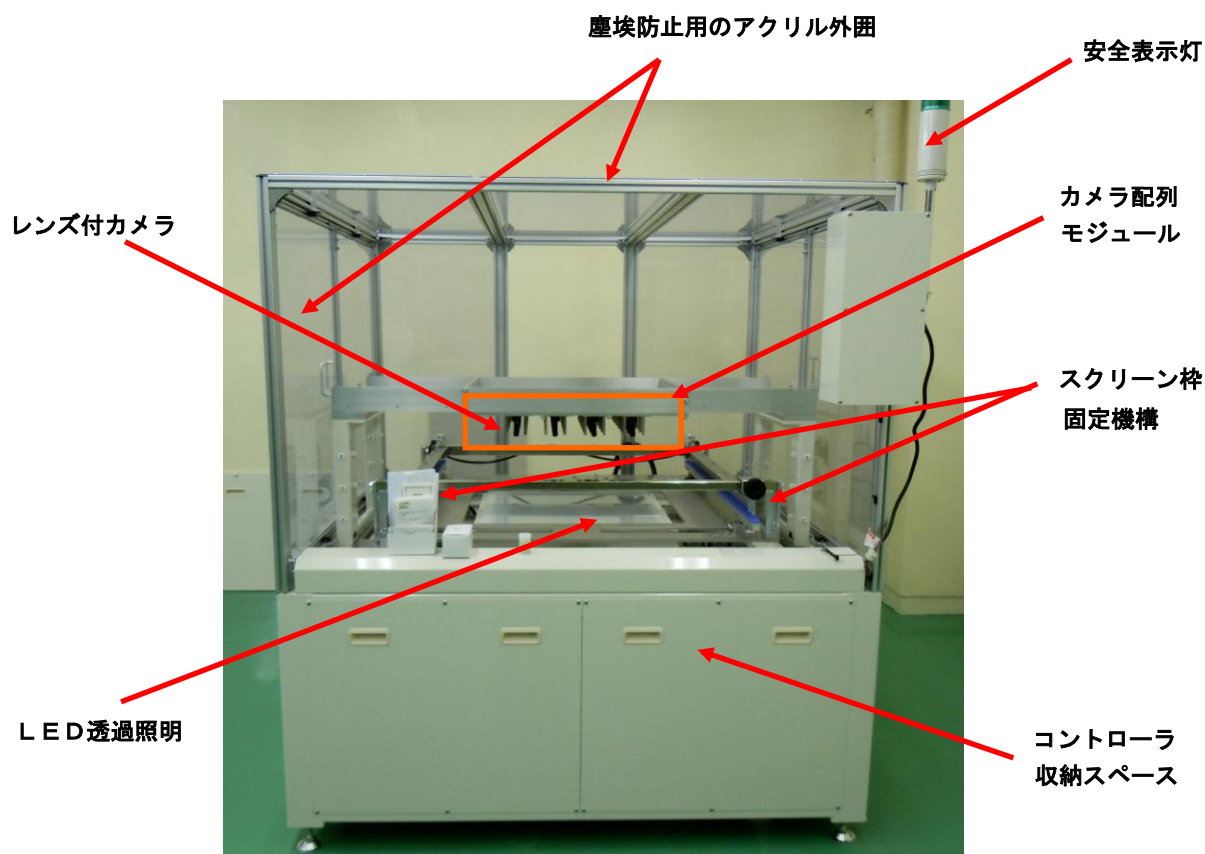


写真2. 静電防止塗料を塗布したコンクリート床に設置したカメラ配列ステッパ機構

写真2はカメラ配列ステッパ機構の全景である。全体のサイズは縦 1,600mm×横 1,600mm×高さ 1,790mm、総重量は 800Kg（推測）におよぶ。10 μ m精度の画像取り込みを安定して行うためには、機構全体が十分な剛性を持つ必要がある。

空中の塵埃を極力押さえるため、コンクリート床には静電防止塗料を塗布した。また塵埃防止と作業中の安全を考慮して、カメラ配列モジュールおよびステッパ機構部はアクリル・パネル外囲で囲む構造とした。図5はカメラ配列ステッパ機構の機構設計図である。

【スクリーン枠の固定機構】

ステッパー機構は最高 1000mm までのスクリーン枠を検査スクリーン・マスクは圧縮空気駆動の固定機構によってステッパー機構に固定する。写真3(a)に示すスクリーン枠の固定スライド機構にスクリーン枠を挿入し、写真3(b)に示すスクリーン枠固定スイッチを倒すと、圧縮空気駆動のアクチュエータが作動して空気圧でスクリーン枠をステッパー機構に固定する。

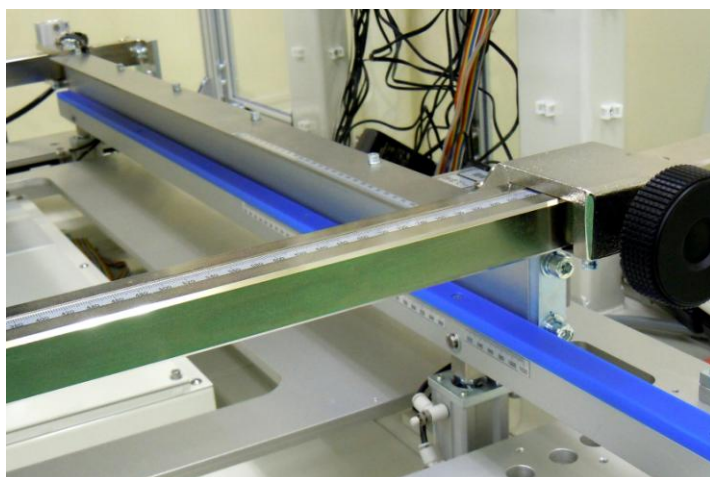


写真3 (a). スクリーン枠の固定スライド機構

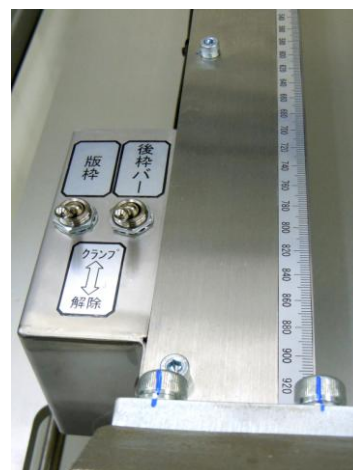


写真3 (b). スクリーン枠
固定スイッチ

圧縮空気駆動のアクチュエータを作動させるために、カメラ配列ステッパー機構に圧縮空気を供給する必要がある。産業用機械装置を設置する工場では標準的に圧縮空気供給バルブ

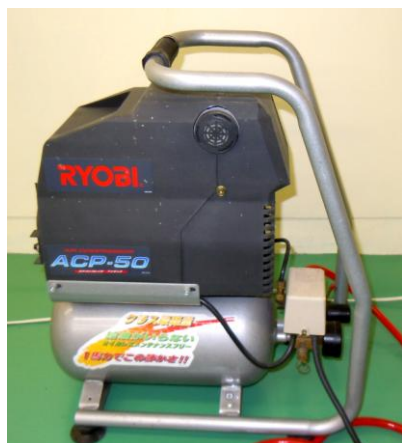


写真3 (c). コンプレッサ



写真3 (d). ステッパー機構の圧縮空気バルブ

が設置されているが、今回の開発用に用意した実験棟には圧縮空気の供給設備がなかったので、写真3(c)のコンプレッサを用意し、写真3(d)に示すステッパー機構の圧縮空気バルブに圧縮空気を供給した。

【サーボモータによるボールネジ駆動機構】

カメラ配列モジュールとスクリーン枠はステッパ機構を使って相対的に動かす必要がある。カメラ配列モジュールを動かすか、スクリーン枠を動かすか、各種方式を検討した結果、駆動の安定性、機構の簡易さなどを考慮して、スクリーン枠を動かす方式を採用した。

カメラとレンズ、それに画像処理基板 20 枚で構成するカメラ配列モジュールはかなりの重量になる。これを動かすためにはかなりのトルクをもったサーボ駆動系を用意する必要があるためである。また、 $10\mu\text{m}$ の画像取り込みに耐える機械的な剛性を確保することが極めて難しいことが分かった。

写真 4 (a) はステッパ機構を駆動するボールネジ駆動機構である。ステッパ機構の駆動は X Y の 2 軸駆動方式とした。写真 4 (a) のボールネジを 2 台のサーボモータで回転駆動する。

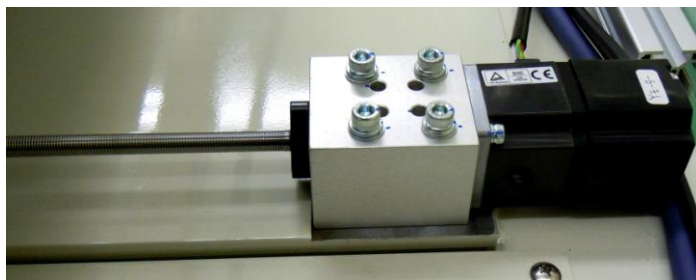


写真 4 (a) . ボールネジ駆動機構

サーボモータは三菱電機の交流 100V 単相電力対応の MR-J2S-10A1 型を 2 台組み込んだ。

通常の産業用システムでは交流三相 220V 対応型が使われることが多いが、今回のステッパ機構はそれほど強いトルクを必要としないので、設置環境の容易さを考慮して交流 100V 単相對応を選択した。

同社のシリーズには同型の交流三相 220V 対応のサーボモータもラインアップされているので、事業化の段階でユーザの環境に合わせて選択することも可能である。

MR-J2S-10A1 の主な仕様を表 1 に示す。



写真 4 (b) . ステッパ機構に設置したサーボアンプ

表1. サーボアンプ MR-J2S-10A1 の仕様

項目	仕様
電圧・周波数	単相 AC100～120V/50, 60Hz
許容電圧変動	単相 AC85～127V/50, 60Hz
制御方式	正弦波 PWM 制御・電流制御方式
保護機能	過電流遮断、回生過電圧遮断、過負荷遮断（電子サーマル）、サーボモータ過熱保護、検出器異常保護、回生異常保護、不足電圧・瞬時停電保護、過速度保護、誤差過大保護
最大入力パルス周波数	500kpps（差動レシーバ時）、200kpps（オープンコレクタ時）
位置決め帰還パルス	エンコーダ、サーボモータ 1 回転あたりの分解能：131072p/rev
指令パルス倍率	電子ギア A/B 倍 A=1～65535 または 131072、B=1～65535 $1/50 < A/B < 500$
位置決め完了幅	設定 0～±10000pulse（指令パルス単位）
誤差過大	±10 回転
トルク制限	パラメータ設定または外部アナログ入力による設定（DC 0～+10 V／最大トルク）
構造	自冷、開放（IP00）
周囲温度	0～55℃（凍結のないこと）、保存：-20～65℃（凍結のないこと）
周囲湿度	90%RH 以下（結露のないこと）、保存：90%RH 以下（結露のないこと）
雰囲気	屋内（直射日光が当たらないこと）、腐食性ガス・引火性ガス・オイルミスト・塵埃のないこと
標高	海拔 1000m 以下
振動	5.9m/s ² 以下
質量	0.7 Kg

【CMOSカメラ、レンズ】

カメラ配列モジュールは、写真5(a)に示す300万画素高感度デジタル出力カラーカメラ・モジュールを採用した。民生用のデジタル・カメラ市場では300万画素は過去のもの

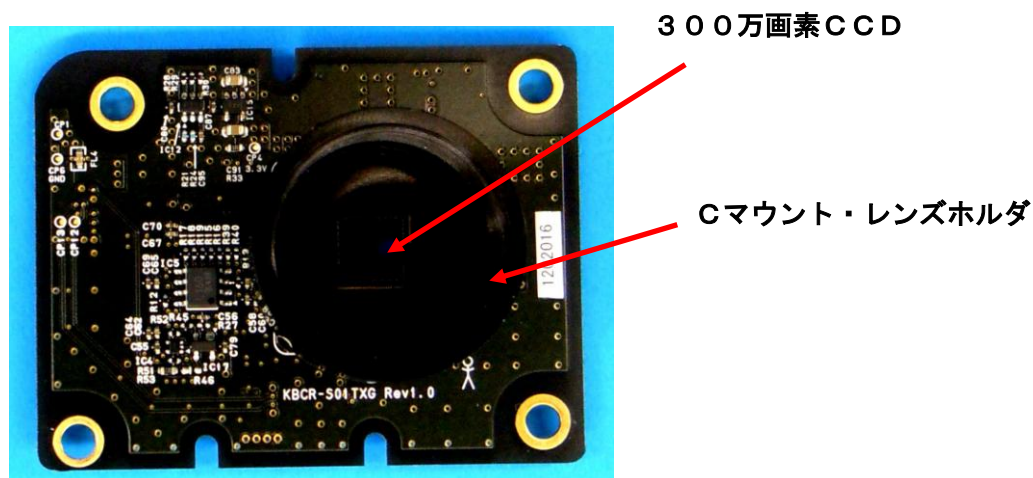


写真5(a). 300万画素高感度デジタル出力カラーカメラ・モジュール

となっているが、産業用カメラの世界では未だに30万画素程度のNTSC出力のカメラが半数を占めている。

このモジュールは表2に示すように、設定により

- ・ 2048×1536 画素、15フレーム/秒
- ・ 1024×768 画素、15フレーム/秒
- ・ 640×480 画素、15フレーム/秒

と、出力フォーマットを選択することができる。バス幅も8ビットもしくは16ビットを選択できる。

出力フォーマットの設定は、I²C インターフェイスを介して行うことができる。今回試作する検査装置では、表2にスクリーンをかけた、

- ・ 1024×768 画素、15フレーム/秒、16ビット・バス

を標準として設計を進めた。

カラーカメラ・モジュールは写真5(a)に示すように、Cマウントのレンズフォルダを備

表2. カラーカメラ・モジュールの出力フォーマット

動作モード	フレームレート	出力サイズ	画素クロック周波数	出力フォーマット
全画素モード	15[fps]	2048×1536	54MHz(16bit 設定時)	Y/U V分離
			108MHz(8bit 設定時)	Y U V
		1024×768	54MHz(16bit 設定時)	Y/U V分離
			108MHz(8bit 設定時)	Y U V
		640×480	54MHz(16bit 設定時)	Y/U V分離
			108MHz(8bit 設定時)	Y U V
Binning モード	60[fps]	1024×768	54MHz(16bit 設定時)	Y/U V分離
			108MHz(8bit 設定時)	Y U V
		640×480	54MHz(16bit 設定時)	Y/U V分離
			108MHz(8bit 設定時)	Y U V
		320×240	54MHz(16bit 設定時)	Y/U V分離
			108MHz(8bit 設定時)	Y U V
1080P-15FPS モード	15[fps]	2048×1080	37.125MHz(16bit 設定時)	Y/U V分離
			74.25MHz(8bit 設定時)	Y U V
1080P-30FPS モード	30[fps]	2048×1080	74.25MHz(16bit 設定時)	Y/U V分離

えている。

目的に応じた市販のCマウント仕様のレンズを選択できる。写真5はカメラ配列ステッ

パー機構にテレセントリック・レンズを装着した外観である。

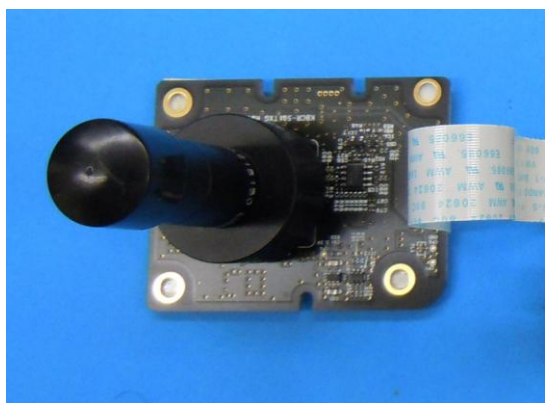


写真 5 (b) . 300万画素CMOSカメラ・モジュール

テレセントリック・レンズを使うと、 1024×768 画素モードで $10\mu\text{m}$ の画像分解能での撮像ができる。

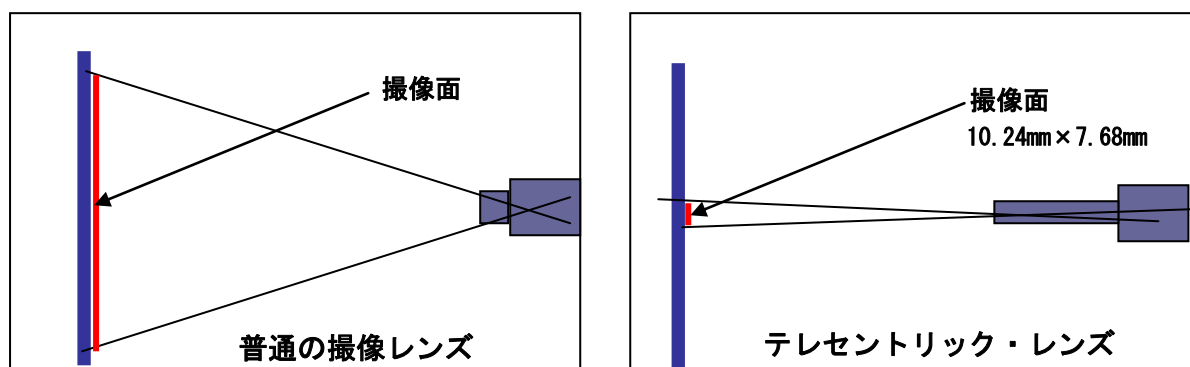


図 6 . テレセントリック・レンズと普通の撮像レンズ

【LED反射照明】

スクリーン・マスクはポリエステル繊維もしくはステンレス細線のメッシュ上に感光体を塗布して作られた半透明のマスクである。検査スクリーン・マスクの画像は反射もしくは透過照明により撮影することができる。

カメラ配列ステッパ機構用のLED照明は

- ① 精密な画像データを得るために1024階調電流制御可能であること。
- ② 各種スクリーン・マスクに対応可能な実験用試作機であるので、余裕を持った照明が可能であること。
- ③ 将来の事業化を考慮して、コスト的にも競争力のある照明モジュールであること。

などを考慮して、反射型照明、透過型照明いずれも新規に開発した。

写真6はカメラ配列モジュール用に開発した反射型LED照明基板である。同心円状に60個の超高輝度白色LEDを配置した。図7(a)は反射型LED照明基板の回路図である。

このLED反射照明基板をカメラ配列モジュールの20台のカメラに、この反射型LED照明基板を取り付けた。反射型LED照明とスクリーンの距離は15mm以上あるので、照明の拡散板は特に設けていない。

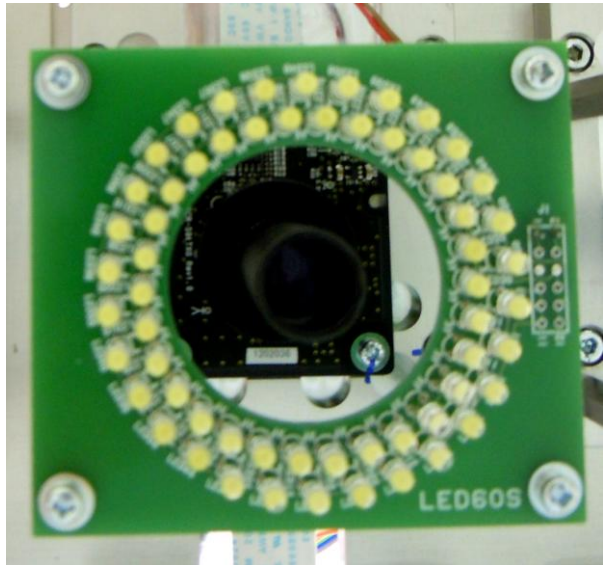


写真6. カメラ・レンズ周辺に同心円状に配置した反射型LED照明



写真7. カメラ配列モジュールに取り付けたLED反射照明モジュール

【LED透過照明】

写真8は開発したLED透過照明モジュールである。570mm×100mmの基板上に500個の高輝度白色LEDを配置した。図7(b)は写真8の透過型LED照明モジュールの回路図である。写真8のモジュール基板には、図7(b)の回路が5組搭載され、総数500個の高輝度白色LEDチップが実装されている。

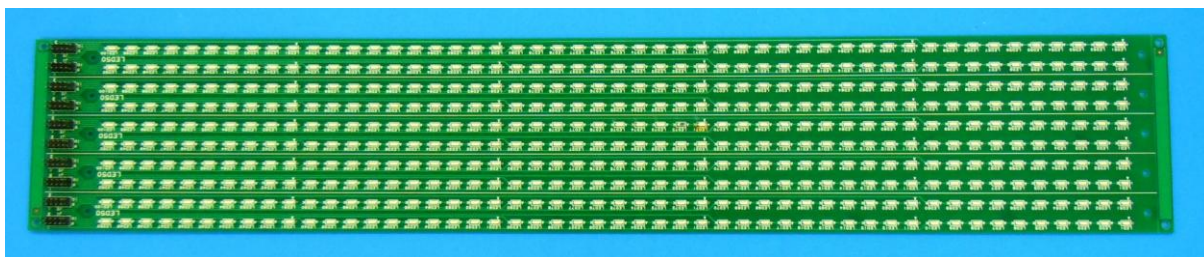


写真 8. 高輝度白色チップLEDを500個実装した透過型LED照明モジュール

写真9に示すように、カメラ配列ステッパ機構のスクリーン固定部の下に、このLED透過照明モジュール基板を5枚並べて配置した。透過照明のLED総数は2,500個になる。

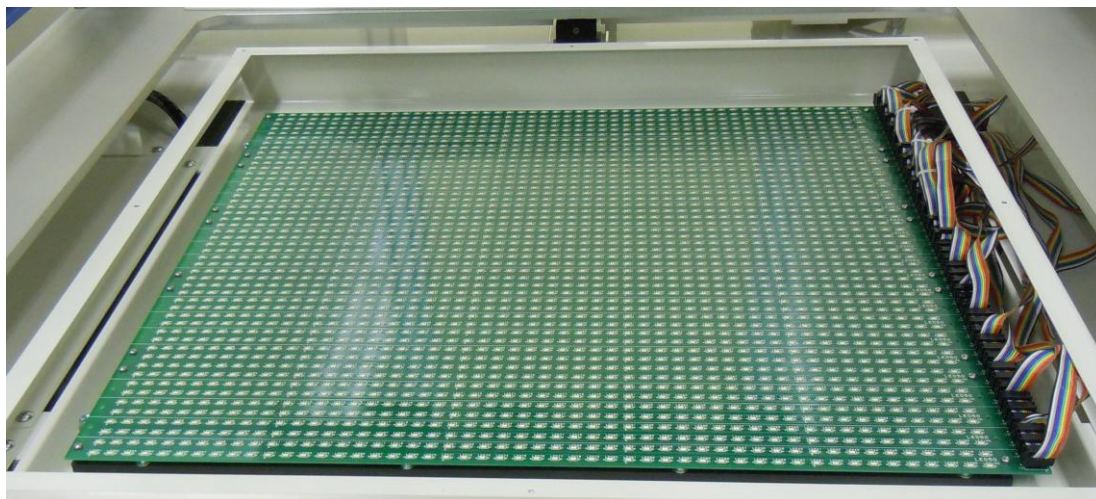


写真 9. カメラ配列ステッパ機構に配置した5枚の透過型LED照明モジュール

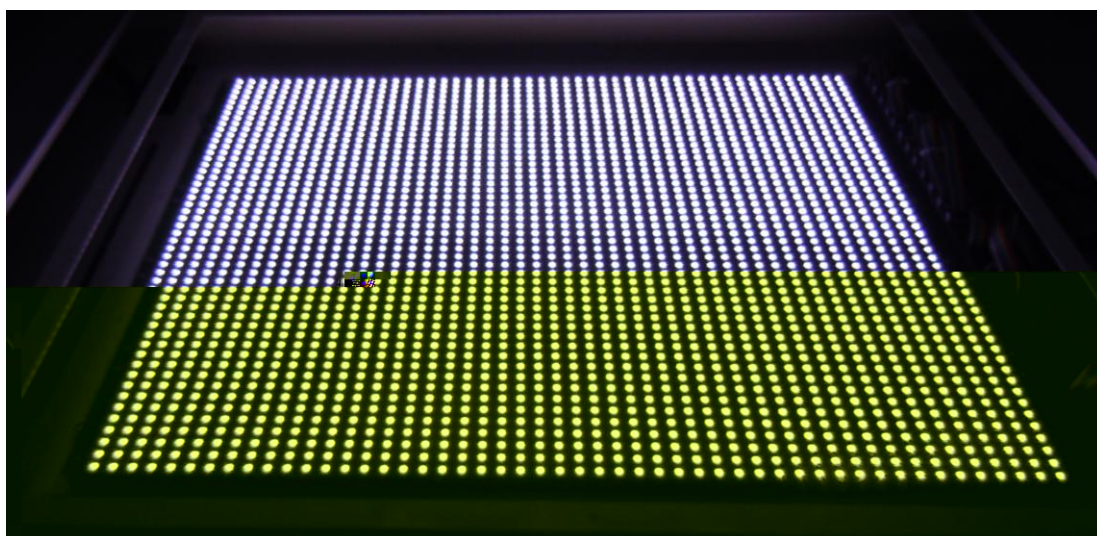


写真 10. 点灯した透過型LED照明モジュール

写真10は点灯した透過型LED照明、写真11は拡散板を取り付けた状態で点灯した透過LED照明である。透過照明はLEDチップのムラが出やすいので、写真11に示すように、拡散板を通した光でフィルタを照射する。

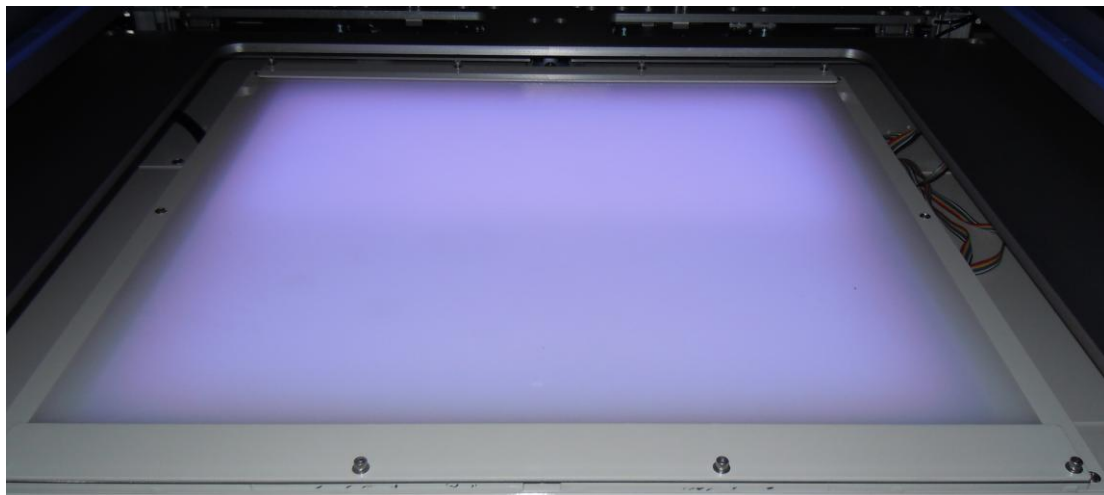


写真11. 拡散板を取り付けて点灯した透過LED照明

【ステップ・アップ電流制御型照明コントローラ基板】

カメラ配列ステッパ機構に取り付ける反射型および透過型LED照明モジュールの駆動制御を行うために、写真12(a)のLED照明コントローラ基板を開発した。

白色LEDに電流を流して光らせた場合、図8に示すように1個で3.0～3.5V、10個直列接続で30～3

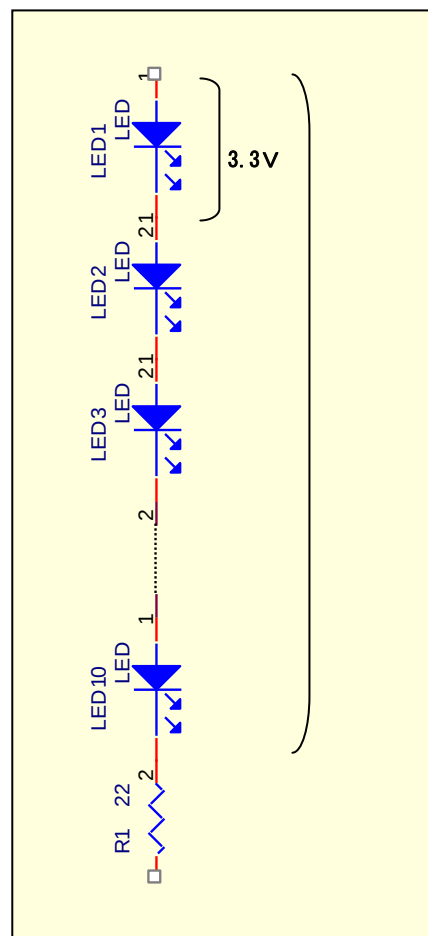


図8. 白色LEDの順方向電圧

3Vの順方向電圧が発生する。

カメラ配列ステッパ機構のLED照明コントローラは、12Vの電源を昇圧回路で昇圧（ステップ・アップ）し、直列接続した10個のLEDに指定した定電流が流れるような回路にした。

図9は開発したコントローラ基板の回路図である。最適の照度を得るために、LEDに流れる電流を1024段階にコントロールすることができる。

この基板1枚で10個直列接続した白色LEDモジュールを32組、都合320個のLEDの階調制御を行うことができる。

写真12(b)は、カメラ配列ステッパ機構に組み込んだLED制御基板である。

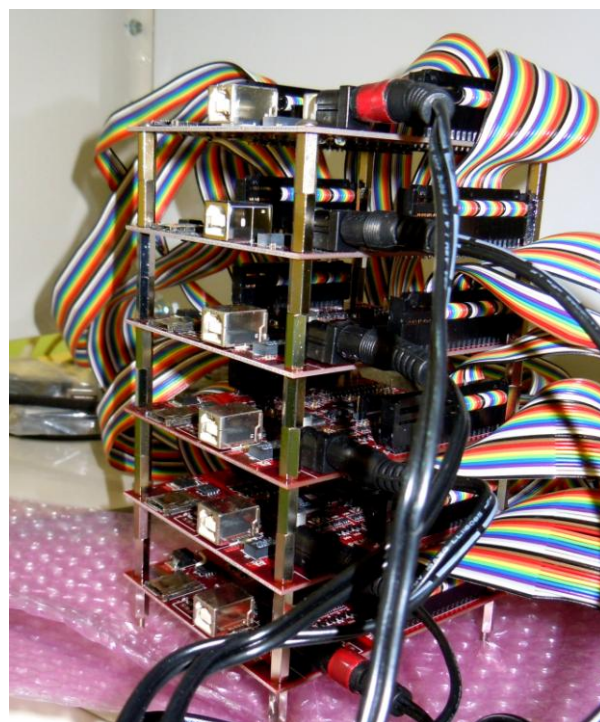


写真12(b). ステップ機構に組み込んだLED制御基板（反射型用1枚、透過型用5枚）

2-2-2 「ステッパー機構制御基板」および「ステッパー機構制御プログラム」の開発

「カメラ配列ステッパー機構」を精密な機械精度でXY各方向に高速移動させて、スクリーン・マスク検査装置に必要な 10 マイクロメートル精度の画像を取得するために、写真13に示す「ステッパー機構制御基板」とステッパー機構制御プログラムを開発した。図10(a)、(b)はステッパー機構制御基板の回路図である。

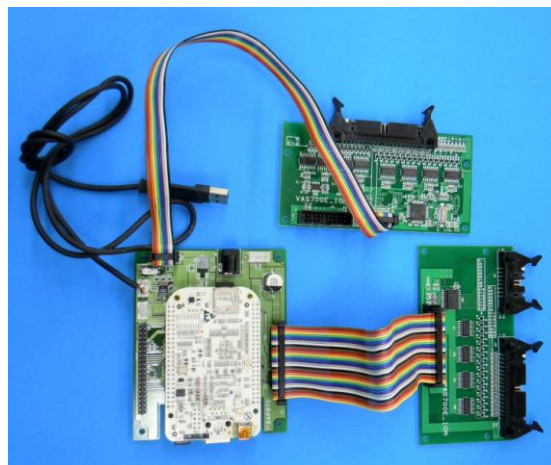


写真13. ステッパー機構制御基板

「ステッパー機構制御基板」は、

① カメラ配列ステッパー機構のXY駆動機構の

モータを駆動し、正確な位置決め精度で制御する回路基板

② 画像処理基板および統合コントローラ回路基板との高速通信機能

③ 400MH 以上の高速クロックで動作する制御用マイクロプロセッサ

④ 2Mバイト以上の高速SRAMおよび32Mバイト以上のSDRAM搭載

などの特徴を備える。この基板は2軸のモータを駆動して、カメラ配列モジュールを高い機械精度で移動させる。

「ステッパー機構制御基板」をカメラ配列ステッパー機構に接続し、ステッパー機構制御プログラムを開発した。10 μ m精度を実現するためにステッパー機構は、急激な移動や衝撃による機構の歪み、湾曲を極力避けなければならない。

2-3 研究成果

テレセントリック・レンズを装着したカラーカメラ・モジュールを縦に5台、横に4列配列した「カメラ配列モジュール」、およびこの「カメラ配列モジュール」を被検査体であるスクリーン・マスクに対して精密な機械精度でXY方向に移動させる「ステッパー機構」で構成される「カメラ配列ステッパー機構」を開発した。また、このカメラ配列ステッパー機構を精密な機械精度でXY各方向に移動させるため、「ステッパー機構制御基板」とステッパー機構制御プログラムを開発した。

その結果、500×500mm のスクリーン・マスク画像データを 10 マイクロメートルの精度で8分間以内に読み込むのに必要な機械精度を達成した。

第3章 カメラ画像信号のローカル処理を行う画像処理基板および処理ロジック・ライブラリの開発

3-1 研究目的及び目標

カメラ配列モジュールの20台のCMOSカメラから出力される高精細スクリーン・マスクの画像データを取り込み、高速に検査を行うため、FPGA（Field Programmable Gate Array）を搭載した専用ハードウェア画像処理基板を開発する。

8Gバイトにおよぶ大量の画像データを10分以内に検査処理することは、従来のマイクロプロセッサによる逐次処理では不可能である。専用ハードウェア画像処理基板に搭載するFPGAによるパイプライン処理、並列処理などの高速画像処理技術を駆使する必要がある。

まず画像処理ライブラリの開発と動作確認を行うために必要な開発プラットフォーム用画像処理基板（一次試作）を開発する。

カメラ配列ステッパ機構の開発が完了した段階でステッパ機構に実装して実際に画像データを取り込んで検査処理を行う専用ハードウェア画像処理基板「画像処理基板（二次試作）」を開発する。

「カメラ配列ステッパ機構」から取り込んだ画像を高速に処理してスクリーン・マスクの欠陥、汚れ、断線の検出をFPGA上で行うために必要な画像入力回路および画像処理ロジック・ライブラリを開発する。

この画像処理ロジック・ライブラリはカメラから画像処理基板上のフレーム・メモリに読み込まれた画像データ（1024×768ピクセル）よりスクリーン・マスクの10 μ m単位の欠陥、汚れ、断線を検出するのに必要な2次元フィルタリング処理、エッジ検出、テンプレート・マッチング、2値化などの基本的な画像処理演算を高速に行う。

高細精スクリーン・マスクの検査を10 μ mの精度で正確に検査するためには、カメラ撮影角度に依存する画像の歪み、レンズひずみ補正、照明ムラの補正などを行う必要がある。この処理アルゴリズムはHDL（VHDL、Verilog HDLなどのハードウェア記述言語；Hardware Description Language）で記述することが困難である。

そこでC言語で記述したアルゴリズムを高位合成ツール「Impulse C」およびその「画像処理ライブラリ」を使ってVHDL記述を生成する。このツールを使ってC言語で記述した処理アルゴリズムをFPGA上に実装し、並列処理、パイプライン処理により、マイクロプロセッサの逐次処理と比べて10～100倍の高速処理を実現する。20台のカメラと専用ハードウェア基板による並列処理と合わせて、200～2000倍の高速処理となる。

3-2 実施内容

3-2-1 カメラ配列モジュールから同時・並列的に画像データを取り込む専用ハードウェア画像処理基板の開発（開発プラットフォーム用画像処理基板（一次試作）と本システム構成用「画像処理基板（二次試作）」の開発

500mm×500mm サイズの高精細スクリーン・マスク全体を $10\mu\text{m}$ の精度で取り込むと画像データの容量は8 Gバイトになる。この大量のデータを処理して汚れ、欠陥、短絡、断線、異物などの検査を10分以内に行うためには、従来の逐次処理型のコンピュータの200倍～2000倍の処理能力を必要とする。

この検査アルゴリズムを高速に処理するため、FPGA（Field-Programmable Gate Array）と高速マイクロプロセッサを搭載した「専用ハードウェア画像処理基板」を開発した。

カメラ配列モジュールを構成する20台のカメラごとにこの画像処理基板を装備し、基板上のFPGAに組み込んだ並列処理、パイプライン処理機構により高速に画像データを並列処理して、スクリーン・マスク画像の検査、標準パターンとのテンプレート・マッチングを行う。

【開発プラットフォーム用画像処理基板（一次試作）】

研究開発の第1段階として、写真14に示す、開発プラットフォーム用画像処理基板（一次試作）を開発した。この基板は画像処理ライブラリの開発と動作確認を行う開発プラットフォームの役割を果たす。

高精細スクリーン・マスクの画像が得られるのはカメラ配列ステッパ機構の開発が完了した段階になるので、「カメラ配列ステッパ機構の開発」とFPGAに搭載する「画像処理ライブラリの開発」を並行して行うためには、画像処理ライブラリの開発と動作確認を行うための開発プラットフォーム基板を必要とする。

また信頼性の高い「専用ハードウェア画像処理基板」を開発するためには、早い段階で一次試作基板を開発し、カメラ、レンズ、照明、画像入力ロジックの動作確認を行っておく必要がある。このような視点で、開発したのが写真14の「開発プラットフォーム用画像処理基板」である。

この基板は図11に示すように、

- ① カメラ入力回路（300万画素CMOSカメラモジュールKBCR-SO1TXG用を2チャ

ネル)

- ② F P G A (Xilinx 社 Spartan 6 最上位チップ XC6SLX150FGG484)
- ③ 画像データ格納用の1 2 Mバイトの高速フレーム・メモリ (1 6 ビットバス幅4メガバイト・メモリを3チャンネル)
- ④ 画像データ格納用の1 2 8 MバイトのDDR 2メモリ
- ⑤ アナログVGA画像表示インターフェイス回路 (VGA～S X G Aまで表示可能)
- ⑥ T F T液晶表示回路 (VGAサイズ 640×480)
- ⑦ 高速マイクロプロセッサ (ARM Cortex M8, 720MHz)
- ⑧ 高速通信インターフェイスとして、マイクロプロセッサ経由の Ethernet、USB ホスト・インターフェイス、F P G A直結の LVDS インターフェイス、Space Wire (スペース・ワイヤ) などが利用可能

などの機能を備えた基板である。

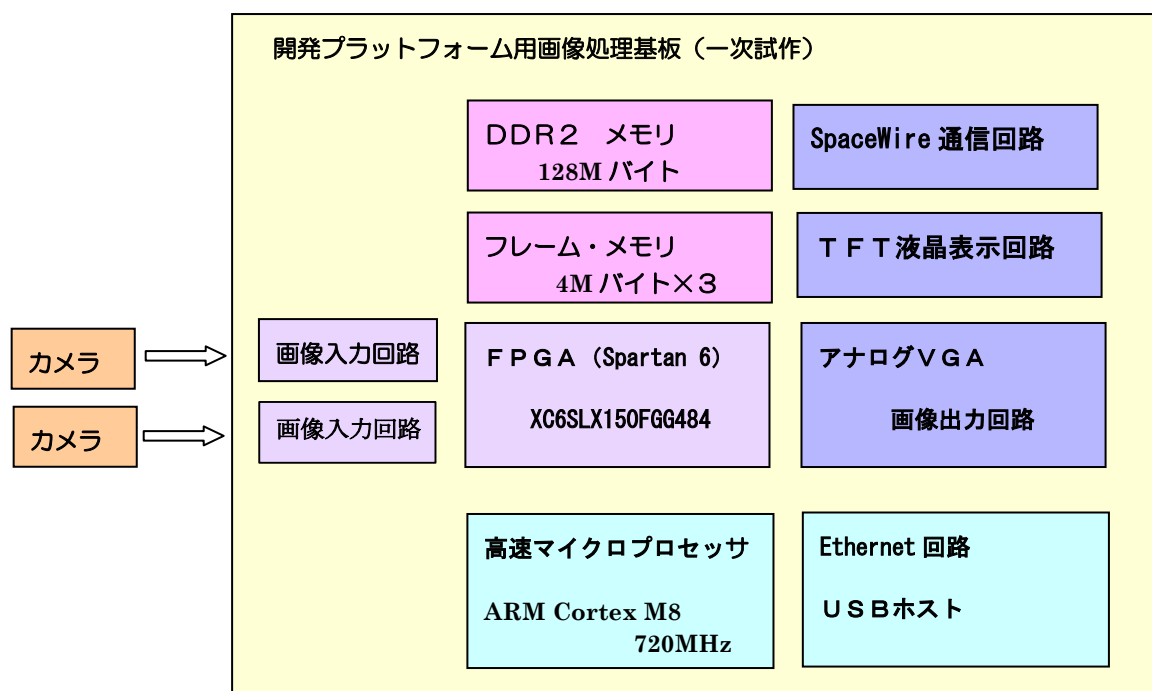


図 1 1. 開発プラットフォーム用画像処理基板 (一次試作)

シキノハイテック社の300万画素CMOSカメラモジュール KBCR-S01TXG を接続するFPCコネクタを2チャンネル実装した。CMOSカメラの画像信号線はFPGAに直結され、FPGA上に実装したカメラ・インターフェイス回路を経てフレーム・メモリに格納される。

FPGAはXilinx社のSpartan 6シリーズの最上位チップ XC6SLX150FGG484 を搭載した。Xilinx社のSpartan 6シリーズは量産製品にも使いやすいコスト・パフォーマンスに優れたチップである。

Spartan 6シリーズにはXC6SLX150FGG484とピン互換性を持つXC6SLX45FGG484などがラインアップされている。試作段階では開発の余裕を考慮して最上位チップを使い、事業化の段階でコストを重視したチップに切り替えることも可能である。

画像データ格納用に12Mバイトの高速フレーム・メモリを実装した。最高8nSでアクセス可能な16Mビット高速SRAMを6個搭載した。FPGAからのアクセスは16ビット・バス幅で行うが、図12に示すように4Mバイトのメモリ・ブロック×3チャンネルに分割してFPGAに接続し、並列アクセスによる高速化を可能にした。

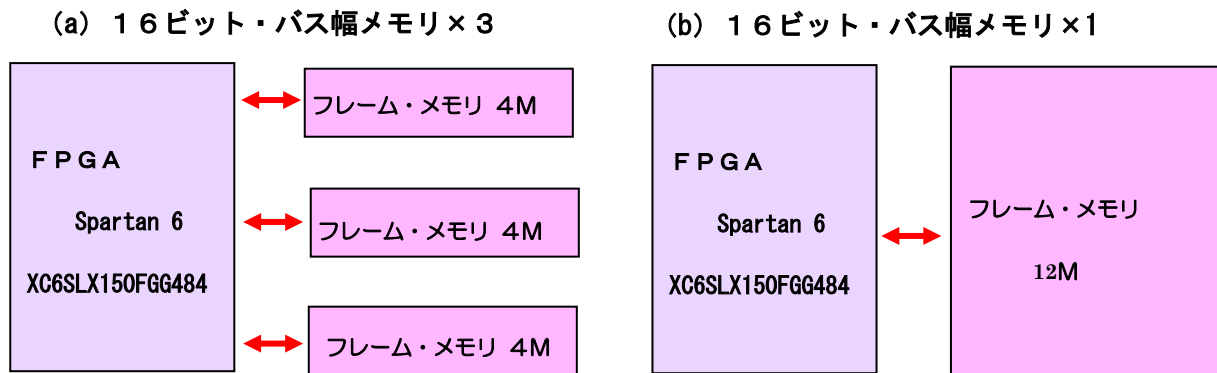


図12. 16ビット・バス幅のフレーム・メモリ（並列アクセスにより高速化が可能）

複数の画像データの記録や、テンプレート・マッチング用のデータ格納用に128MバイトのDDR2メモリも実装した。

画像出カインターフェイス回路として、

- ・ アナログVGA画像表示インターフェイス回路（VGA～SXGAまで表示可能）
- ・ TFT液晶表示回路（VGAサイズ 640×480）

をFPGA直結で出力可能とした。

画像処理プロセスの制御、上位モジュールとの通信などを行うため高速マイクロプロセッサ（ARM Cortex M8, 720MHz）を実装した。

写真14はCMOSカメラ・モジュール KBCR-SO1TXG（モリテック社のテレセントリック・レンズ ML05-132N 装着）を装着した開発プラットフォーム用画像処理基板、

【専用ハードウェア画像処理基板（二次試作）】

次にカメラ配列ステッパ機構の開発が完了し、高精細スクリーンの検査を $10\mu\text{m}$ の精度で 10 分間以内に完了する装置全体のシステム設計が完了した段階で、画像処理ライブラリ開発の結果も踏まえて、検査装置に必要十分な機能と性能を備えた「画像処理基板（二次試作）」を開発した。

この基板は

1. 1 画面分の画像データ（ 1024×768 ピクセル）を 1 フレーム時間（0.07 秒）以内に読み込みモニタ表示できること
2. 検査処理用の F P G A ロジックおよびプログラムを実装可能なハードウェア性能を備えること（F P G A CPU 32 ビットプロセッサ 720MHz クロック）

を目標とする。

「専用ハードウェア画像処理基板（二次試作）」は図 1 4 に示すように、「カメラ配列ステッパ機構」の 20 台のカメラから同時・並列的に画像データを取り込み、基板上の F P G A に組み込んだ並列処理、パイプライン処理機構により高速に画像データを並列処理する。

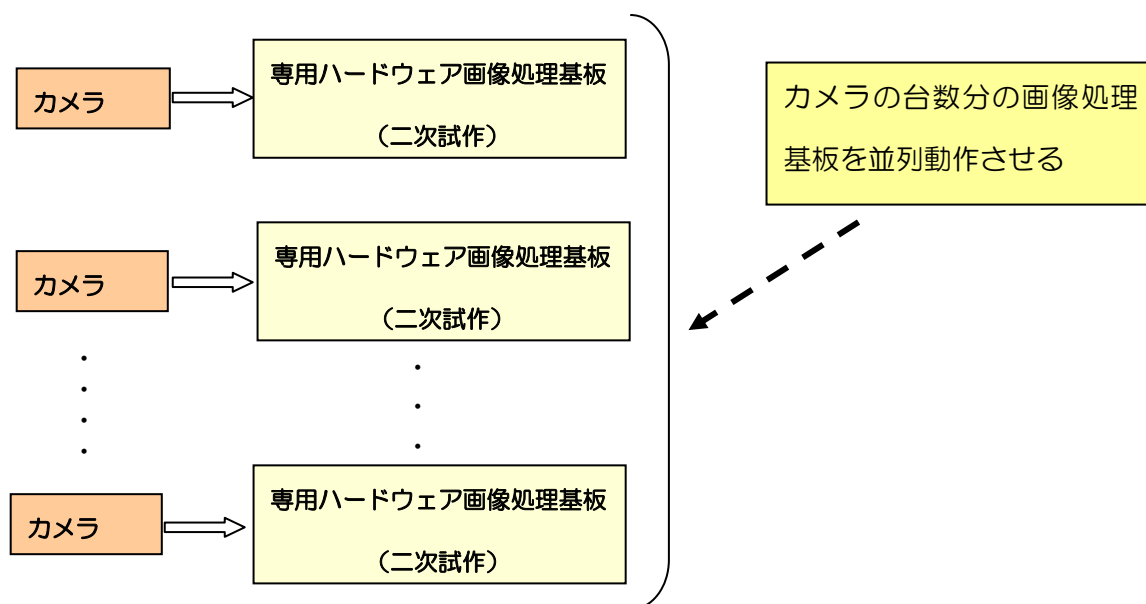


図 1 4. 専用ハードウェア画像処理基板「画像処理基板（二次試作）」の開発
（20 台のカメラそれぞれに対応した 20 枚の専用画像処理基板）

「カメラ配列ステッパ機構」から取り込んだ画像を並列処理してスクリーン・マスクの欠陥、汚れ、断線を検出するために必要な画像入力回路および画像処理基本ライブラリを開発する。カメラから画像処理基板上のフレーム・メモリに読み込まれた画像データ（ $1024 \times$

768 ピクセル) に対して、スクリーン・マスクの $10\mu\text{m}$ 単位の欠陥、汚れ、断線の検出に必要な2次元フィルタリング処理、エッジ検出、テンプレート・マッチング、2値化などの基本的な画像処理演算を高速に実行する。

図15は「専用ハードウェア画像処理基板（二次試作）」の回路図、写真15はカメラを接続した「専用ハードウェア画像処理基板（二次試作）」の写真である。

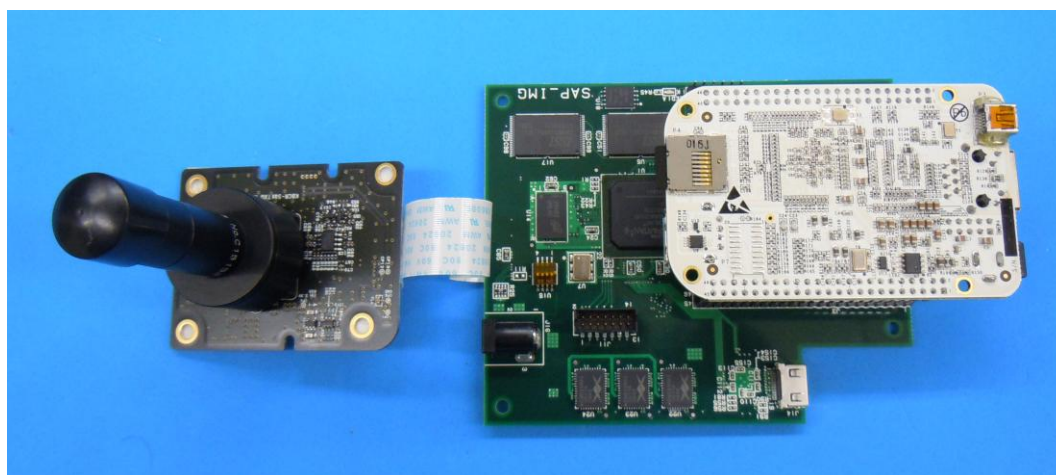


写真15. カメラを接続した専用ハードウェア画像処理基板（二次試作）

図15. 専用ハードウェア画像処理基板（二次試作）の回路図

3-2-2 画像入力タイミング制御回路、画像フィルタリング処理ロジック・ライブラリの開発

「カメラ配列ステッパ機構」から取り込んだ画像を並列処理してスクリーン・マスクの欠陥、汚れ、断線を検出するために必要な画像入力回路および画像処理基本ライブラリを開発した。

「画像入力タイミング制御回路、画像フィルタリング処理ロジック・ライブラリ」の開発はイーエスピー企画、京都高度技術研究所、岐阜県情報技術研究所で分担して進めた。

カメラから画像処理基板上のフレーム・メモリに読み込まれた画像データ（ 1024×768 ピクセル）に対して、スクリーン・マスクの $10\mu\text{m}$ 単位の欠陥、汚れ、断線の検出に必要な2次元フィルタリング処理、エッジ検出、テンプレート・マッチング、2値化などの基本的な画像処理演算を高速に実行することが可能になった。

また、この「専用ハードウェア画像処理基板（二次試作）」上のARM Cortex M8 マイ

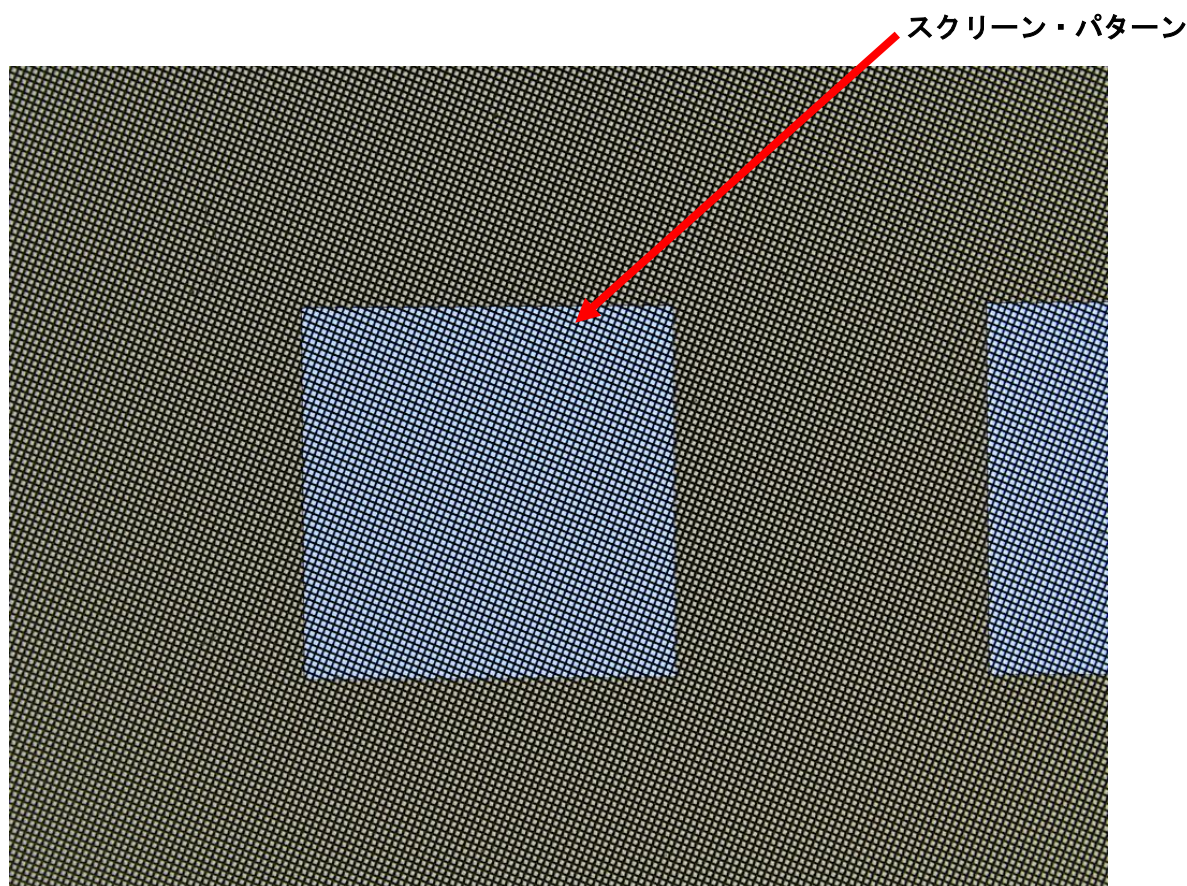


図 1 6 (a)．専用ハードウェア画像処理基板で取得したスクリーンのサンプル画像

(3640 枚のうちの 1 枚)

クロプロセッサ（720MHz）には Linux を組み込み、カメラ画像の読み込み、画像データの送受信などを可能にした。20台のカメラから読み込まれる画像データを専用ハードウェア画像処理基板に搭載した Ethernet インターフェイスを介してパソコンのハードディスク上に格納するシステムを開発した。図 1 6 (a)は開発した「専用ハードウェア画像処理基板（二次試作）」により取得した画像データの 1 枚である。

FPGAに実装するための記述はVHDLもしくは VerilogHDLで記述するのが一般的になっているが、今回の研究開発では各共同研究開発機関と協議してVHDL言語記述で統一した。

高精細スクリーン・マスクの検査はスクリーンの欠陥、汚れ、ゴミの付着、パターン断線など検査項目によって必要となる画像処理内容は異なっている。検査に必要な2次元フィルタリング処理、エッジ検出、テンプレート・マッチング、2値化などの基本的な画像処理演

図 1 6 (b)．専用ハードウェア画像処理基板で取得した結果の例（src_sf00：平滑化フィルタ）

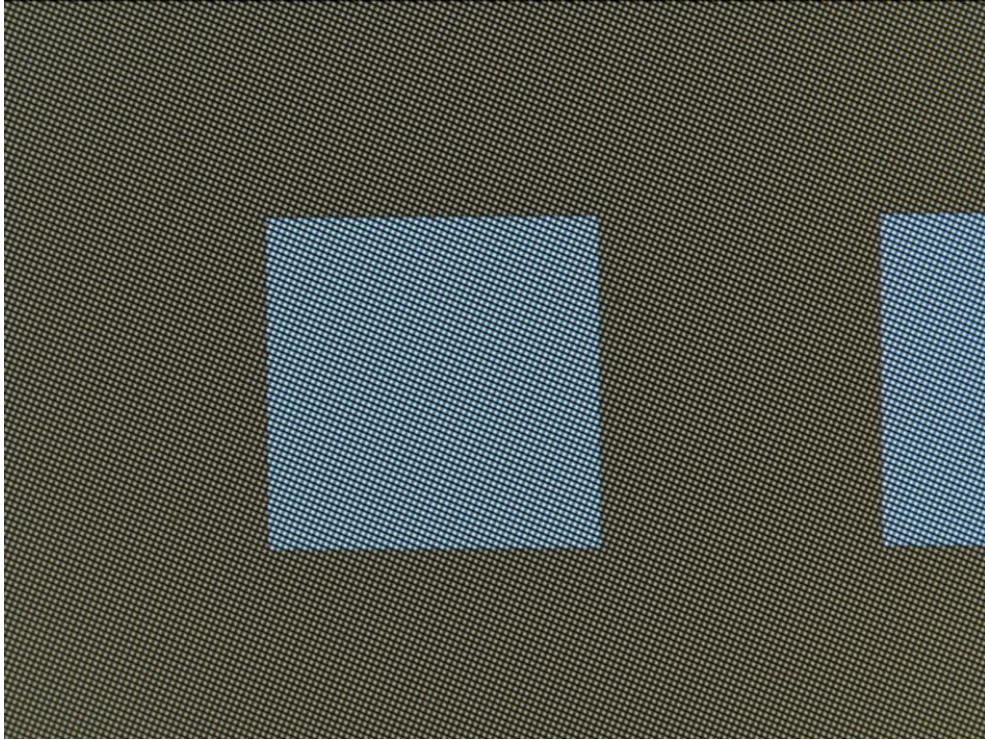
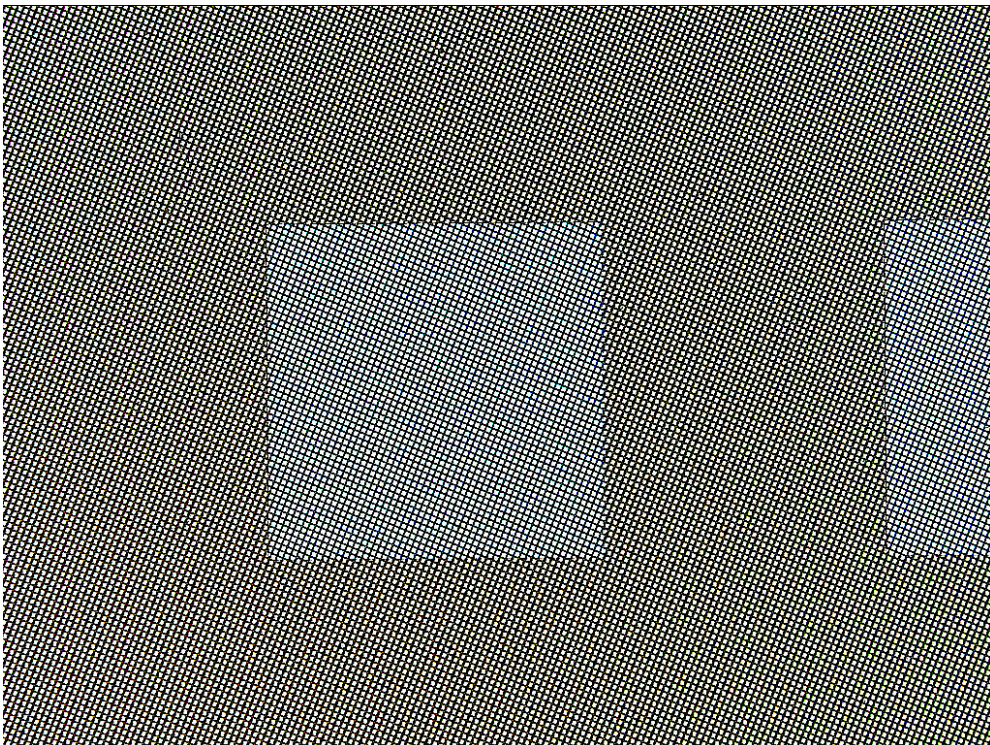


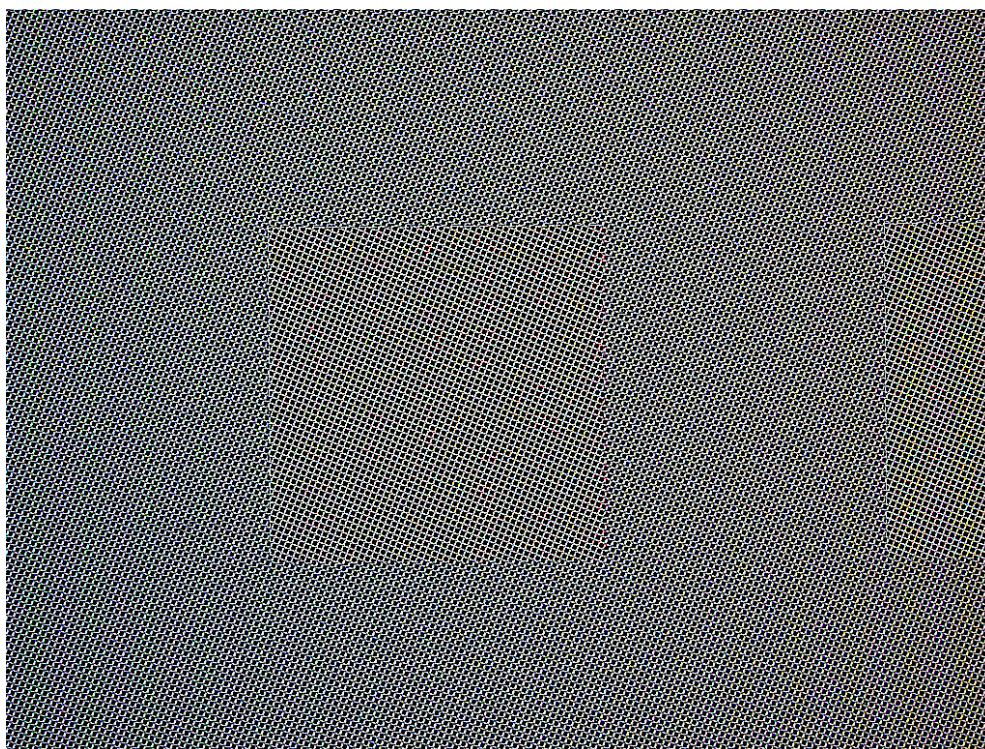
図 1 6 (c). 専用ハードウェア画像処理基板で取得した結果の例 (src_rf00 : 鮮鋭化フィルタ)



算を個別にFPGAに組み込んでいくと工数が多くなり、FPGAのリソースを使い尽くしてしまう恐れがある。

そこでマトリクスのサイズとパラメータの設定により、多くのアルゴリズムをカバーする汎用のマトリクス演算ライブラリを開発し、FPGAに組み込み機能確認を行った。図16(b)~(d)はその処理例である。

図16(d). 専用ハードウェア画像処理基板で取得した結果の例 (src_ef00 : エッジフィルタ)



① 取得画像の評価

図17は、試作したカメラで協力会社から借用したサンプルのスクリーンマスクを撮影したものを、平滑化した後、閾値により二値化を行ったものである。撮像された画像の周辺部では、中央部より輝度が高くなっていることが分かった。

いくつかの画像を反射光、透過光で取得し、画像の周辺部分と中央部分の輝度の違いについて計測を行った。結果を表3に記載する。ここで、画像の名前は各サンプルの名称で、カッコ内で透過光での撮影か反射光での撮影かを示している。画像は、1024x768 ピクセルで撮像されるが、周辺部と中央部の 100x100 ピクセルの正方形の領域での輝度値の平均値を示したものである。数値は輝度値で、0~255 の範囲で数値が大きくなるほど明るくなることを示している。

特に、反射光で周辺部と中央部の違いが大きいことが分かる。

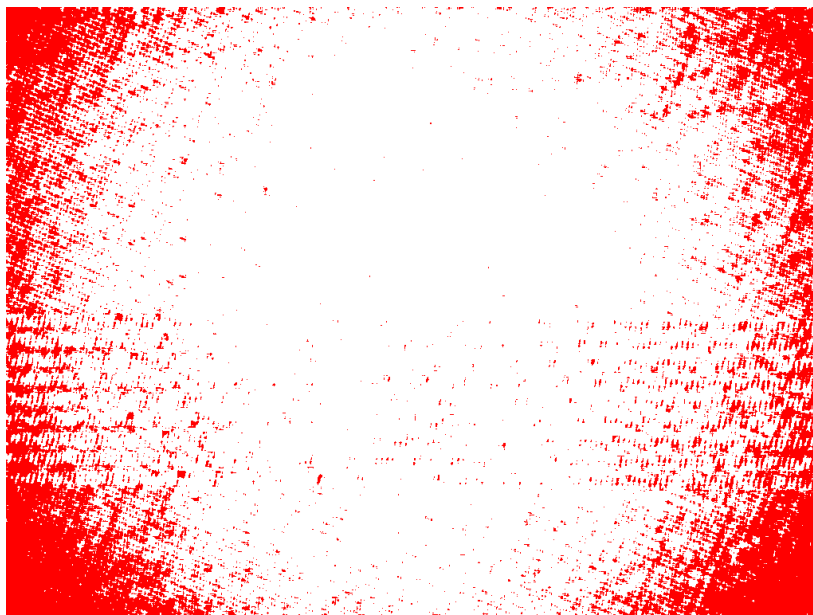


図 17. 輝度分布

表 3. 周辺部と中央部の輝度

画像	周辺部	中央部
src01(透過光)	90.89	86.84
src01(反射光)	115.21	101.21
src02(透過光)	87.46	83.67
src02(反射光)	111.21	98.79
src03(透過光)	85.70	82.04
src03(反射光)	112.15	99.29
src04(透過光)	86.98	83.34
src04(反射光)	111.29	98.08
src05(透過光)	90.37	86.42
src06(透過光)	90.29	88.12
src07(透過光)	87.84	84.39
白 L500G1(反射光)	169.05	173.48
白 L2000G1(反射光)	124.87	125.40
白 L2000G4(反射光)	238.56	238.84

② 画像処理アルゴリズムの開発

開発した、画像処理アルゴリズムの流れを記述する。

A) カラー画像のグレースケール化

試作したカメラは、カラー画像が得られる。画像処理では、一般的にモノクロ画像で行われることが多いため、カラー画像をモノクロ画像(グレースケール

画像)に変換する操作が必要となる。

グレースケール化は、RGB、あるいは YUV 形式の情報をピクセル毎にある一定の計算式で変換する。この変換式は、検査対象の色などによって動的に変更される可能性があるため、外部から変換式のパラメータを動的に変更できるように実装される必要がある。

B) フィルタ処理

フィルタ処理は、画像のランダムなノイズなどを軽減するため、あるいは画像中のエッジの抽出などに用いられる。具体的には、あるピクセルの周囲ピクセルの輝度値から、そのピクセルの輝度値を決定する。

本研究においては、3x3 ピクセルの平均化フィルタ、5x5 ピクセルの平均化フィルタなどを用いたが、パターン部分の境界部分の抽出にはエッジフィルタなどが必要となるため、用意されていることが望ましい。

C) 差分値によるパターンマッチ

パターンマッチとは、あるパターンの画像が、対象画像中に含まれている位置を特定する操作である。本研究における検査対象については、全体的に網目になっており、規則正しい網目画像が得られる。この網目の小区分をパターンとして使うことにより、パターンマッチにより網目部分が画像中から抽出される。パターン部分と非パターン部分で異なる網目画像が得られるため、パターン部分と非パターン部分に分離でき、また、ゴミなどの影響でパターンマッチがうまくいかなくなるため、不良部分の検出にも使えることが期待される。

パターンマッチの方法として、本研究では差分値によるパターンマッチを行った。差分値によるパターンマッチは、利用するパターンと、対象画像の区分との対応するピクセル毎に差分値とり、その合計がある閾値以下になった場合にパターンがマッチしたと判断する。

差分値によるパターンマッチは、演算が単純であり、高速に処理できる可能性があるが、画像全体で輝度値が一定でない場合にはうまく動作しない場合がある。そのため、輝度値が画像中で一定でない場合は、なんらかの輝度値の補正が必要となる。

D) 正規化相互相関によるパターンマッチ

本研究では、差分値によるパターンマッチの他に正規化相互相関によるパターンマッチを行っている。正規化相互相関は、パターンと、対象画像との間で正規化された相関値を使ってパターンの検出を行う。相関値を使うため、画像中の輝度値が一定でなくても使える可能性がある。

③ 必要な画像処理モジュールの特定

開発した画像処理アルゴリズムから、以下の画像処理モジュールが必要であることが分かった。

- カラー画像のグレースケース化
- フィルタ処理
- 差分値によるパターンマッチ処理
- 正規化相互相関によるパターンマッチ処理
- 閾値処理

これらの処理を行う処理モジュールを FPGA で実現する必要がある。

④ カメラ撮影画像の領域を正解画像に適合させるための画像処理

撮影画像の位置・領域を正解画像に適合させるために必要となる画像処理としては、以下に挙げるものがある。

(1) カメラの特性に起因するもの

レンズの仕様および個体差による歪みの補正。カメラごとに、チェスボードパターンを撮影してキャリブレーションを行い、補正パラメータを決定する。PC 向けの実装としては、オープンソースの画像処理・画像認識ライブラリである OpenCV のカメラキャリブレーション関数などがある。

(2) 各カメラの検査装置への取付けに起因するもの

- a) 検査対象スクリーン印刷マスクの垂直方向とレンズ光軸とのずれ。画像の透視変換により補正を行う。
- b) 各カメラが本来撮影すべき領域と実際の撮影領域の水平方向のずれ。画像の平行移動および回転により補正を行う。

(3) 検査対象スクリーン印刷マスクの検査装置への設置に起因するもの

- a) 検査対象スクリーン印刷マスクの垂直方向のずれ。検査装置の機構上、上述のレンズ光軸のずれの補正で吸収できるため、明示的な補正は不要と考えられる。
- b) 水平方向のずれ。カメラ取付けの補正と同様、画像の平行移動および回転により補正を行う。

これらの画像補正のうち、(1)および(2)については、検査装置自身によるものであり、補正のためのパラメータは、検査の度に変化するものではない。さらに、正解画像は、設計データから生成されるものである。このことから、画像の補正は、撮影画像ではなく正解画像の方に施す（撮影画像に施すべき補正の逆の補正を正解画像に対して行う）ようにすれば、実際の検査時にリアルタイムに処理を行う必要はなく、予め PC 等で処理しておくことができる。検査時にリアルタイムに行うべき処理、すなわち FPGA に実装すべき処理は、(3)-b の補正（画像の平行移動・回転）のみである。また、(2)-b の補正は、(3)-b の補正で吸収できるものであり、明示的な補正は不要である。

以上から、カメラ撮影画像領域を参照画像に一致させるための画像処理は、次のように行うものとする。

- ・ カメラごとのレンズ歪み補正および光軸補正を、事前に PC で行い正解画像を生成する
- ・ 撮影した画像の水平方向の補正（平行移動および回転）を FPGA でリアルタイムに行う

⑤ 撮影画像の設計データ中での位置特定

⑥ 設計データからの正解画像の生成

⑦ 試作カメラを用いた撮影と画像の評価

画像処理を行うためには、歪みや照明ムラがなく、コントラストが良い画像を撮影しなければならない。もし、歪み等がある場合には、カメラ・レンズ系の見直し、照明方法の改善を行い、それでも残る歪みなどに関しては、補正のための画像処理を行う。

本研究では、同型のカメラ 20 台による撮影を行う。レンズはテレセントリック・レンズを使用する。照明は個々のカメラに取り付けるリング状に高輝度 LED を配した反射光と、装置下部に格子状に LED を配置して拡散板を上にした透過光の切り替えで行う。カメラ

一レンズ系、照明は20台すべて同じであるために、取得画像の歪み具合の評価などは1台のカメラを利用して行った。

試作したカメラで撮影した画像を図25(a)、(b)に示す。

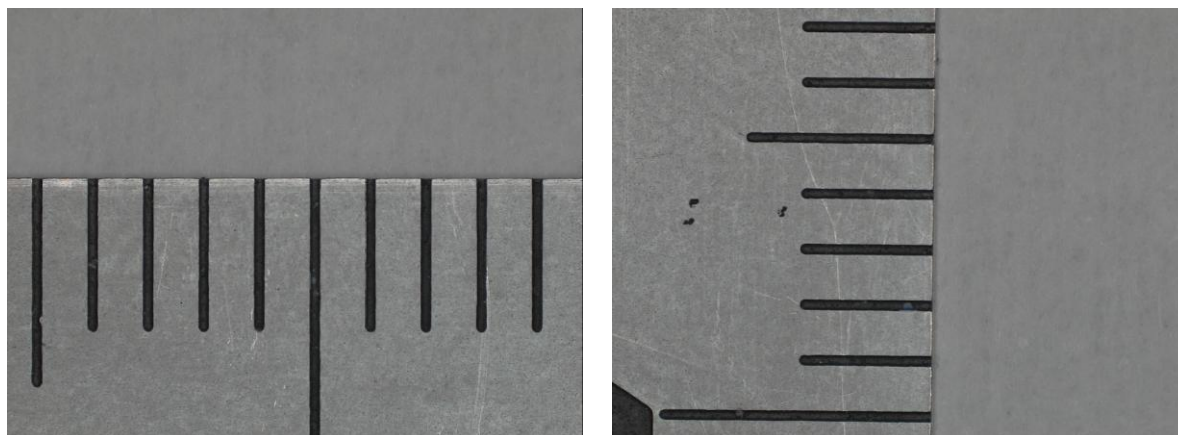


図25(a). 撮影画像 (目盛間隔1 mm)

図25(a)は目盛り間隔1 mm のスケールを撮影したものである。画角はメジャーから計測すると約10mm x 7.5mm である。カメラの画素数はXGA(1024 x 768 ピクセル)であるので、1ピクセルは縦横約10 μ mとなる。

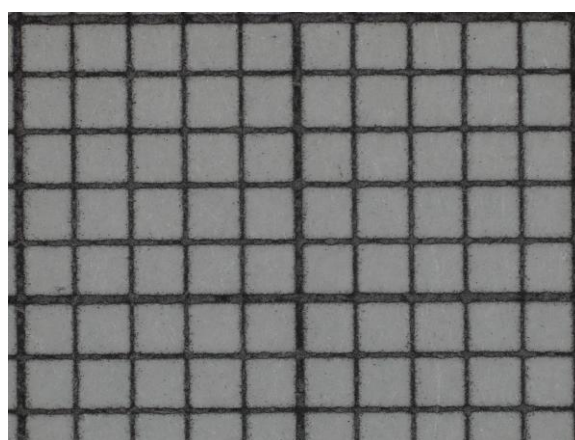


図25(b). 方眼用紙の画像 (格子間隔は1mm)

図25(b)は格子間隔1 mm の方眼用紙を撮影した画像である。スケール画像と同じように約10mm x 7.5mm の領域を撮影できたことが確認できた。また、格子模様は画像の周辺でも歪んでおらず、歪みのない画像が撮影できた。CCD 撮像素子の大きさが約10mm x 7.5mm であり、画像の歪みもほとんどないことから、今回利用したテレセントリック・レンズがうまく機能しており、歪み補正を行う必要がない。また、非常に鮮明な画像が得られているので、画像鮮鋭化やコントラスト強調などの画像処理を行う必要はない。

図26に、白版を反射光で撮影したときの輝度ヒストグラムを示す。

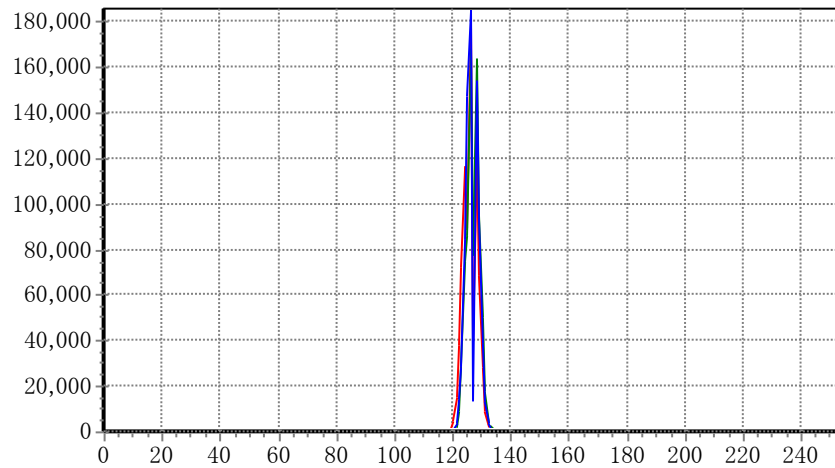


図26. 白版の輝度ヒストグラム

RGB それぞれほとんど同じヒストグラムを示し、輝度の平均は 126、標準偏差は 4.5 であった。色ズレや照明ムラがほとんどなく、照明ムラを補正する処理を行う必要はない。輝度については、カメラボード上のオートゲイン機能を有効にしているので、照明の明るさを変えても、平均が 128 近辺にくるようになっている。図27に白版の画像を、輝度の平均値である 126 を閾値にして、固定2値化処理した画像を示す。

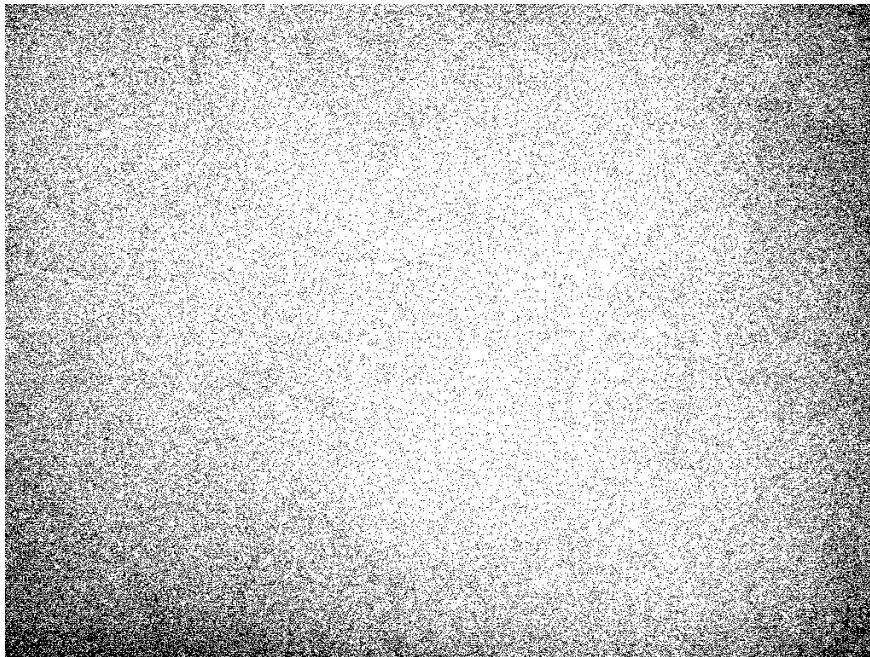


図27 白版の2値化画像

図3の輝度ヒストグラムでは輝度ムラはほとんどないように見えるが、図4の2値化画像に見るように、周辺、特に4角で輝度が落ち込む傾向が見られた。図28に白版の輝度の垂直方向の周辺分布を示す。

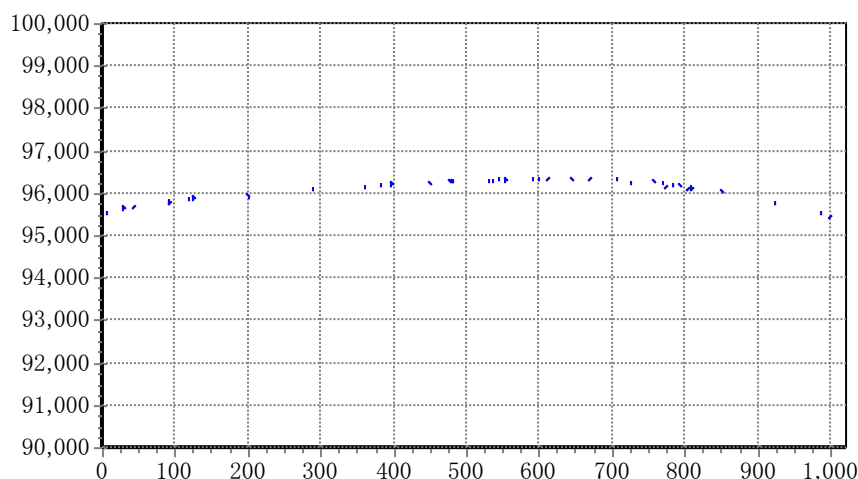


図28 白版の垂直方向の周辺分布

図5は縦軸のスケールを拡大しているため、周辺ほど輝度が下がっているように見えるが、変動係数は0.3%と極めて均一である。撮影した白版に図4のようなムラがあるとは考えにくいので、輝度のムラは、LEDの反射光照明、レンズ、CCD素子の面内特性のいずれか、または、複合した結果であると考えられる。照明ムラを補正する必要はないと考えられるが、閾値処理などでは注意する必要がある。

本研究で試作したカメラ・照明で、歪みや輝度ムラのない画像を得ることができた。1ピクセルは正方形で、約 $10\mu\text{m}$ 口である。XGA(1024 x 768)の画像を取得し、Windowsビットマップ形式のデータで保存することができた。

⑧反射画像によるパターンの分離

⑨透過画像によるパターンの分離

⑩フーリエ変換、自己相関特徴によるパターンの分離

スクリーン印刷で用いるメッシュを撮影すると、規則正しい格子模様となる。周期的なパターンは、フーリエ変換によって現れるスペクトルをマスクした後、フーリエ逆変換を行うことで消すことができる。撮影した画像にフーリエ変換を施し、変換した画像の輝点からマスクパターンを作成する。マスクパターンを用いてフーリエ変換画像の輝点を取り除いた後に、フーリエ逆変換を実施し、メッシュの格子模様が取れて、パターンだけが残っているか、処理してできた画像を検査に用いることができるかどうか検討する。

⑪色相によるパターンの分離

スクリーン・マスクに用いているレジストには色が付けてあるものが多い。このため、レジストが残っている部分と、レジストが除かれたパターン部分とで色が違う場合がある。色の違いを利用してメッシュとパターンを分離できないか検討する。

取得した画像について、RGB それぞれの輝度ヒストグラムを計算し、パターン部分の色相の範囲を求める。求めた色相で原画像にフィルタを掛け、パターンが分離できるかどうか評価する。

3-2-3：カメラ撮影角度に依存する画像の歪みを高位合成技術を使って補正するロジック・ライブラリの開発

高細精スクリーン・マスクの検査を「10 マイクロメートルの精度」で正確に検査するために必要なレンズひずみ補正、カメラ画像傾斜補正、明度ばらつき補正などを行うロジック・ライブラリを高位合成ツール「Impulse C」およびその「画像処理ライブラリ」を使って開発し、基本動作を確認した。並列処理、パイプライン処理を駆使することにより、実質的な実時間処理が可能であることを確認した。

①高位合成処理による差分値によるパターンマッチ処理の開発

「差分値によるパターンマッチ処理」を、ANSI-C 言語を用いて記述し、高位合成処理技術を用いてハードウェア生成を行った。生成されたハードウェアの HDL 記述を用いて FPGA(Xilinx Spartan-3E) へのマッピングを行い、回路規模、遅延値、処理速度のソフトウェア実装からの向上について評価を行った。

②FPGAにおける画像処理回路の構成の検討

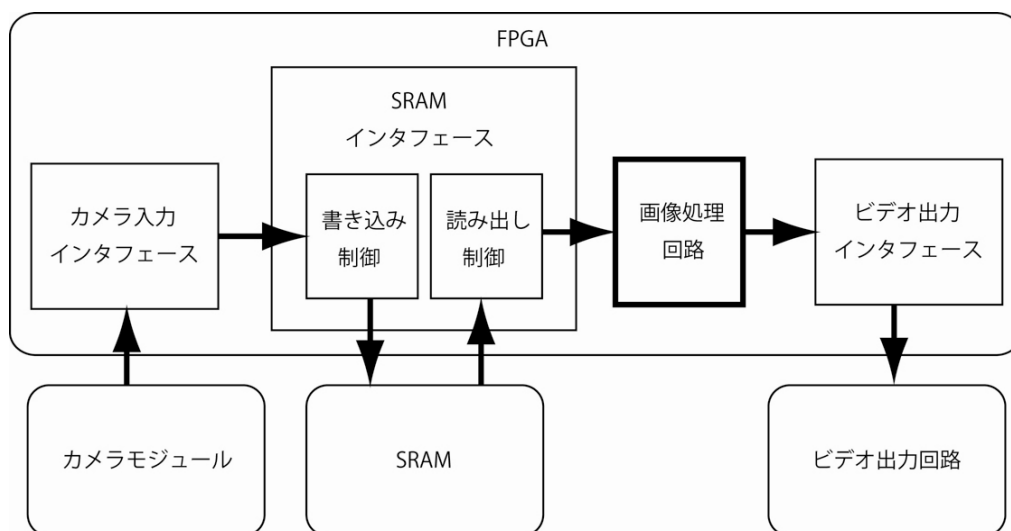


図4 4. FPGA 回路の構成

図4 4に本研究のFPGA 回路の構成を示す。カメラモジュールから読みだされる画像データは、1 フレームの画像を走査しながら読みだされた画素値データのストリームである。このデータは、FPGA 内のカメラ入力インタフェース回路を通して取り込まれ、SRAM インタフェースの書き込み制御回路により、SRAM に保存される。この画像データは、後段

の処理モジュール（図ではビデオ出力回路）により読み出し制御回路を通して読みだされる。カメラ入力インタフェースおよびビデオ出力インタフェース回路は、「Impulse C 画像処理ライブラリ」のモジュールを「高位合成ツール Impulse C」および「ISE Design suite」を用いて修正して利用できる。

カメラ画像のストリームデータを処理する画像処理回路を実装する場所として、（１）カメラ入力インタフェース回路と書き込み制御回路の間、（２）読み出し制御回路とビデオ出力インタフェース回路の間、の２つが考えられる。（１）の場合、カメラから読みだした画像の画素アドレスを基準として、後述する座標変換を実行することになる。メリットとして、後述する変換前座標から変換後座標への変換式をそのまま計算すればよい。変換パラメータの扱いが分かりやすい点がある。一方、デメリットとして、一度のスキャンでは変換後画像のすべての座標を画素データで埋められない可能性があり、画素値補完のための後処理を行う必要がある。（２）の場合、後段モジュールにより SRAM から読みだすときの画素アドレス、つまり変換後画像の座標を基準としてストリーム処理を行うことになる。このため、通常の幾何変換式を逆変換に直してから計算する必要がある。しかしながら、変換後画像のすべての画素に、一度のスキャンで必ず何かのデータが入るため、画素値補完の後処理は必要ない。このことから、本研究では（２）の方式を採用した。

③画像幾何変換回路（平行移動、拡大縮小、回転）

画像補正に必要な画像幾何変換（平行移動、回転、拡大・縮小）を行うための F P G A 回路モジュールを開発した。これらの画像変換処理は、 (x', y') を変換後の座標、 (x, y) を変換前の座標として、次の式で表される。

$$\begin{aligned} \text{＜平行移動＞} \quad x' &= x + T_x, \quad y' = y + T_y \\ &\quad (\text{ただし、} T_x, T_y \text{ はそれぞれ水平、垂直移動量}) \end{aligned}$$

$$\begin{aligned} \text{＜拡大縮小＞} \quad x' &= s_x x, \quad y' = s_y y \\ &\quad (\text{ただし、} s_x, s_y \text{ はそれぞれ水平、垂直方向の拡大縮倍率}) \end{aligned}$$

$$\begin{aligned} \text{＜回転＞} \quad x' &= x \cos \theta - y \sin \theta, \quad y' = x \sin \theta + y \cos \theta \\ &\quad (\text{ただし、} \theta \text{ は回転角度}) \end{aligned}$$

以上のように、これらの処理は各画素データに対する座標変換であるため、カメラから走査しながら F P G A に取り込まれた画像データに対してパイプライン的に上記の計算を行うことで、カメラフレームレートと同じレートで処理を実行できる。回路モジュールは、

「Impulse C 画像処理ライブラリ」、「高位合成ツール Impulse C」、「ISE Design suite」、「Design, verification & Test」から構成される開発環境により設計し、「プラットフォームケーブル USB-II」を用いて FPGA のコンフィグレーションを行った。

この回路モジュールを開発プラットフォーム基板に実装した。実装時には、図 4 4 に示すように、取り込んだ画像データを一旦 SRAM に保存し、この SRAM から読み出した画像データに対してパイプライン的に上記の座標変換を実行した。図 4 5 に、入力画像を示す。画像サイズは 1024×768 ピクセルである。実験では、試作した検査装置のカメラにより取り込んだスクリーンマスクの画像を印刷したものをテストパターンとして用い、これをカメラで撮影した。

④総括

本研究では、カメラの取り付け・撮影条件に応じて画像を補正するために必要な画像幾何変換（平行移動、拡大縮小、回転）を FPGA を用いてリアルタイムで実行するための画像処理ロジック・ライブラリを開発した。また、開発したこれらの回路を FPGA ターゲットボードに実装し、カメラからの画像入力に対して動作検証を行い、XGA（ 1024×768 画素）サイズのカメラ画像を 66.7 ミリ秒（15 フレーム毎秒）で処理できることを確認した。

3-3 研究成果

カメラ配列モジュールから出力される画像データを取り込み、並列処理、パイプライン処理により高速処理を行う専用ハードウェア画像処理基板を開発した。まず画像処理ライブラリの開発と動作確認を行うために開発プラットフォーム用画像処理基板（一次試作）を開発し、続いて「カメラ配列ステッパ機構」に実装して20台のカメラから同時・並列的に画像データを取り込んで処理を行う「専用ハードウェア画像処理基板（二次試作）」を開発した。

この「専用ハードウェア画像処理基板（二次試作）」上のARM Cortex M8 マイクロプロセッサ（720MHz）にはLinuxを組み込み、カメラ画像の読み込み、画像データの送受信などを可能にした。

20台のカメラから読み込まれる画像データを専用ハードウェア画像処理基板に搭載したEthernet インターフェイスを介してパソコンのハードディスク上に格納するシステムを開発した。

取得した検査スクリーン・マスクのサンプル画像データは、京都高度技術研究所、立命館大学、岐阜県情報技術研究所などの共同研究機関に配布し、検査アルゴリズムの研究開発に供した。

各共同研究開発機関がこの画像データを使ってパソコン上の画像処理シミュレーション技術を駆使して開発した検査アルゴリズム、画像処理ライブラリをイーエスピー企画はFPGA上に実装した。

高精細スクリーン・マスクの検査はスクリーンの欠陥、汚れ、ゴミの付着、パターン断線など検査項目によって必要となる画像処理内容は異なっている。検査に必要な2次元フィルタリング処理、エッジ検出、テンプレート・マッチング、2値化などの基本的な画像処理演算を個別にFPGAに組み込んでいくと工数が多くなり、FPGAのリソースを使い尽くしてしまう恐れがある。

そこで共同研究各機関による検査アルゴリズム研究の成果を踏まえて、必要なアルゴリズムをカバーするFPGAに組み込む汎用のマトリクス演算ライブラリを開発し、機能確認を行った。

汎用のマトリクス演算ライブラリでカバーできないテンプレート・マッチング、ラベリングなどの処理は、京都高度技術研究所のアルゴリズム開発結果を受けて、独自にFPGAへの実装を行った。

高細精スクリーン・マスクの検査を「10 マイクロメートルの精度」で正確に検査するた

めに必要なレンズひずみ補正、カメラ画像傾斜補正、明度ばらつき補正などを行うロジック・ライブラリを高位合成ツール「Impulse C」およびその「画像処理ライブラリ」を使って開発し、基本動作を確認した。並列処理、パイプライン処理を駆使することにより、実質的な実時間処理が可能であることを確認した。

第4章 「統合コントローラ回路基板」と「統合コントローラ制御プログラム」の開発

4-1 研究目的及び目標

「カメラ配列ステッパ機構」のステッパ機構、カメラ撮像シャッター動作、画像処理基板への画像取り込み、画像処理による画像検査の各動作を統括する「統合コントローラ回路基板」および「統合コントローラ制御プログラム」を開発する。

「統合コントローラ回路基板」は高速マイクロプロセッサ及びFPGAを搭載し、各専用ハードウェア画像処理基板との高速通信機能を駆使してシステムの全体的な動きを統合する。

「統合コントローラ制御プログラム」は「カメラ配列ステッパ機構」のステップ動作およびこれに同期したカメラモジュールの撮像シャッターの制御をおこない、撮影した画像の流れをコントロールする。

4-2 実施内容

4-2-1 「統合コントローラ回路基板」の開発

高速マイクロプロセッサ及びFPGAを搭載し、各専用ハードウェア画像処理基板と高速通信機能を備えた「統合コントローラ回路基板」および「統合コントローラ制御プログラム」を開発した。

写真16は統合コントローラ回路基板の外観である。図50(a)、(b)にその回路図を示す。

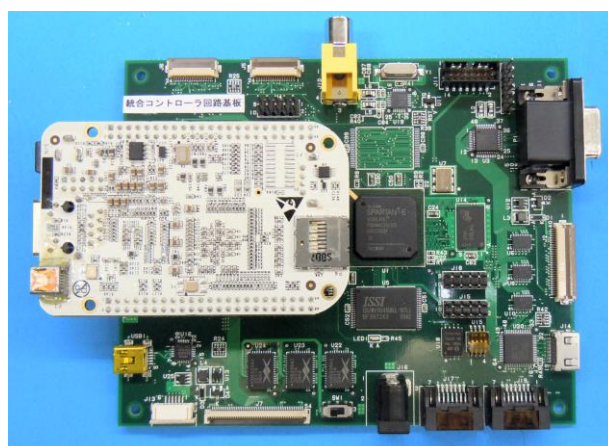


写真16. 統合コントローラ回路基板

「カメラ配列ステッパ機構」のステップ動作およびこれに同期したカメラモジュールの撮像シャッター制御の動作を確認した。

カメラ配列ステッパ機構を、横13ライン、縦14ラインにわたってステップ移動させ、ステップごとにカメラ配列モジュールに取りつけた20台のカメラに一齐に撮像コマンドを送って安定に撮像することを確認した。

図49にステッパ機構のステップ動作とカメラの撮影タイミングを図示した。統合コントローラは、図のようにステッパ機構を台形駆動させたあと停止状態を安定させるための「停止時間」をとり、20台の専用ハードウェア画像処理基板に撮影コマンドを送る。

ステップ移動時間は2秒間、停止時間は0.5秒、撮影時間は0.15秒とした。撮影時間は、

$$(2+0.5+0.15) \times 20 \times 13 \times 14 = 482.3 \text{ 秒}$$

$$= 8 \text{ 分 } 2.3 \text{ 秒}$$

となり、目標をクリアしている。ステップ移動と撮影時間はさらに短縮することも可能であるが、パイプラインで並列する画像処理時間と同期させる必要もあるので、現時点ではこの

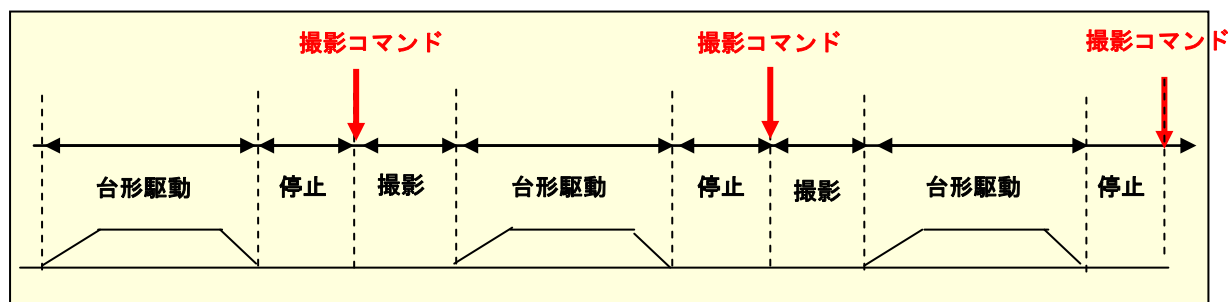


図49. ステッパー機構のステップ動作と撮影タイミング

タイミングで進めることとした。

カメラ配列モジュールが撮像する

$$20 \times 13 \times 14 = 3640 \text{ 枚}$$

の画像を専用ハードウェア画像処理基板の Ethernet 通信ポートを介してパソコンのハードディスク上に記録することにより、カメラ配列ステッパー機構により取得される生画像データをファイルとして取得した。

この画像データはスクリーン1枚分で8Gバイトになる。検査アルゴリズム開発用のデータとして

- ① ステンレス・メッシュ・スクリーンを反射光で撮影
- ② ステンレス・メッシュ・スクリーンを透過光で撮影
- ③ ポリエステル・メッシュ・スクリーンを反射光で撮影
- ④ ポリエステル・メッシュ・スクリーンを透過光で撮影

の4種類、32Gバイトの画像データを取得してブルーレイ・ディスクに格納し、共同研究機関に配布した。表5はカメラ配列ステッパー機構で取得したアルゴリズム開発用サンプルデータのファイル構成と配置カメラ、ステッパー位置との対応表である。

図51に、ステンレス・メッシュ・スクリーンを透過光で撮影したデータの一部を紹介する。画像データは128枚の24ビットBMPファイル（1024×768ピクセル）で構成されている。

表5. カメラ配列ステッパ機構で取得したアルゴリズム開発用サンプルデータのファイル構成

カメラの配置

装置は 20 台のカメラで構成されている

カメラは装置正面から見て以下のとおり配置されている

取得データではフォルダ名がカメラと関連付けられる

【例】 フォルダ名「YGW_Shared_18」 = カメラ No.18

5	10	15	20
4	9	14	19
3	8	13	18
2	7	12	17
1	6	11	16

画像の配置

各カメラは 182 枚の画像で構成されている

画像は装置正面から見て以下のとおり配置されている

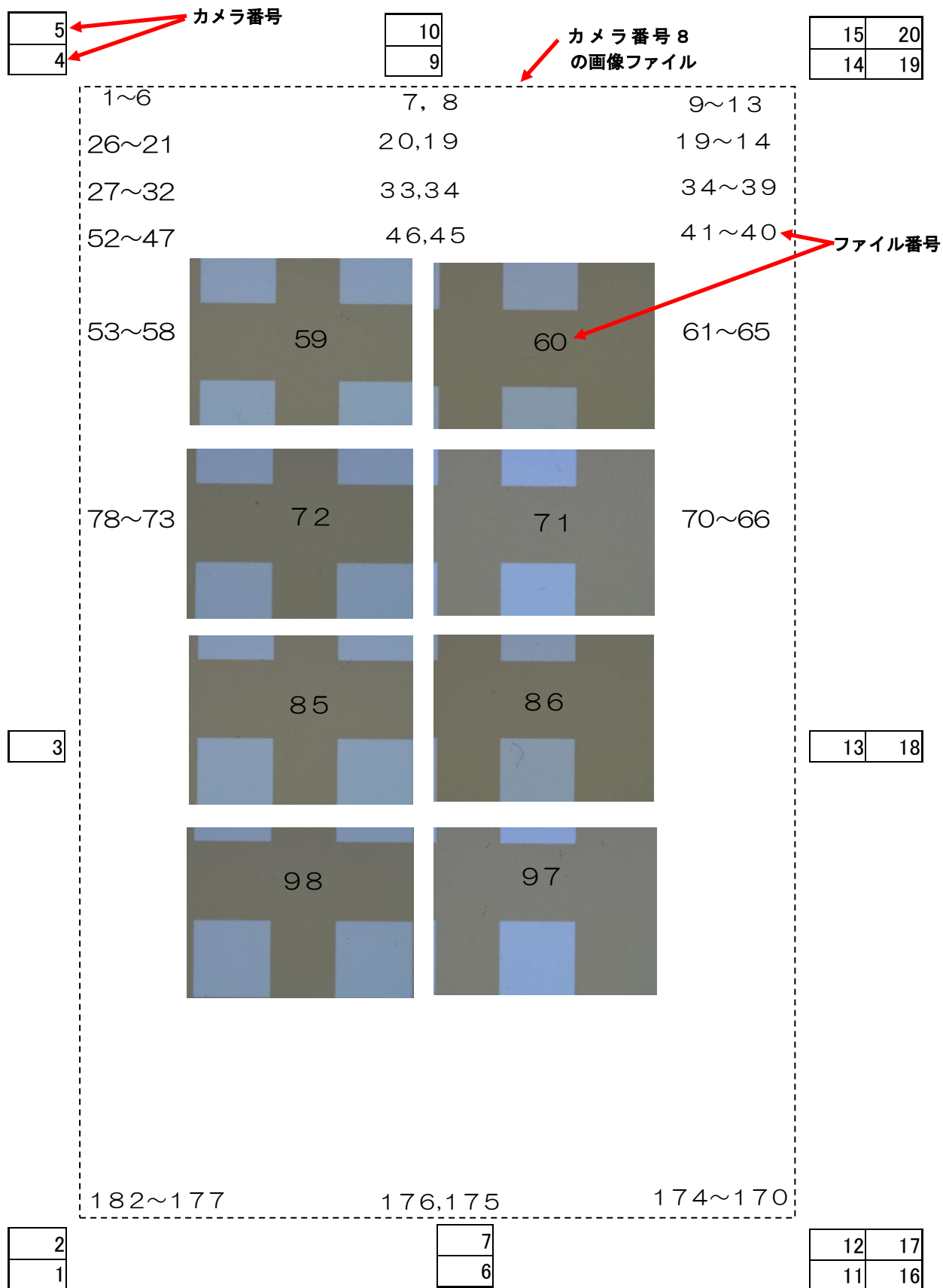
取得データではファイル名が画像と関連付けられる

【例】 ファイル名「src010.bmp」 = No.10 の画像

画像 No.0 と画像 No.183 は使用しない

1	1	2	3	4	5	6	7	8	9	10	11	12	13
2	26	25	24	23	22	21	20	19	18	17	16	15	14
3	27	28	29	30	31	32	33	34	35	36	37	38	39
4	52	51	50	49	48	47	46	45	44	43	42	41	40
5	53	54	55	56	57	58	59	60	61	62	63	64	65
6	78	77	76	75	74	73	72	71	70	69	68	67	66
7	79	80	81	82	83	84	85	86	87	88	89	90	91
8	104	103	102	101	100	99	98	97	96	95	94	93	92
9	105	106	107	108	109	110	111	112	113	114	115	116	117
10	130	129	128	127	126	125	124	123	122	121	120	119	118
11	131	132	133	134	135	136	137	138	139	140	141	142	143
12	156	155	154	153	152	151	150	149	148	147	146	145	144
13	157	158	159	160	161	162	163	164	165	166	167	168	169
14	182	181	180	179	178	177	176	175	174	173	172	171	170

図 5 1. カメラ配列ステッパ機構で取得した画像ファイル（検査アルゴリズム開発用データ）



4-3 研究成果

高速マイクロプロセッサ及びFPGAを搭載し、各専用ハードウェア画像処理基板との高速通信機能を備えた「統合コントローラ回路基板」および「統合コントローラ制御プログラム」を開発した。「カメラ配列ステッパ機構」のステップ動作およびこれに同期したカメラモジュールの撮像シャッター制御の動作を確認した。

カメラ配列ステッパ機構を、横13ライン、縦14ラインにわたってステップ移動させ、ステップごとにカメラ配列モジュールに取りつけた20台のカメラに一斉に撮像コマンドを送って安定に撮影することを確認した。

また、カメラ配列モジュールが撮像する

$$20 \times 13 \times 14 = 3640 \text{ 枚}$$

の画像を専用ハードウェア画像処理基板の Ethernet 通信ポートを介してパソコンのハードディスク上に記録することにより、カメラ配列ステッパ機構により取得される生画像データをファイルとして取得した。

この画像データはスクリーン1枚分で8Gバイトにおよぶ膨大な量であるが、ブルーレイ・ディスクに格納して共同研究機関に配布し、検査アルゴリズム開発に役立てた。

第5章 全体総括

実施計画書に記載した認定計画1年度目の研究開発計画

- ①検査画像入力用カメラ配列モジュールおよびステッパ機構の開発
 - ②カメラ画像信号のローカル処理を行う専用ハードウェア画像処理基板および処理ロジック・ライブラリの開発
 - ③「統合コントローラ回路基板」と「統合コントローラ制御プログラム」の開発
- を予定通り実施し完了することができた。

試作した「検査画像入力用カメラ配列モジュールおよびステッパ機構」および画像処理基板によって得られた画像データは、補正なしでも10 μ m精度の検査に耐えるほど良質のデータが得られた。

研究開発の1年度目で高精細スクリーン・マスク検査に必要な

- ① 10 μ m精度の画像の取り込みに必要な機械装置および光学機構の開発
- ② 大量の画像データを並列処理、パイプライン処理でユーザの求める高速処理技術に目処をつける事が出来たと考える。

研究開発の2～3年度目で、

- ③検査アルゴリズムのより多彩な手法の確立とFPGAへの実装
 - ④使い勝手の良い装置としてまとめ上げるユーザ・インターフェイスの開発
- を行い、早急に事業化にこぎつけたいと考えている。