平成２５年度戦略的基盤技術高度化支援事業

「微細貫通配線及びバンプ接合を使った次世代三次元 LSI チップ製造技術の確立を目指した研究開発」

研究開発成果等報告書

平成２６年３月

委託者　東北経済産業局

委託先　宮城県中小企業団体中央会

目　次

第１章　研究開発の概要 ４
１-１　研究開発の背景・研究の目的及び目標 ４
（１）研究開発の背景・目的 ４
（２）研究の目標 １０
（３）研究実施内容 １１
１-２　研究体制 １２
（１）研究組織及び管理体制 １２
１）研究組織
２）管理体制
（２）管理員及び研究員 １３
（３）経理担当者及び業務管理者 １４
（４）他からの指導・協力者名及び指導・協力事項 １４
１-３　成果概要 １５
１-４　当該プロジェクト連絡窓口 １６

第２章　本論 １７
２-１　チップズレ防止方法の検討 １７
２-１-１　研究内容 １７
２-１-２　結果 １７
２-２　ボイド防止構造の検討 １９
２-２-１　研究内容 １９
２-２-２　結果 １９
２-３　In/Au バンプ構造・接合の最適化 ２０
２-３-１　研究内容 ２０
２-３-２　結果 ２０
２-４　信頼性技術の開発 ２３
２-４-１　研究内容 ２３
２-４-２　結果 ２３
２-５　事業化に関する研究 ２４
２-５-１　顧客開拓 ２４
２-５-２　事業化に向けての市場調査 ２４

第３章　全体総括

３-１　平成 23-２５年度の研究成果の纏め ２５
３-２　今後の課題 ２６
　３-２-1　三次元 LSI 技術 ２６
　３-２-2　事業化に関する準備と調査 ２６

第１章　　研究開発の概要

１-１　研究開発の背景・研究目的及び目標

（１）研究開発の背景・目的

近年三次元 LSI の研究開発が加速している。三次元 LSI は小型化、高速化、多機能化、異種デバイスの集積化、超並列処理可能といった特徴がある。しかし、現行の技術は貫通配線及びバンプサイズが大き過ぎ、LSI チップ間の回路ブロックを直接結線ができないためチップ小型化の追求だけでとどまっており、本来の構造的メリットが有効にでていない。この技術は、LSI ウェーハプロセスとアプリケーションを繋ぐ技術であり、研究レベルで多種多様な形成技術が考えられ提案されているが、想定するアプリケーションやウェーハプロセス技術が明確でない場合、ポイントをはずし無駄な開発をしてしまうことが多い。本研究では、東北マイクロテック株式会社で研究開発中の高エネルギー物理学で使われるピクセル型素粒子検出器用 LSI を開発ビークルとして、現行のものに比較して１桁以下の２～３μｍで寄生容量の小さいチップ間接続が行える製品化技術を作ることを目指す。東北マイクロテック株式会社では、今まで５μｍピッチ以下の接続技術を研究してきており、その試作のための試作装置を開発して、TEG（Test Element Group）チップを試作して技術検証を行ってきた。しかし、後述するが、大規模回路検証用のテストチップで不具合が見つかり、製品化を目指すには単純な TEG を使った研究レベルの開発から、実製品に近い複雑な配線や断面構造でも積層出来るような製品化技術が必要であることが分かった。この実製品に繋がる技術を研究するのが本研究の目的であり、これによって今まで TEG レベルでも他社でできなかった微細貫通配線、マイクロバンプ接続技術の完成度を上げ、弊社にしか実現できないオンリーワン技術の実現を目指す。この技術が３年で確立できれば、市場規模が 100 億円/年の素粒子検出器用チップのマーケットシェアの大部分が獲得できる。さらには直接の応用として高速・高機能イメージセンサ、高精度で安価な放射線検出器、医療用のＸ線検出器に、その先の超並列型信号処理機能を持つ計算機、超小型の多機能通信モジュール、1000 フレーム/秒以上のスピードが必要な高速カメラや４ｋx2k（4096ｘ2048）のデジタルシネマ用レンダリング装置、高速移動体のナビゲーションシステム用ＬＳＩに展開できる。

<ﾋﾟｸｾﾙ型素粒子検出器用 LSI ﾁｯﾌﾟを本研究・開発のビークルとして選んだ理由>

現在、三次元 LSI の開発は、イメージセンサの小型化、DRAM やフラッシュに代表されるメモリの高集積化が目標となっている。イメージセンサは 30 フレーム/秒、高速といっても 300 フレーム/秒で画像データをセンサ領域から出力出来れば良い。画像データは、1 画素ずつ順次出力される。次の画素を出力するピクセルの位置が決まっているので、画像を送り出す準備は、前の画像を送り出す処理サイクル内で準備できる。このように、規則通りに順次データを送るような画像データの高速転送は画素データ間の出力間隔を狭めれば実現できるので、一つのデータに着目するとあまり高速性は必要ない。これは、従来の二次元 LSI で実現可能であり、高速化・高性能化の強い動機にならない。また、DRAM やフラッシュも通常の階層構造のメモリを持つコンピュータシステムでは、下位のメモリ(用語説明欄参照)として使われ、データは上位メモリに、塊として送られるため、これもデータの出力間隔を狭めデータ出力本数を最大 100 本程度にすれば、ギガ（10^9）バイト/秒のデータ転送速度を実現できるので高速化を追求するという意味での強い動機にはならない。

素粒子検出器に使われる検出用 LSI は、大型の粒子加速器で粒子（陽子、反陽子等）を加速させて衝突させ、そこで分裂して発生した素粒子の質量、運動エネルギーから素子の性質を推定するための位置、時間を検出する半導体チップである[1]。検出器チップの一例を図 1.1.1 に示す。加速される粒子は 100 個程度のある纏

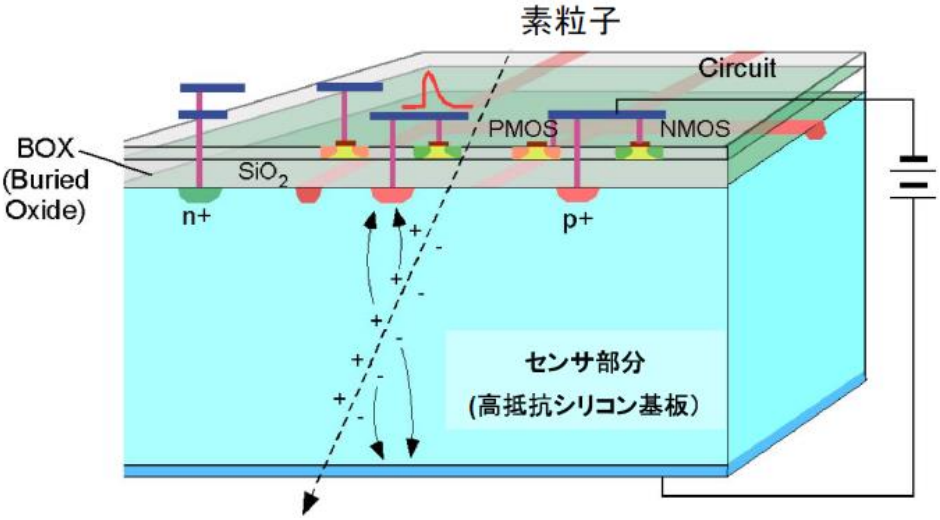


図 1.1.1 ピクセル型素粒子検出器の一例

[1] 新井康夫他,“ＳＯＩ技術を用いた放射線イメージセンサの開発”,日本物理学会誌 Vol.65, No.9,pp.691-698,2010

まった量（bunch)の粒子の衝突が数 ns(10^{-9}秒）の間隔で発生するので、観測のためにはどの bunch の衝突で発生したか、どの位置を通過したかが分かることが重要である。このため、検出器はピクセル型にする。また、これだけの微少時間間隔で起こる事象の情報はそのまま外部に送り出しても、高速すぎて処理できないので、検出器 LSI の内部に、特に高速の事象を扱う場合は 1 ピクセル内に計数回路を入れる。LSI の内部のうちセンサ部以外は素粒子に対して不感である。高速化のために計数回路を１ピクセルごとに持たせると更に不感領域が増える。LSI の回路や配線遅延計数回路の専有面積は数十 μm^2 になるので、同じピクセル内に入れると不感領域の割合が半分以上占めることになる。ピクセルサイズを大きくして不感領域の割合を下げることも考えられるが、空間分解能は下がる。時間分解能と空間分解能をともに上げるには、検出部分と計数部分を分けて積層し、1 ピクセルごとに両者を電気的に接続することが必要で、このためには 1 ピクセル当たり 1～3 個の割合でチップ間を接続できるサイズのマイクロバンプ技術が必須になる。弊社は高エネルギー加速器研究機構(以降 KEK と呼ぶ)及び(米)Fermi National Accelerator Laboratory (以降 FNAL と呼ぶ)の依頼を受けて、SOI(Silicon on Insulator)チップを２μmのマイクロバンプを使って積層する検出器用 LSI チップの研究をしている。図 1.1.2 に両機関が設計したチップ写真を、図 1.1.3 に KEK チップの断面写真を示す。

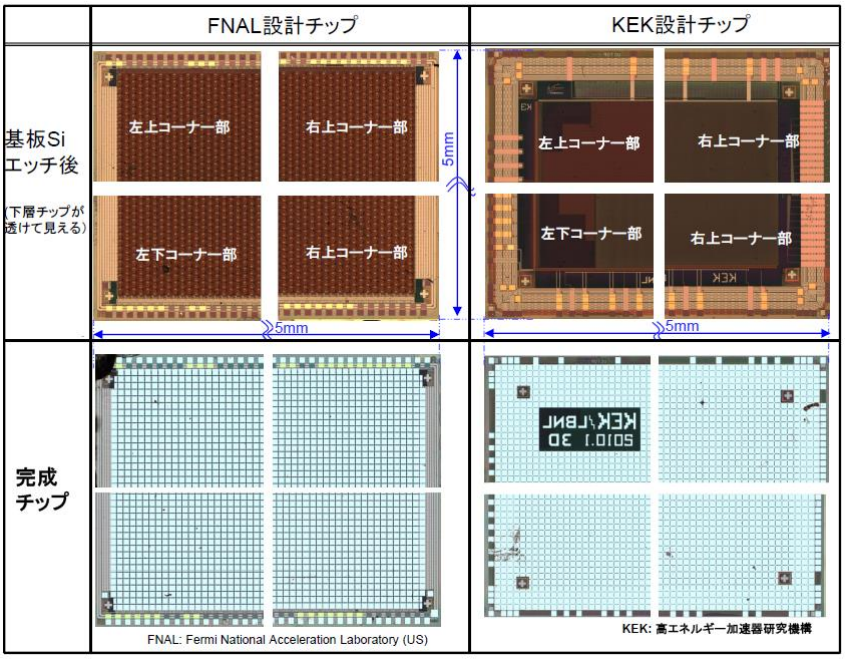


図 1.1.2　ピクセル型素粒子検出器チップの外観写真

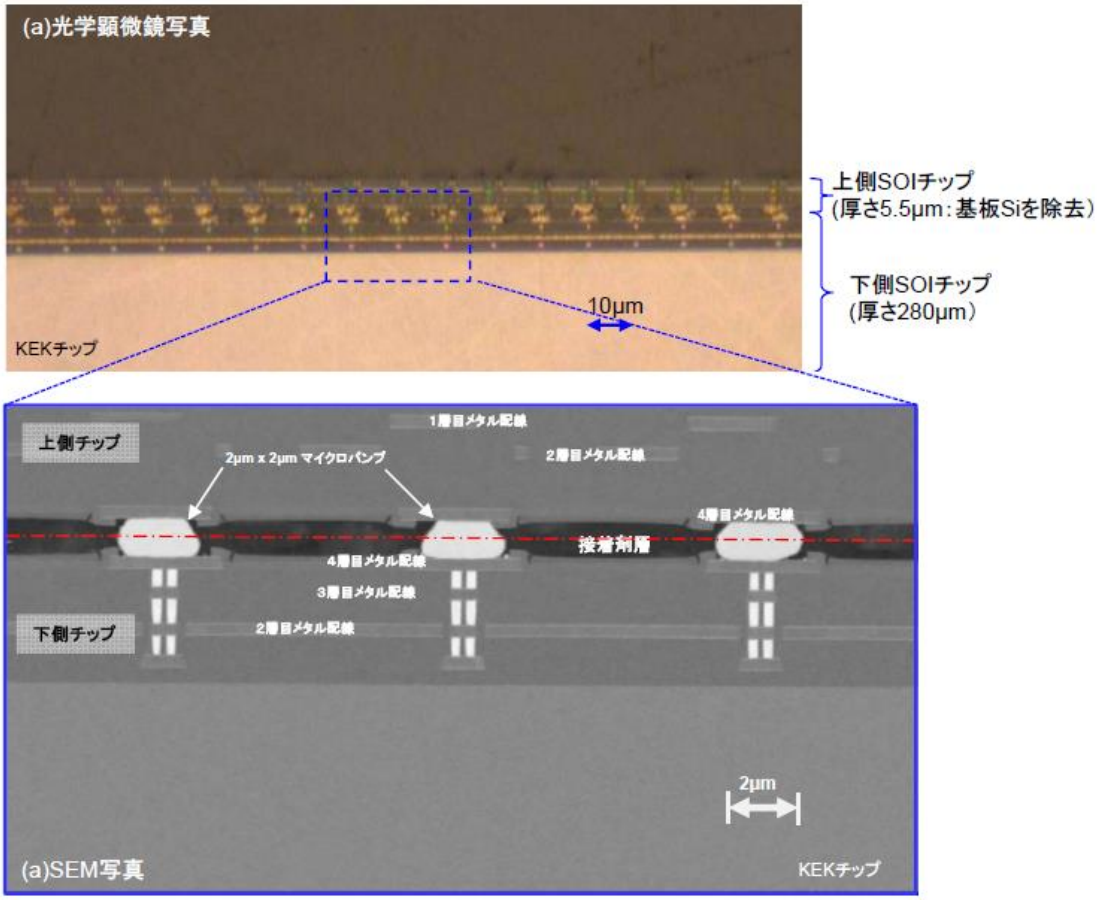


図 1.1.3　KEK のピクセル型素粒子検出器チップの断面写真

ディテクタ試作の依頼この微細マイクロバンプによる接合は、弊社しかアナウンスしていないため、現在はこの他に、（英）Rutherford Appleton Laboratory からサンプル試作受注を受け、試作品を作成した。また、ヨーロッパの核物理関係の AIDA Pj（AIDA: Advanced European Infrastructures for　Detectors at Accelerators）から、微細バンプを使ったピクセルが来ており、プロジェクトのメンバの（Pavia University(伊)、Max Planck Institute((独)）とピクセルディテクタのレイアウト設計を行っている。但し、弊社は研究用の評価サンプルレベルまでは試作できるが、実装評価に耐える信頼性を持つチップを数百個/月という規模で製造することは、製造装置、工数及び歩留りという点で対応できない。また、弊社で研究用に設計した TEG では問題なかったが、KEK 及び FNAL で設計した大規模回路評価用テストチップでは、今まで見えていなかった問題が露見し、また、ベー

スLSIウェハの製造元が変わるとプロセスチューニングが必要になり製品ごとの開発期間が延び、今持っている技術だけでは直ぐに製品化できないことが分かった。今までは、単純化したTEGデバイスで開発してきたが、本研究で、実際の製品に適用される構造のチップを使い、そこで発生する問題を解決して、インテグレーション(集積化)プロセスを構築することを目的とする。製品レベルのチップで歩留りを上げられ、マージンの大きいプロセス技術が開発できれば、前記の課題が対策され、どこのベースLSIウェハを使っても100個/月レベルのサンプル出荷ができ、素粒子検出器LSIチップで事業化のスタートが図れる。更にこの技術を必要とする他の製品群に展開でき、ビジネスチャンスを拡大できると考えている。

＜当該分野における研究開発動向＞

前述のとおり、三次元 LSI 技術を使ったはサンプル出荷・量産ベースでは、今のところ携帯電話のビデオ電話用イメージセンサ用 CSP(チップサイズパッケージ)と積層 DRAM、一部の Si インターポーザに搭載された FPGA（2.5D 技術）しかない。開発フェーズでは、通信モジュールで Qualcom(米)社が企画、IMEC(ベルギー)の開発技術で SMC(台湾)が製造というスキームの共同開発を行っている例がある。また厳密にいうと三次元 LSI ではないが Xilinx 社の次世代の FPGA は 4 チップに分割され、Si インターポーザ上に積層される。これは、製品化初期の歩留り低によるコストアップを避けるためである。これらの技術で使う TSV,バンプサイズは、それぞれ 10μm 径及び 30μm 径以上である。この他に、IBM 社はスーパーコンピュータ用に独自のウェーハプロセスで積層する三次元積層技術を開発中であるが、この方法ではコスト的にコンシューマ向けに大量生産するデバイスカテゴリには高価で不向きである。

研究レベルでは、世界各国の研究機関が各社各様の技術を開発している。これを表 1.1.1 に纏めた。弊社及び東北大、IMEC（ベルギー）,CEA-LETI(仏), Fraunhofer(独), Tezzaron（米）は５μm 径以下の TSV を発表している。バンプサイズは、弊社及び（米）Ziptronix 社の２μm 径以外は、５μm 以上である。

表 1.1.1　各社が発表している三次元 LSI 技術

TSV形成工程 / TSV材料 / 積層方法		MOS形成前	配線形成前	LSIウェーハプロセス終了後 積層前 TSV形成	LSIウェーハプロセス終了後 積層後 TSV形成	プロセスコスト	異種サイズ/基板の積層
		ポリシリコン	Cu, W	W, Cu	W, Cu		
ウェハ状態で積層	バルクSi	東北大 IBM Dalsa	Tezzaron Ziptronix IMEC TSMC ASET エルピーダ 三星 Hynix	東北大 CEA-LETI IMEC Toshiba ASET Samsung STMicro Etc.	Samsung (開発)	低	不可
	SOI			東北大	IBM RPI MIT/Lincoln Lab.		
ウェハ上にチップを積層		東北大.		Frounhofer IZM Samsung CEA-LETI Ziptronix IMEC		中	可能
*自己組織化技術				*東北大 (東北マイクロテック)		*低	
チップ状態で積層		・東北大 ・エルピーダ (初期開発)		・東北大 (東北マイクロテック) ・RTI		高	可能

バルクSi ：基板全体がSiで構成(通常のLSIで使われるSi基板)
SOI（Silicon on Insulator）：絶縁膜上に薄いSiのデバイス層が形成されている基板

弊社は In/Au の溶融接合方式である。この実現のため、チップアライメント、接着剤注入、接着剤硬化専用装置も含めて研究開発することで実現することができ差異化が図れている(図 1.1.5)。

図 1.1.5　マイクロバンプ接合用装置

（2）研究の目標

目標は、現行のプロセスの問題点・課題を改善して、実使用に耐えうる信頼性・歩留りを確保できる三次元 LSI チップ製造技術を開発することである。

1．積層チップの仮接着後にチップがずれないようにズレ防止構造を検討する。

【技術目標】　仮接着後から恒久接着までの間にチップずれを起こさないこと。

2．接着剤注入時にボイドが入らない構造・プロセスを構築する。

【技術目標】

Si エッチ後、20 倍の対物レンズの光学顕微鏡（接眼レンズ 10 倍）で観察してボイドが無いこと。

3．2.5μmx2.5μm の In/Au マイクロバンプ接合でバリア/コンタクトメタルの選定を行い TEG チップ、回路 TEG チップで安定なバンプ抵抗を得ること。また、In/Au が下地のデバイス領域に拡散しない様なバリアメタルを選択すること。

【技術目標】

・加熱温度プロファイルの最適化後、信頼性試験での接合不良率が 0.01％以下であること

・高温放置後でバンプ/バンプパッドメタルから下地 MOS トランジスタ領域への Au の拡散が分析器（SIMS）の検出限界以下であること。

4．以下の信頼性試験を満足すること

【技術目標】

・1000 段以上の Daisy Chain の温度サイクル試験で５００サイクルまでで導通不良が発生しないこと。不良が発生した場合は、原因対策を行い、不良が発生しないという見通しを得ること。

・エレクトロマイグレーション試験で、0.3 ×10^5A/cm^2が実現できること。

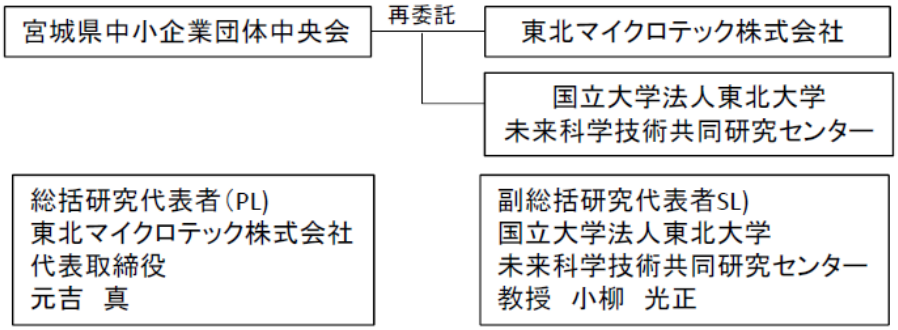
（3）研究実施内容

研究項目	目標	実施結果
①チップズレ防止方法の検討	・仮接着後から恒久接着までの間にチップずれを起こさないこと。	ズレ発生メカニズムを解明し、三次元積層装置及び積層プロセスを最適化した。
②ボイド防止構造の検討	・20 倍の対物レンズの光学顕微鏡（接眼レンズ 10 倍）で観察してボイドが無いこと。	接着剤注入プロセス及びレイアウトパターンの最適化を行い SOI ウェハを使った専用 TEG を設計・試作しボイド有無を観察した。
③In/Au バンプ構造の最適化	・接合不良率が 0.01%以下であること ・バンプメタルの下地への拡散が分析器（SIMS）の検出限界以下であること	バンプ形成プロセスの見直し、バンプ組成、バリアメタルの最適化により、安定的にバンプ抵抗が得られることを確認した。 また、Au の下地への拡散の評価用 TEG を作成・評価を行い、SIMS 分析で確認した。
④信頼性評価試験	・1000 段以上の Daisy Chain の温度サイクル試験で 500 サイクルまでで導通不良が発生しないこと。 ・バンプ EM 試験で、最大電流密度 0.3 ×10^5A/cm^2以上が実現できること。	信頼性評価用 TEG チップを設計し、最適化したプロセスで試作し、セラミックパッケージに組み込み温度サイクル試験を行った。 EM 試験はウェハ状態で定電流ストレスを印加し評価した。
⑤事業化に関する準備と調査	・現在協力関係にある高エネルギー加速器研究機構を通して素粒子検出器市場を、また、新たな高機能センサ等の市場及び医療用・高速コンピュータ用プロトタイプ3D IC 市場を開拓する。これは、３年間を通して活動する。 ・最先端の三次元 LSI の学会参加し最新の技術を調査し、本開発技術とベンチマークを行う。	【顧客開拓】 平成 24 年度は２つの国内の展示会に出展、平成 25 年度は７つの国内外の展示会に出展し顧客開拓を図った。 【市場調査・学会での情報収集】 平成 23～25 年度を通して、主要な三次元 LSI のでの発表・参加し、技術動向調査、他社・他機関とのベンチマークを行った。
⑥研究全体の統括、プロジェクトの管理運営	・研究を円滑に推進するため、一連の研究全体について管理運営を統括する。 ・また、事業の進捗についての確認を定期的に行い、適正な管理を行う。	一連の研究全体について管理運営を統括し、事業の進捗についての確認を定期的に行い、研究を円滑に推進した。

１－２　研究体制

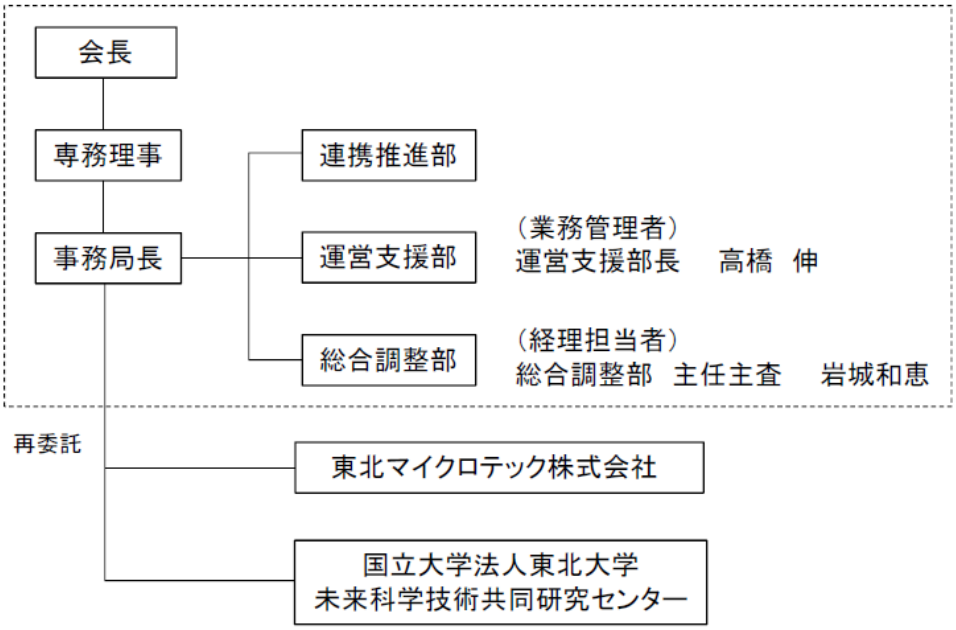
（１）研究組織及び管理体制

１）研究組織（全体）



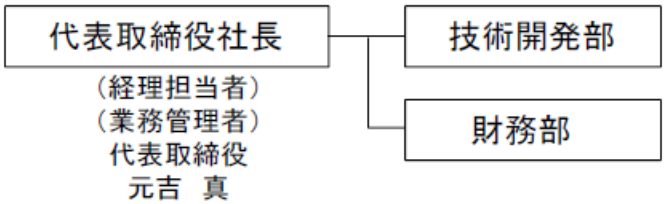
２）管理体制

①　事業管理者［宮城県中小企業団体中央会］

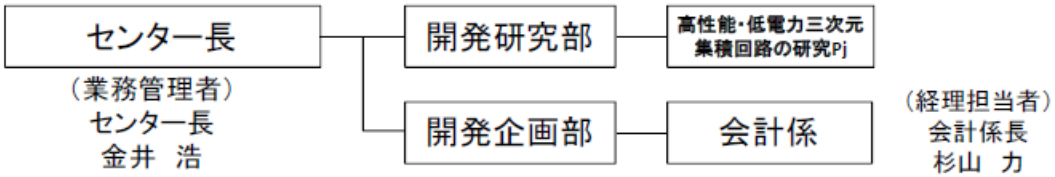


②（再委託先）

東北マイクロテック株式会社



東北大学未来科学技術共同研究センター



（2）管理員及び研究員（役職・実施内容別担当）

【事業管理者】宮城県中小企業団体中央会

①管理員

氏名	所属・役職	実施内容（番号）
高橋　伸	運営支援部　部長	⑥
佐野　智之	運営支援部　運営支援第二課　課長	⑥
佐藤　一三	運営支援部　運営支援第二課　主任主査	⑥

【再委託先（研究員）】

東北マイクロテック株式会社

氏名	所属・役職	実施内容（番号）
元吉　真	代表取締役	PL:①,②,③,④,⑤
長谷川　峰司	設計部長（研究員）	⑤
鷹觜　淳一	エンジニア	①,②,③,④
佐竹　伸	エンジニア	①,②,③,
伏見　泰広	補助員	①,②,③,
柳村　光紀	補助員	①,②,③,④

国立大学法人東北大学未来科学技術共同研究センター

氏名	役職・所属	実施内容（番号）
小柳　光正	未来科学技術共同研究ｾﾝﾀｰ　教授	SL:①,②,③,④,⑤
李　康旭	未来科学技術共同研究ｾﾝﾀｰ　教授	①,②,③,⑤
福島　誉史	未来科学技術共同研究ｾﾝﾀｰ准教授	①,②,③,⑤
Jichoel Bea	未来科学技術共同研究ｾﾝﾀｰ　助教	①,②,③
M. Murugesan	未来科学技術共同研究ｾﾝﾀｰ研究員	③,④,⑤
相沢　宏行	未来科学技術共同研究ｾﾝﾀｰ研究補助員	①,②
長井　千里	未来科学技術共同研究ｾﾝﾀｰ研究補助員	①,②

（3）経理担当者及び業務管理者

【事業管理者】

宮城県中小企業団体中央会

（経理担当者）総合調整部　主任主査　　岩城　和恵

（業務管理者）運営支援部　部長　　高橋　伸

【再委託先】

東北マイクロテック株式会社

（経理担当者）代表取締役　　元吉　真

（業務管理者）代表取締役　　元吉　真

国立大学法人東北大学未来科学技術共同研究センター

（経理担当者）会計係長　　杉山　力

（業務管理者）センター長　　金井　浩

（4）他からの指導・協力者名及び指導・協力事項

研究推進会議　委員

氏名	所属・役職	備考
元吉　真	東北マイクロテック株式会社　代表取締役	ＰＬ　委
小柳　光正	国立大学法人東北大学未来科学技術共同研究センター教授	SL
田中　徹	国立大学法人東北大学医工学研究科　教授	アドバイザー
新井　康夫	高エネルギー加速器研究機構　素粒子原子核研究所　教授	アドバイザー

アドバイザー 氏　　名	主な指導・協力事項
田中　徹	三次元LSI用プロセス装置使用方法助言
荒井　康夫	ピクセルディテクタの設計、指導、評価及び助言

１－３　成果概要

表２に研究成果概要を纏める。

表２　成果概要

研究開発目標	研究開発成果
①チップズレ防止方法の検討	ズレ発生メカニズムを解明し、三次元積層装置及び積層プロセスを最適化した。これによりマニュアル合せであるが2.5μ×2.5μm マイクロバンプ TEG で 溶融後、ほぼ 100%の接合面積が得られた。
②ボイド防止構造の検討	注入プロセス及びレイアウトパターンの最適化を行い専用 TEG を設計・試作しボイドを防げることを確認した。
③In/Au バンプ構造の最適化	バンプ形成プロセス途中で形成されるメタル酸化膜の影響をなくしさらに、バンプ組成、バリアメタルの最適化により、安定的にバンプ抵抗が得られることを確認した。 また、Au の下地への拡散の評価用 TEG を作成・評価を行い、SIMS 分析により Au の濃度が検出限界以下であることを確認した
④信頼性評価試験	平成２４年度に設計した TEG チップを試作し、温度サイクル試験と EM（Electromigration）試験をおこなった。温度サイクル試験（-45℃⇔150℃）では、目標の５００サイクルまで評価し、導通不良の発生は見られなかった。EM 評価は、目標の電流密度 3.0×10^{4}A/cm^{2} 以上をクリアすることができた。
⑤事業化に関する準備と調査	【顧客開拓】 平成 24 年度は国内の２つの展示会に出展、平成 25 年度は７つの国内外の展示会に出展し顧客開拓を図った。技術の問い合わせ件数受注数も平成 24 年度に対し平成 25 年度は 10 倍以上増加した。 【市場調査・学会での情報収集】 平成 23～25 年度を通して、主要な三次元 LSI の学会に参加・発表し、技術動向調査、他社・他機関とのベンチマークを行い、世界的な技術動向に沿っていること、技術的な優位性があることを確認した。
⑥研究全体の統括、プロジェクトの管理運営	一連の研究全体について管理運営を統括し、事業の進捗についての確認を定期的に行い、研究を円滑に推進した。

１－４　当該プロジェクト連絡窓口

宮城県中小企業団体中央会
　ＴＥＬ：022-000-5560　　ＦＡＸ：022-222-5557
　総括責任者　高橋　伸　　m10shint427@chuokai-miyagi.or.jp

東北マイクロテック株式会社
　ＴＥＬ：022-398-6264　　ＦＡＸ：022-398-6265
　統括責任者　元吉　真　　motoyoshi@t-mictotec.com

国立大学法人　東北大学　未来科学技術共同研究センター
　ＴＥＬ：022-759-6906　　ＦＡＸ：022-795-6907
　統括責任者　小柳　光正　　koyanagi@bmi.niche.tohoku.ac.jp

第２章　本論

【研究内容・及び成果】

2-1　チップズレ防止方法の検討

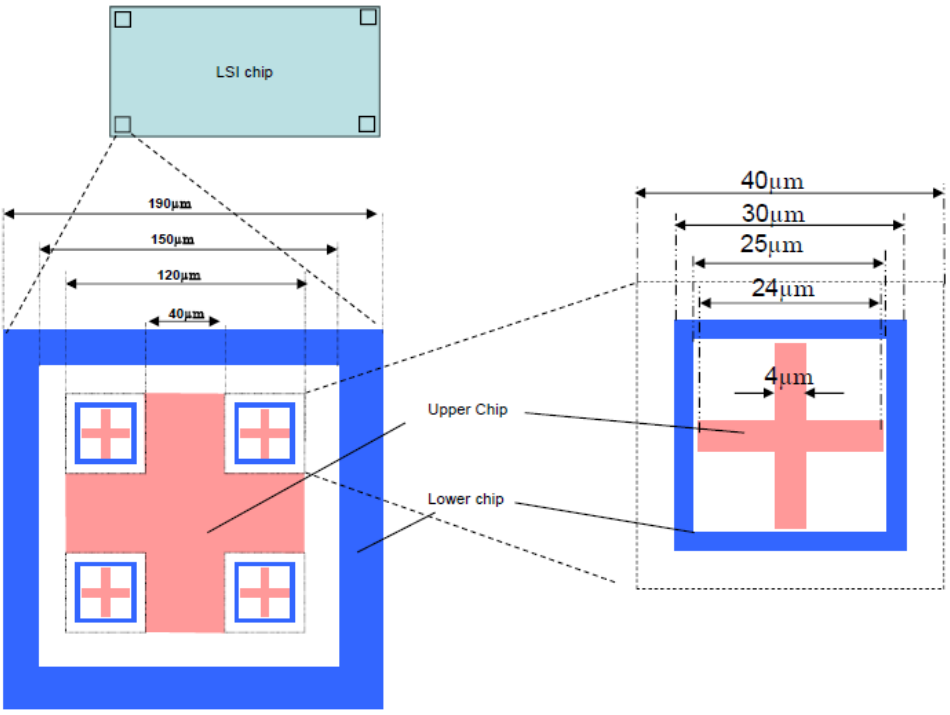
2-1-1 研究内容

三次元 LSI の積層の段階で、チップアライメント・仮接着後から恒久接着の間にチップずれが起こり、アライメント時の合わせ精度が完成時に得られていないという問題があった。この対策のため、チップズレ評価用の TEG 設計を行い、これを用いてズレ防止構造の有効性について検証する。

2-2-2　結果

（1）合わせズレ対策効果の確認

図 2.1.1 にチップアライメントマークレイアウトとチップ内の配置図を示す。



2.1.1　チップアライメントマークのレイアウト

青いパターンは下部チップ、赤いパターンは上部チップの最上層メタルで形成してあり、チップの下から赤外光を入れ上から赤外線顕微鏡観察しながらアライメントする。マークはチップの大体の位置を合わせる(ショット位置を合わせる)190μm□のマーク(rough alignment mark)とこの内部にレイアウトした 30μm□の４つのアライメントマーク(fine alignment mark)からなる。十字マークは上側

チップにボックスマークは下側チップに形成されており、合わせずれが無い状態では赤外線顕微鏡でみるとボックスの中の十字マークが中央に配置されているように見える。対策は、バンプ接合及び接着時の温度プロファイルいの最適化及びズレ防止用パターンを入れておこなった。図 2.1.2 にプロセス及び構造の改善前後の積層チップのアライメントマークを示す。画像は積層チップ裏から赤外線を当て赤外線顕微鏡により取得した。改善後はプリアライメントから殆ど位置がずれていないことが分かる。

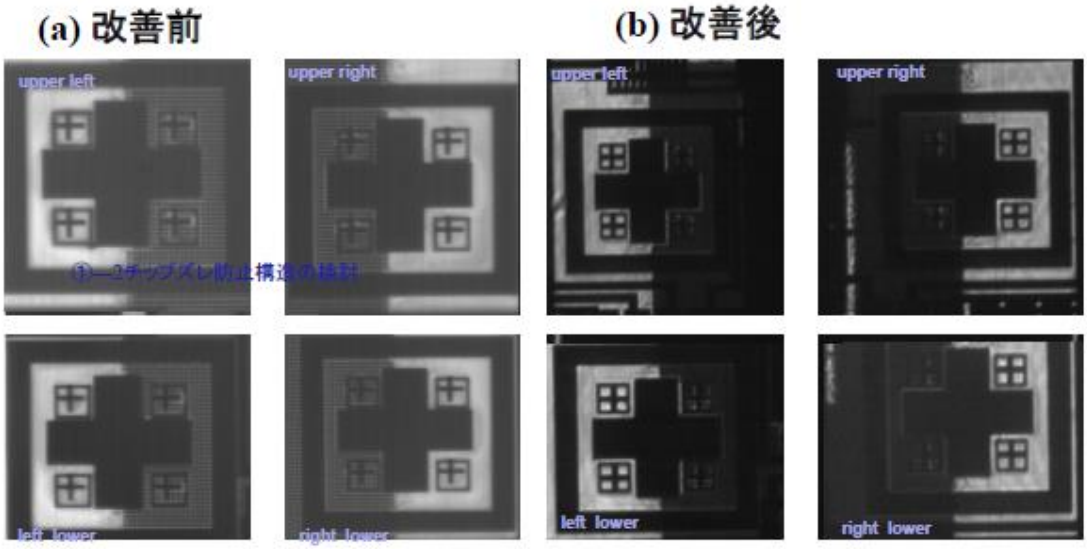


図 2.1.2　プロセス改善前後のチップアライメントマーク

この結果を図 2.1.3 に纏めた。

アライメント装置の改造により、プリアライメントの精度が 2μm 以下に向上したが図のようにプリアライメント時に合わせずれが 2μm 以下の場合、仮接着から恒久接着までの間にチップずれがさらに大きくなるということはなくなった。In 半田バンプの場合は、溶融して接合するため、2.5μmx2.5μm のサイズのバンプで合わせズレが 2μm 以下であればほぼ 100%の接合面積が得られる。

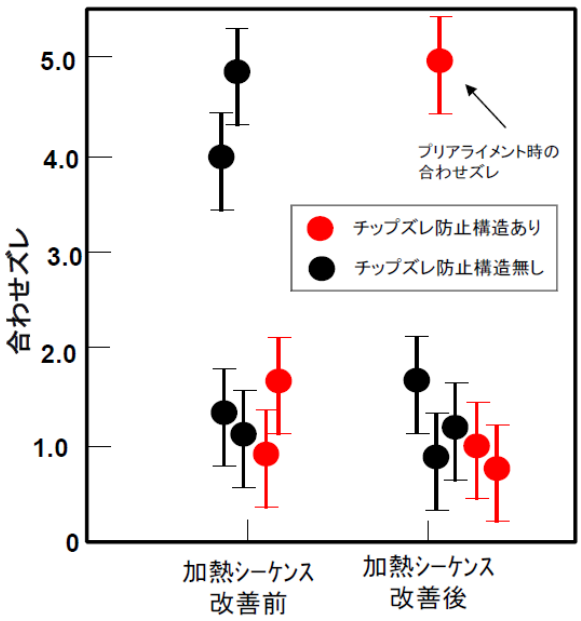


図 2.1.3　チップ合わせズレ

2-2ボイド防止構造の検討

2-2-1 研究内容

ボイド発生防止対策は、（１）接着剤注入方法の最適化（２）チップ間の空隙を広げて圧力変動の変化率を下げること（３）局所的な空隙サイズ分布を抑えることの三つが考えられる。これらのパラメタを最適化することによりボイドの発生を抑制する。

2-2-2　結果

接着剤は、チップ内部の空気を押し出しながら、毛細管現象とチップ内部と外部の差圧により注入される。この二つがバランスし、注入される接着剤の先端が進行方向に対して法線上に入っていくのが理想である。これが大きく崩れるとボイドが発生する。

従来は積層チップをほぼ水平に保ち横方向から樹脂を注入していた。チップ間隔が狭く毛細管現象と加圧による効果複雑に入り、チップ表面の凹凸パターンによって接着剤の侵入速度が変わり、回り込むことでボイドが発生した。対策として、チップ間隔を広げるようにバンプを形成し毛細管現象の効果を下げ、樹脂槽に定速でチップ浸漬していく方式に変更した。実験・評価は SOI 積層チップを使い、積層後に上部チップのバルク Si を除去し20 倍の対物レンズの光学顕微鏡（接眼レンズ 10 倍）でボイドの発生の有無を観察した。従来方式と新方式を図 2.2.1 で比較した。この対策により、ボイドの発生は抑えられた。

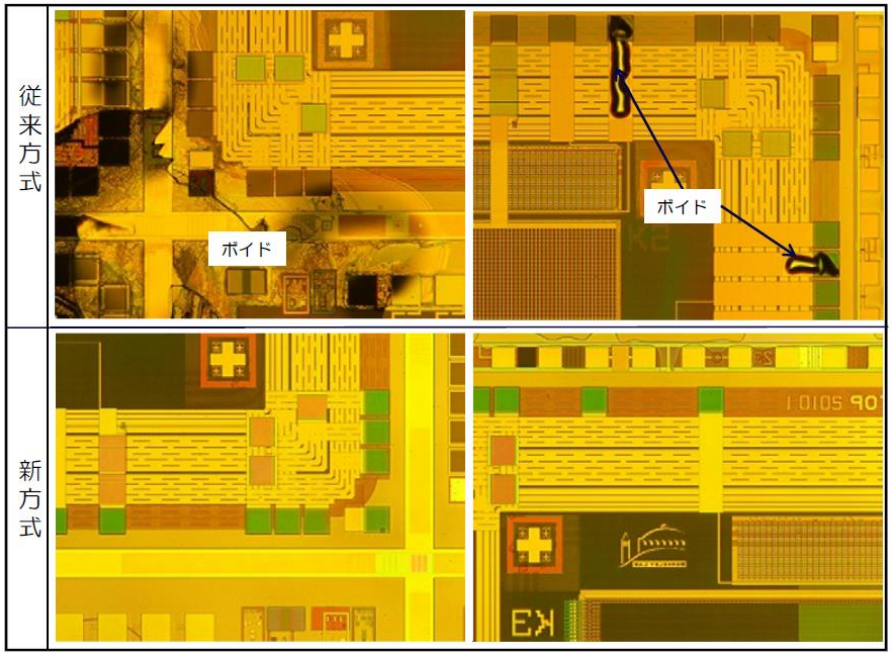


図 2.2.1　接着剤注入プロセスの最適化前後でのボイドの発生状況

2-3　In/Au バンプ構造・接合の最適化

2-3-1 研究内容

2.5μmx2.5μm の In/Au マイクロバンプ接合で TEG チップ、回路 TEG チップで安定なバンプ抵抗を得るためバンプ形成プロセスの最適化及びバリア/コンタクトメタルの選定を行う。また、選定したバリアメタルでバンプ材料である In/Au が下地のデバイス領域に拡散しないことを SIMS（Secondary　Ion Mass Spectrometry）分析によって確認する。

2-3-2　結果

（1）バリア性評価

図 2.3.1 にメタル汚染評価用の TEG の断面構造を示す。分析領域は SIMS で十分な信号が得られるように 200μmx200μm とした。SOILSI に In/Au バンプを形成した後、250℃　5時間熱処理を行い、配線、層間絶縁膜を除去して SOI 薄膜を出しこの部分の不純物分析を行う。リファレンスとして層間膜だけ形成したものを用意した。

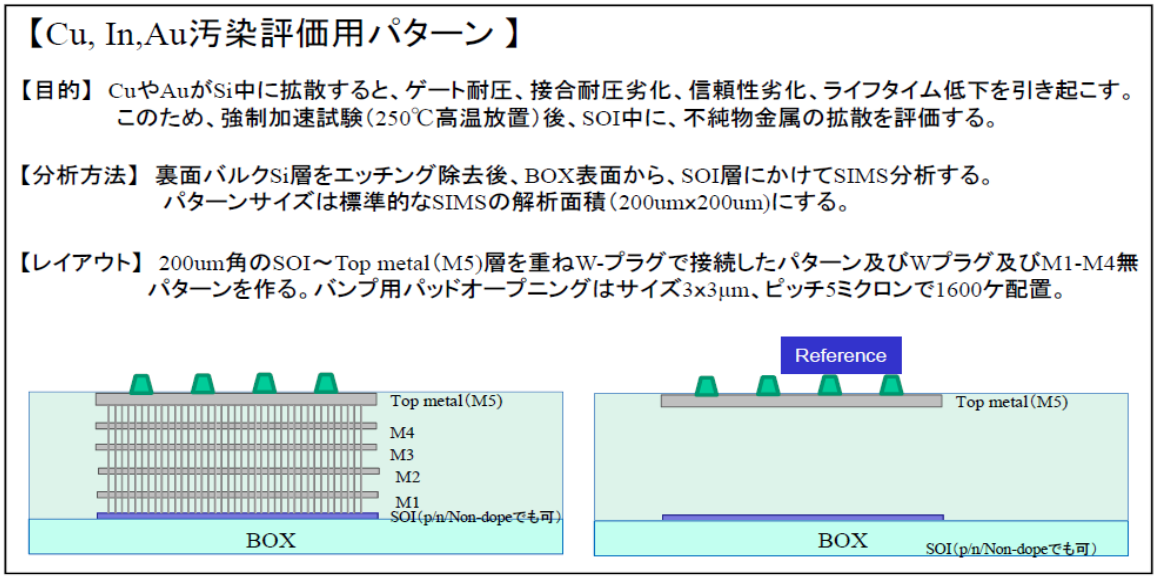


図2.3.1　分析用 TEG の断面構造

図 2.3.2 に SIMS 深さ分析結果を示す。Au の濃度はリファレンスのBパターンと有意差が無いことから、In バンプ表面の酸化防止用の Au の下地への拡散は検出限界以下で無視できると考えられる。

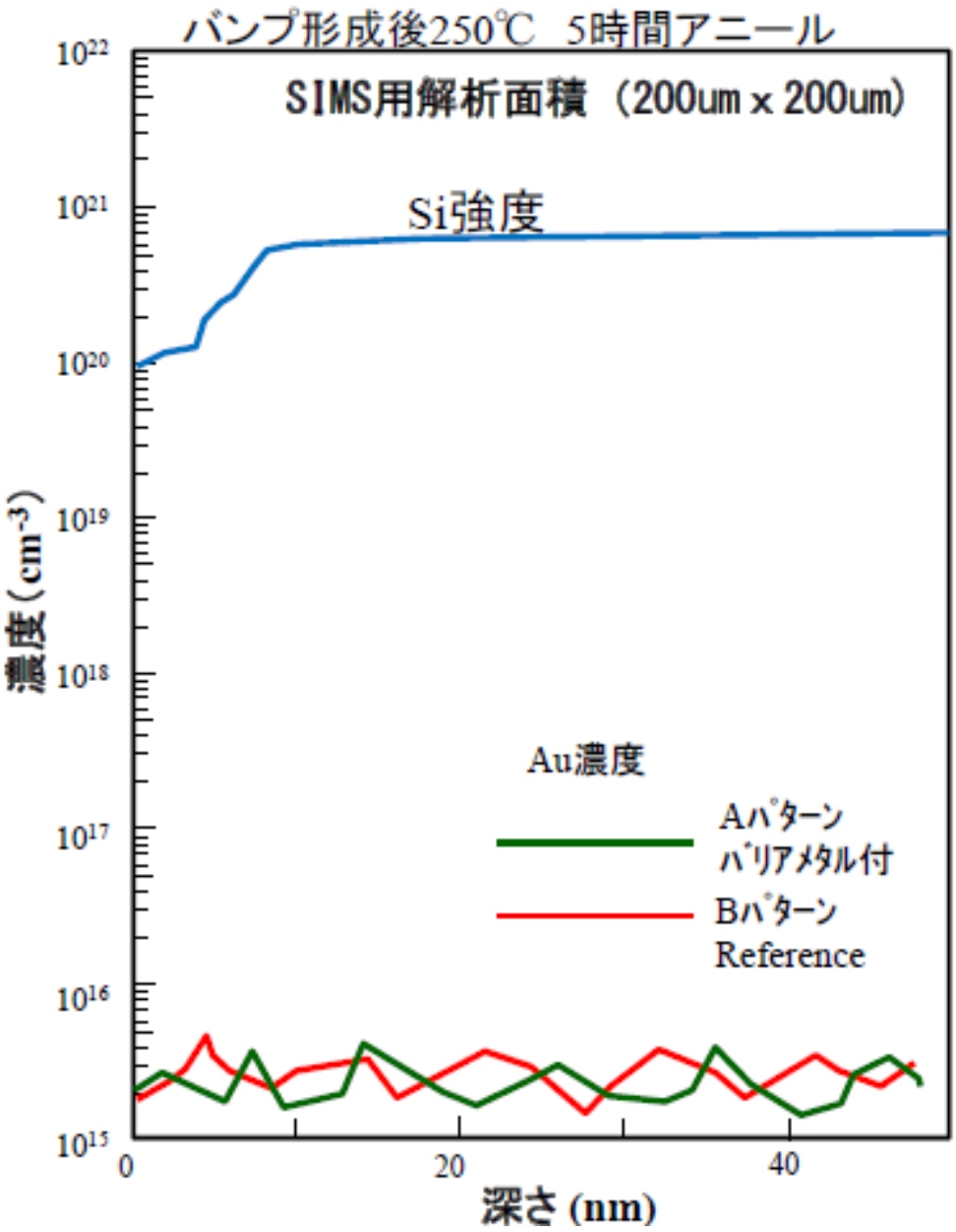


図 2.3.2　メタル汚染評価ＴＥＧを使ったＳＩＭＳ分析結果

(2)バンプ接合評価

本研究開発で最適化したマイクロバンプを使い、ピクセルディテクタチップを試作した。この結果を図 2.3.3 に示す。搭載されているデージーチェーン TEG の測定結果を図(c)に示す。この TEG には、５つのタップが出ているがこれらの測定点がほぼ同一線上にならんでいるため、安定した抵抗が取れていると考える。

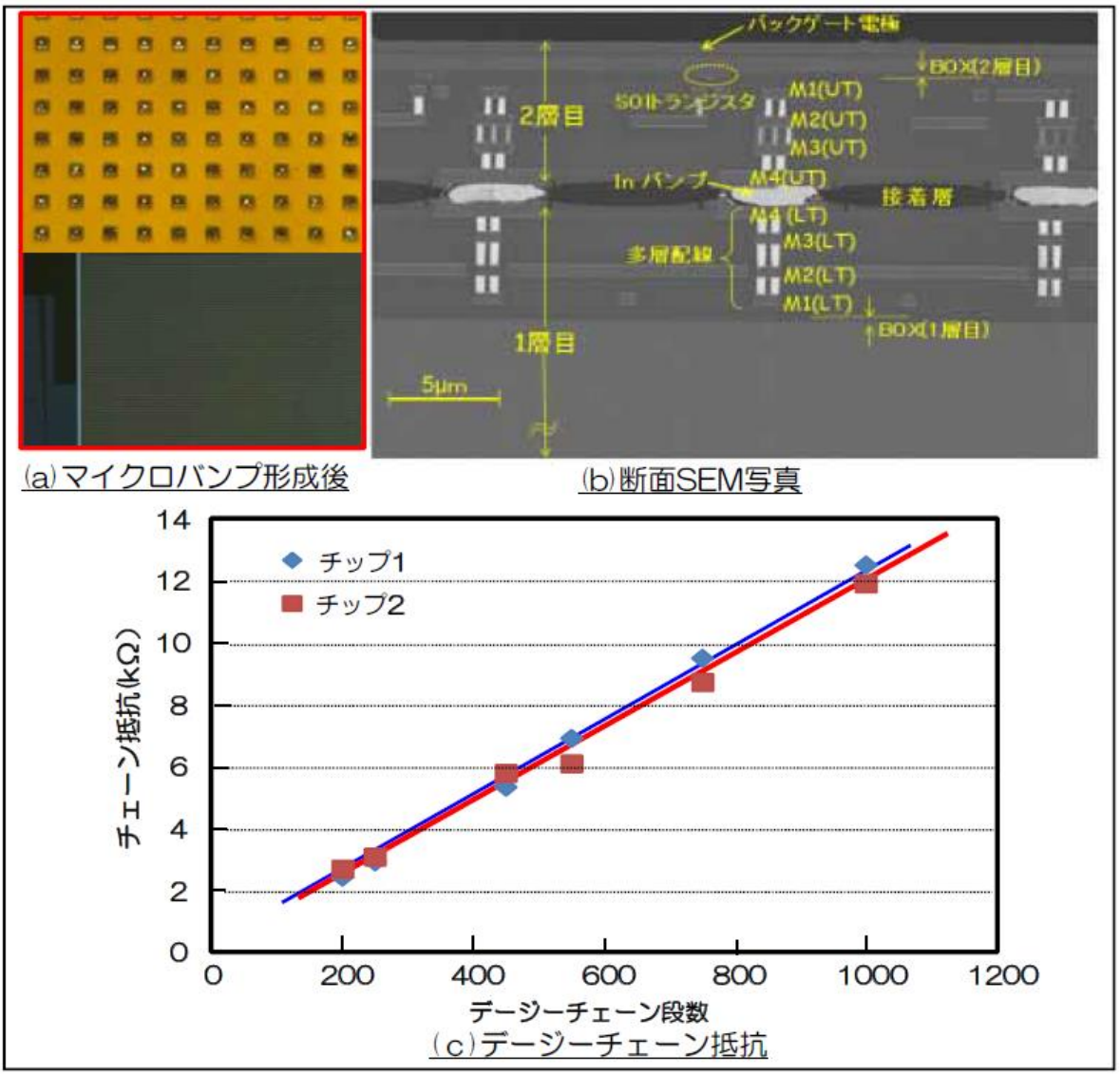


図 2.3.3　ピクセルディテクタチップでの検証結果

2-4信頼性技術の開発

2-4-1 研究内容

バンプ接合部の温度サイクル試験及び EM（Electromigration）試験により、本技術の実用性評価を行った。

温度サイクル試験では、セラミックパッケージに入れて評価するため、京セラの４０品 DIP セラミックパッケージ（KD-80218-C)に搭載できるようなサイズに TEG を設計し、ボンディングパッドもパッケージのパッドと最短距離でワイヤボンドできるように設計した。

2-4-2 結果

（１）温度サイクル試験

温度サイクル試験は、半導体の標準の温度サイクル条件（-45℃⇔１５０℃）で行い、５００サイクルで不良が発生しないことが目標である。評価結果を図 2.4.1 に示す。

評価では特に不安定な抵抗値を示すものはなく、温度サイクル試験での目標はクリアできた。

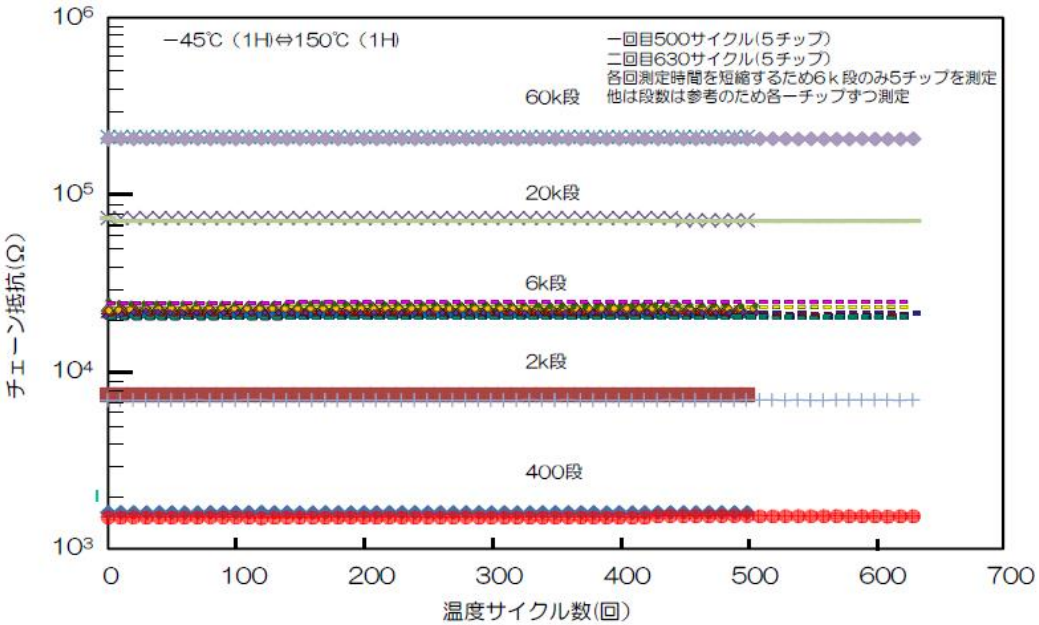


図 2.4.1　温度サイクル試験結果

（2）EM 試験

EM 試験の評価は 400 段のデージーチェーンを使った。評価結果を図 2.4.2 に示す。電流密度 1.0×10^5 A/cm^2　でほとんど変動がみられなかった。この値は大口径バンプ

で評価した以前の結果より大きく、微細化したことによりバンプ自体の体積に対して表面積の割合が増えたため、放熱効果が大きくなり許容電流密度が上がったと考えられる。

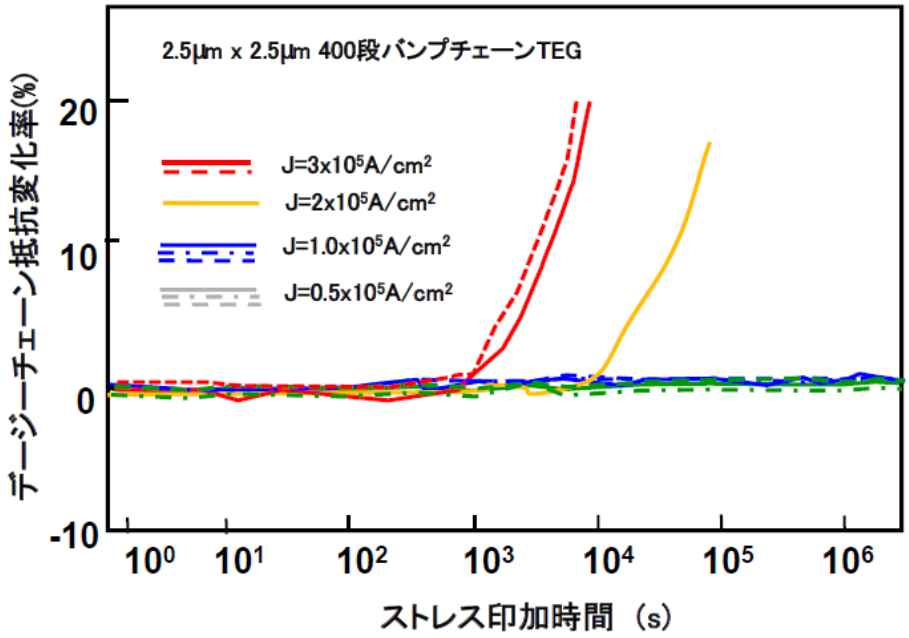


図 2.4.2　EM 試験結果

2-5事業化に関する研究

2-5-1 顧客開拓

平成 24 年度は国内の２つの展示会に出展、平成 25 年度は７つの国内外の展示会に出展し顧客開拓を図った。技術の問い合わせ件数受注数も平成 24 年度に対し平成 25 年度は 10 倍以上増加した。以下は平成２５年度に出展した展示会である。

- AIDA-Pj@ローマ（4/8-9）
- 中小企業総合展@大阪（5/23-31）
- 3D SIC@サンフランシスコ（10/1-4）
- セミコン 2013@幕張メッセ（12/4-6）
- 3D ASIP@サンフランシスコ（12/12-14）
- インターネプコン@東京ﾋﾞｯｸﾞｻｲﾄ（1/15-17）
- 中部もの作り基盤技術展@名古屋（2/8-19）

2-5-2 事業化に向けての市場調査

平成 23～25 年度を通して、主要な三次元 LSI の学会に参加・発表し、技術動向調査、他社・他機関とのベンチマークを行い、世界的な技術動向に沿っていること、技術的な優位性があることを確認した。以下は平成２５年度に参加・発表した三次元関連の学会である

ESTC2014，ECTC2013，3D-SIC ，IEDM2013，　ISSCC 2014

第3章　全体総括

３－１　平成23-２５年度の研究成果の纏め

成果を表3.1 まとめる。

表3.1　平成23-２５年度の研究成果の纏め

研究開発目標	研究開発成果	達成率
①チップズレ防止方法の検討	ズレ発生メカニズムを解明し、三次元積層装置及び積層 プロセスを最適化した。これによりマニュアル合せであるが2.5μx2.5μm マイクロバンプ TEG で 溶融後、ほぼ100%の接合面積が得られた。	100%
②ボイド防止構造の検討	注入プロセス及びレイアウトパターンの最適化を行 い専用 TEG を設計・試作・検証し、ボイド無きことを確認した。	100%
③In/Au バンプ構造の最適化	バンプ形成プロセス途中で形成されるメタル酸化膜の影響をなくしさらに、バンプ組成、バリアメタルの最適化により、安定的にバンプ抵抗が得られることを確認した。 また、Au の下地への拡散の評価用 TEG を作成・評価を行い、SIMS 分析により Au が検出レベル以下であることを確認した	100%
④信頼性評価試験	平成２４年度に設計した TEG チップを試作し、温度サイクル試験と EM（Electromigration）試験をおこなった。温度サイクル試験（-45℃⇔150℃）では、目標の５００サイクルまで評価し、導通不良の発生は見られなかった。EM 評価は、目標の電流密度 3.0×10^4 A/cm^2 以上をクリアした。	100%
⑤事業化に関する準備と調査	【顧客開拓】 平成 24 年度は２つの展示会に出展、平成 25 年度は７つの国内外の展示会に出展し顧客開拓を図った。技術の問い合わせ件数受注数も平成 24 年度に対し平成 25 年度は 10 倍以上増加した。 【市場調査・学会での情報収集】 平成 23～25 年度を通して、主要な三次元 LSI の学会に参加・発表し、、技術動向調査、他社・他機関とのベンチマークを行い、開発方向のズレや技術レベルが劣っていないことを確認した。	100%
⑥研究全体の統括、プロジェクトの管理運営	一連の研究全体について管理運営を統括し、事業の進捗についての確認を定期的に行い、研究を円滑に推進した。	100%

３－２　今後の課題

3-2-1　三次元 LSI 技術

本研究開発により、当初の目標は達成した。今後はディテクタ、Ｘ線センサ、赤外線センサの試作に本研究開発で得られた技術を適用していき、インテグレーション技術の完成度を確認していく。また同時に、更なるバンプ TSV ピッチの縮小を並行して検討していく。

3-2-2　事業化に関する準備と調査

顧客開拓に関して今までは技術的な学会や展示会に出展してきた。顧客獲得という意味で成果はあったが、三次元 LSI 技術は、システム LSI よりの技術であるため、川下企業(エンドカスタマー)と接触ができるような展示会や学会等に向けてかじ取りを修正していき、付加価値の高いデザインインのサンプル試作受注に注力していく。
ピクセル型ディテクタ市場は 2016 年から伸びていくと推定している。このため、2015 年度中に月産数百個レベルの少量量産ができるように生産フロー、ビジネスフロー等の整備を行い対応できるように準備する。