

戦略的基盤技術高度化支援事業

「3D-LSI 用超音波アシスト先鋭マイクロバンプ接合装置の開発」
研究成果等報告書

平成 26 年 3 月

委託者 九州経済産業局
委託先 公益財団法人九州先端科学技術研究所

目次

第1章 研究開発の概要	1
1-1 研究の背景・研究目的及び目標	1
1-2 研究体制	2
1-3 成果概要	3
1-4 当該研究開発の連絡窓口	3
第2章 本論	4
2-1 小型圧着ユニットの開発	4
2-2 高精度アライメント技術の開発	4
2-3 高精度平面調整技術の開発	5
2-4 小型酸化抑制ユニットの開発	7
2-5 3D-LSI 低衝撃荷重圧着ヘッドの開発	8
2-6 接合の低温化技術の開発	8
2-7 低荷重プロセス技術の開発	21
2-8 先鋭化 Au バンプ形成技術の開発	23
2-9 ROIC 貼り合わせ実装	24
2-10 高密度近中赤外 PD アレイの開発	27
2-11 実装サンプルの評価	30
第3章 まとめ	33
3-1 小型圧着ユニットの開発	33
3-2 高精度アライメント技術の開発	33
3-3 高精度平面調整技術の開発	33
3-4 小型酸化抑制ユニットの開発	33
3-5 3D-LSI 低衝撃荷重圧着ヘッドの開発	33
3-6 接合の低温化技術の開発	33
3-7 低荷重プロセス技術の開発	33
3-8 先鋭化 Au バンプ形成技術の開発	33
3-9 ROIC 貼り合わせ実装	34
3-10 高密度近中赤外 PD アレイの開発	34
3-11 実装サンプルの評価	34
成果概要まとめ	35

第1章 研究開発の概要

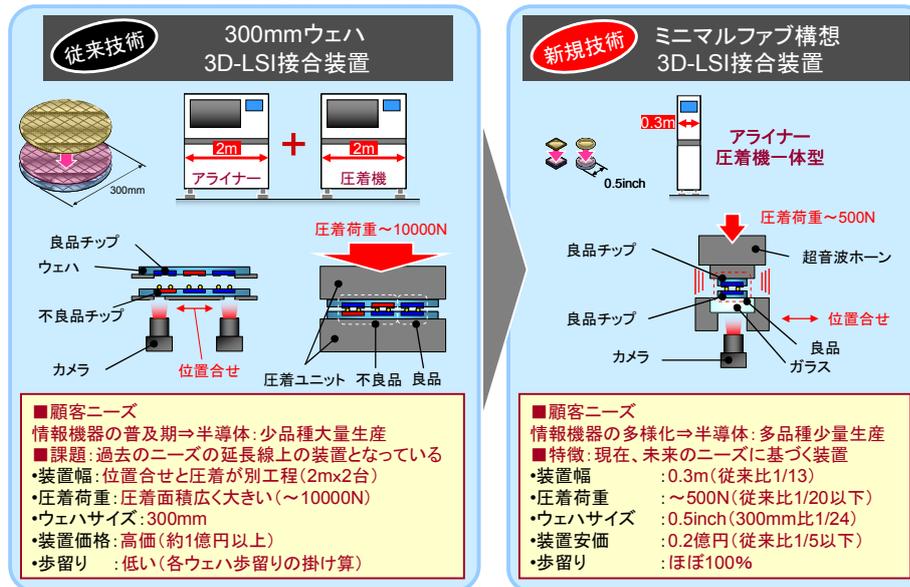
1-1 研究の背景・研究目的及び目標

1-1-1 研究開発の背景・研究目的

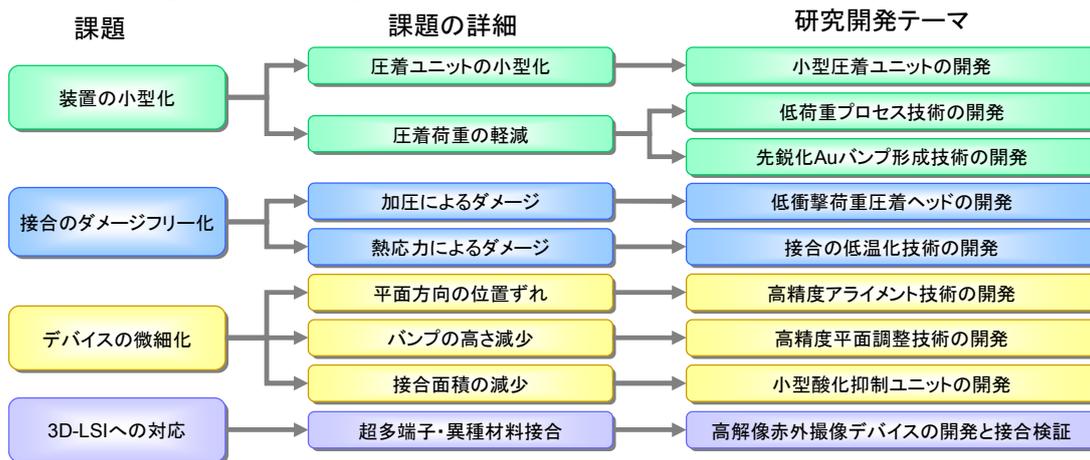
電子機器の軽薄短小、高機能化と共にニーズの多様化から生産量に応じた最適な規模の半導体生産システムが要求され、その実現のため超小型 0.5 インチウエハを使用するミニマルファブ構想が提案されている。本研究ではこの新構想に沿い、高集積化技術として有望な三次元半導体の生産を可能とし、小型、ダメージフリー、微細接合を特徴とする3D-LSI 接合装置の開発を協力デバイスメーカー開発の新デバイス実証を通して行う。

1-1-2 研究の目標

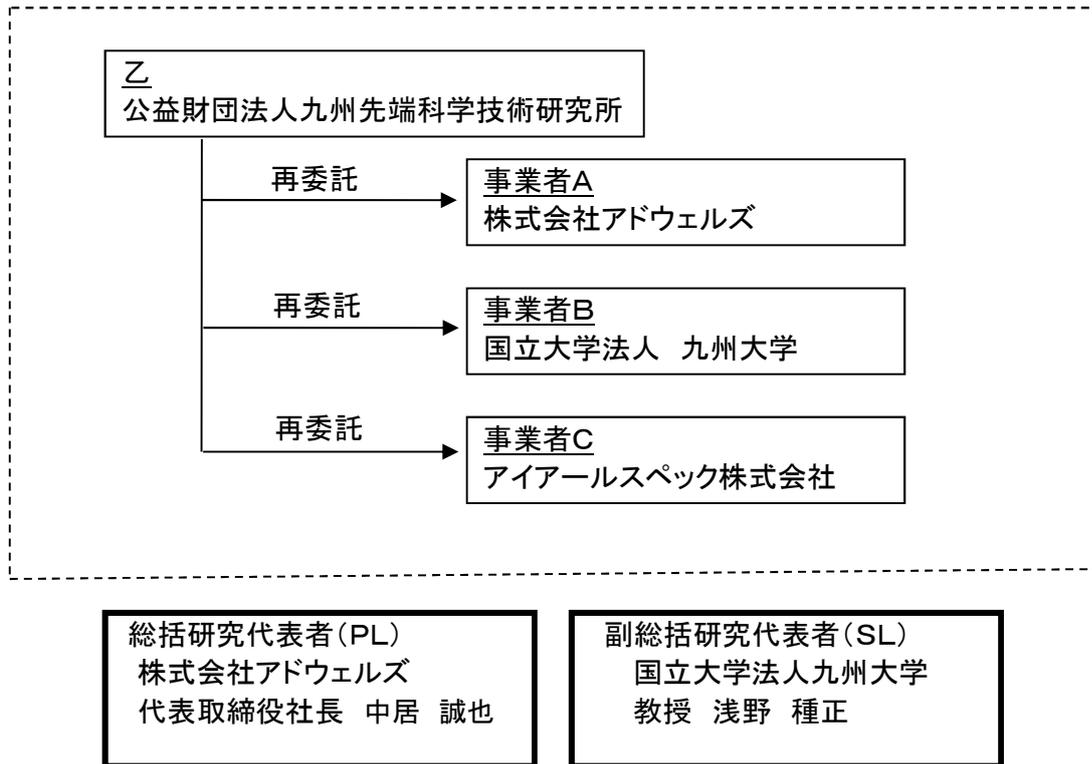
本テーマのターゲット商品の概要を下图に示す。



上記新技術を取り入れた装置開発を行なうにあたって機構面、プロセス面、対応すべきデバイス面から課題の分析を行い、テーマを設定した。



1-2 研究体制



株式会社アドウェルズ

中居 誠也、野田 和宏、内山 仁、矢野 勝幸、中島 寿士

国立大学法人九州大学

浅野 種正、安岡 祐子

アイアールスペック株式会社

西田 克彦、小倉 睦郎、江見 恵子、村井 博信

1-3 成果概要

3D-LSI 接合装置の開発		最終目標	達成率
1	小型圧着ユニットの開発	圧着ユニットを幅 300mm の筐体に搭載できるよう小型化する。	100%
2	高精度アライメント技術の開発	0.5 μm のアライメント精度を目標とする。	100%
3	高精度平面調整技術の開発	接合面内での平面度 0.5 μm 以内となるように技術開発を行う。	100%
4	小型酸化抑制ユニットの開発	接合材料の酸化抑制を行う。	100%
3D-LSI 接合プロセスの開発		最終目標	達成率
5	低衝撃荷重圧着ヘッドの開発	5N 以下に抑制する。	100%
6	接合の低温化技術の開発	100°C 近辺での接合を可能にする。	120%
7	低荷重プロセス技術の開発	15 μm ピッチ実デバイス実装評価で 0.1g/バンプでの接合を可能とする。(接合荷重 0.1g/バンプは、圧着ユニットを 300mm 幅筐体へ内蔵するためのプロセスの参考目標)	100%
8	先鋭化 Au バンプ形成技術の開発	IC 上へのピッチ 15 μm 、バンプ数 30 万のバンプ形成。	100%
9	RIOC 貼り合わせ実装	化合物半導体実デバイス (VGA30 万バンプ、15 μm ピッチ) の実装を実現する。	100%
3D-LSI (高精細赤外線撮像デバイス) の開発		最終目標	達成率
10	高密度近赤外 PD アレイの開発	15 μm ピッチの高精細 2 次元アレイを試作する。	100%
11	実装サンプルの評価	15 μm ピッチの実デバイス実装サンプル (赤外面像モジュール) の特性評価する。	100%

1-4 当該研究開発の連絡窓口

株式会社アドウェルズ

〒811-1201 福岡県筑紫郡那珂川町片縄 8 丁目 140 番地
 野田和宏
 TEL 092-555-6000 FAX 092-555-6001
noda@adwelds.com

九州大学

〒819-0395 福岡市西区元岡 744 (ウエスト 2 号館 4F 427 室)
 大学院システム情報科学研究所 情報エレクトロニクス部門 教授
 浅野 種正
 TEL 092-802-3741
asano@ed.kyushu-u.ac.jp

アイアールスペック株式会社

〒305-8568 茨城県つくば市梅園一丁目 1 番地 1
 中央第 2 本部情報棟 4202
 小倉 睦郎
 TEL 029-859-6910 携帯 090-9966-5501
ogura@irspec.com

第2章 本論

《3D-LSI 接合装置の開発》

2-1 小型圧着ユニットの開発

(アドウェルズ担当) : (H23 年度達成)

2-1-1 目的、目標

《目的》メインユニットの圧着ユニットを小型化し、ミニマルファブ適合装置を目指す。

《最終目標》圧着ユニットを幅 300mm の筐体に搭載できるように小型化する。

2-1-2 取組内容

今回の開発においてミニマルファブの要求項目に最適化を行い、メインユニットである小型圧着ユニットを開発した。30 万バンプの接合には、接合荷重が 0.1g/バンプを仮定するとチップ全体で 300N の接合荷重が必要となる。装置側としてはプロセス条件に余裕を持たせるため、最大荷重 700N を出力できるようにユニット設計をとした。

従来の機構では、図 2-1-2-1 のように圧着ユニット全体を大きく動かす粗動ユニットに圧着ユニットが搭載されているため大きなスペースを必要とする。そのため、今回の設計では粗動ユニットを廃止し、必要とされる全ストロークを一つのアクチュエータで動かす機構を考案し、そのアクチュエータを新規に開発した。

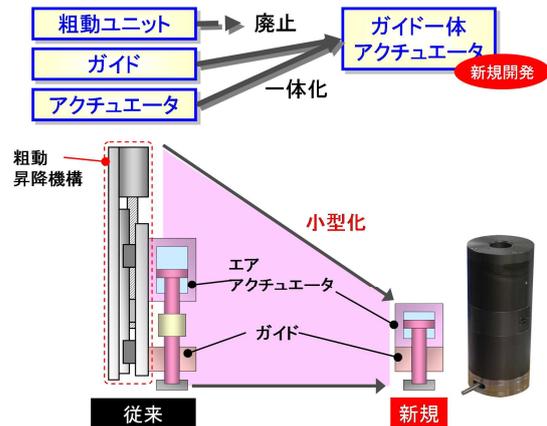


図 2-1-2-1 新型アクチュエータの開発概要

2-1-3 成果

加圧機構部、エアガイド部、 θ 方向駆動機構部(回転方向位置合わせ用)からなるユニットとなっている。この結果圧着ユニットサイズは装置筐体内に収めるサイズとすることができた。図 2-1-3-1 は装置内に収納した新型アクチュエータを示す。また、図 2-1-3-2 の装置全体写真のように装置幅 300mm に収まっている。



図 2-1-3-1 新型アクチュエータ



図 2-1-3-2 装置外観

2-2 高精度アライメント技術の開発

(アドウェルズ担当)

2-2-1 目的、目標

《目的》バンプピッチ $15\mu\text{m}$ に対応するためアライメント精度の向上を図る。

《最終目標》 $0.5\mu\text{m}$ のアライメント精度を目標とする。

2-2-2 取組内容

図 2-1-3-1 に示すように先鋭バンプは、従来のスタッドバンプに対して、バンプサイズが非常に小さいため微細ピッチで形成することができる。今回の開発では最終的に $15\mu\text{m}$ ピッチで行う目標とした。このピッチで接続するため

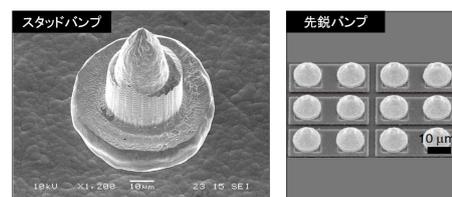


図 2-1-3-1 先鋭バンプのサイズ

にアライメント精度を $0.5\mu\text{m}$ と設定した。この高精度アライメントを実現するために高精度 XY テーブルと赤外線認識光学系を開発した。

2-2-3 成果

高精度 XY テーブル(図 2-2-3-1)では、繰り返し精度の他、下記2項目を満たすことを条件とした。

- ・ミニマルファブ規格の筐体に収めること
- ・最大 700N の耐荷重があること

この条件を満足する機構としてテーブル外側にモータの張り出し部(網掛け部)がないリニアモータを採用し、耐荷重の大きいリニアガイドを採用した。

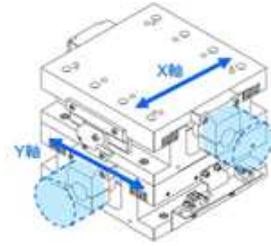


図 2-2-3-1 新型テーブル

また、図 2-2-3-2 に認識のシーケンスを示す。

上、下チップに形成された認識マークを用いてプリアライメント、ファインアライメントを順に行うことにより高精度位置合わせを行う。

- ①上チップと下チップの間に上チップ用のプリズムを挿入し、上チップの位置情報を得る
- ②上チップと下チップの間に下チップ用のプリズムを挿入し、下チップの位置情報を得る
- ③上下2視野プリズムを回避した後、上下チップを近接し、上記情報に基づき、位置補正
- ④更に赤外線でチップ透過し、上下チップのアライメントマークの重ね合わせ画像を取得
- ⑤上記画像から得た位置情報に基づき、位置補正
- ⑥ボンディング動作実行

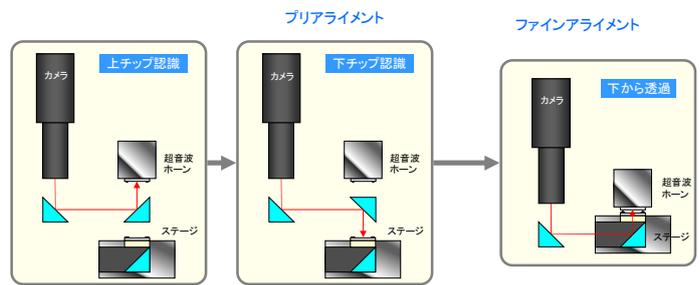


図 2-2-3-2 認識シーケンス

図 2-2-3-3 にアライメント結果を示す。プリアライメントで $5\mu\text{m}$ 、ファインアライメントで $0.5\mu\text{m}$ のアライメント精度を達成した。

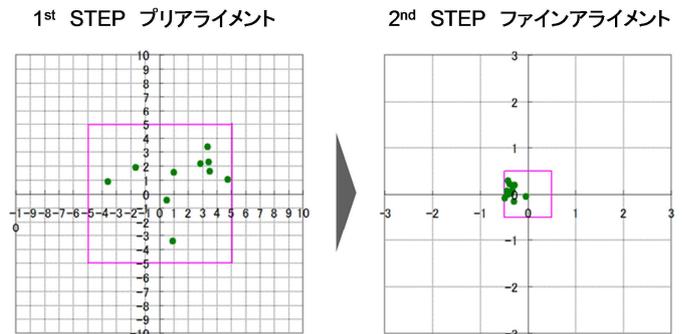


図 2-2-3-3 アライメント精度

2-3 高精度平面調整技術の開発

(アドウェルズ担当)

2-3-1 目的、目標

《目的》バンプピッチ $15\mu\text{m}$ に対応するためアライメント精度の向上を図る。

《最終目標》接合面内での平面度 $0.5\mu\text{m}$ 以内となるように技術開発を行う。

2-3-2 取組内容

図 2-3-2-1 に超音波の接合原理を示す。接合すべき界面を変形させて原子間距離まで近接させなければ結合力が生じない。超音波接合で良好な接合を得るためには、如何に均一に界面を変形させるかが重要になる。そのため、バンプの潰れを均一に行う前提として高精度な平面調整が必要となる。

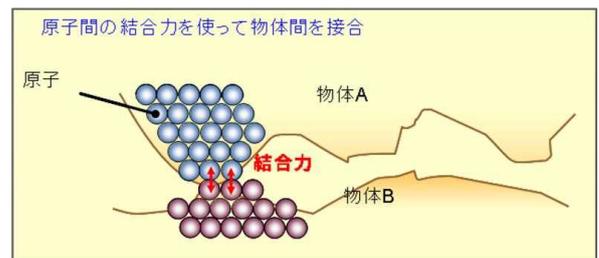


図 2-3-2-1 超音波接合メカニズム

2-3-3 成果

平面調整シーケンスは、図 2-3-3-1 に示すように、先ず圧着ヘッドをステージ側に押し付けることで、倣い機構をヘッド面に倣わせる。次にその状態で倣い機構をロックする。このシーケンスを自動でできるように装置本体のソフトに機能として搭載した。図 2-3-3-2 に開発した平面調整機構の写真を示す。

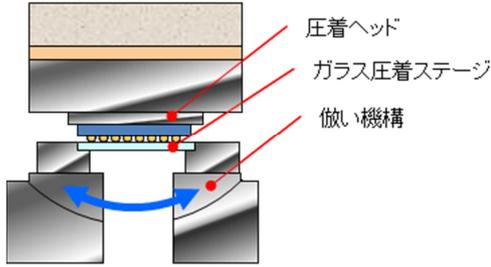


図 2-3-3-1 平面調整機構概要

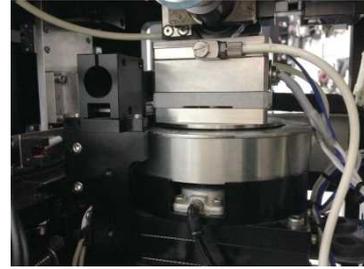


図 2-3-3-2 平面調整機構写真

この機構を用いてバンプ付きチップのフラットニングを行い、バンプ高さを計測することで平面状態の確認を行った。図 2-3-3-3 に示すように面内で $0.5 \mu\text{m}$ の平面度を得ることができた。

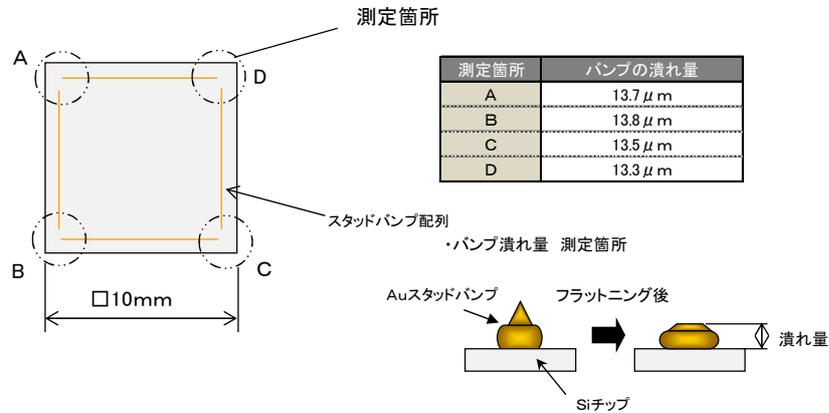


図 2-3-3-3 平面調整機構の評価結果

更に、装置上で簡易的に平面状態を確認できるように、平面状態確認機能を搭載した(図 2-3-3-4)。はんだボールを形成したチップをフラットニングし、落射照明で観察する。フラットな部分は反射光があるが、球面部は反射光がないため、ボール先端のフラットな部分を画像認識することで、その面積を算出することが可能となる。また、このフラット部の面積と実際のボールの高さを計測し、相関関係を確認した。図 2-3-3-5 の結果から、この機能によって、平面状態を確認できることが分かった。

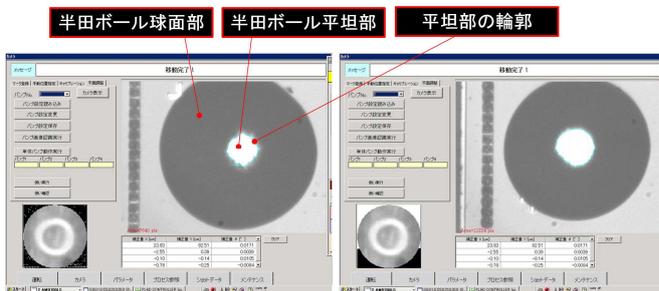


図 2-3-3-4 平面状態確認機能

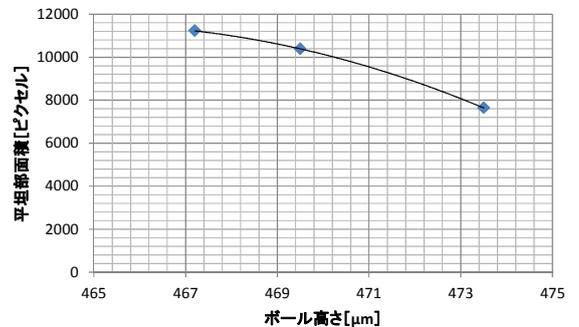


図 2-3-3-5 ボールのフラット部面積と高さ

《接合プロセス技術の開発》

2-4 小型酸化抑制ユニットの開発

(アドウェルズ担当)

2-4-1 目的、目標

《目的》バンプピッチ $15\mu\text{m}$ に対応するため、実装中接合部を清浄に保持する。

《最終目標》 接合材料の酸化抑制を行う。

2-4-2 取組内容

図 2-4-2-1 に小型酸化抑制ユニットの構造を示す。超音波ホーンに気密シールを取り付けており、接合時に超音波ホーンがステージに下降し、圧着ステージとの間で微小な密閉空間が形成される。この空間に N_2 パージすることで短時間に酸化抑制雰囲気となる。

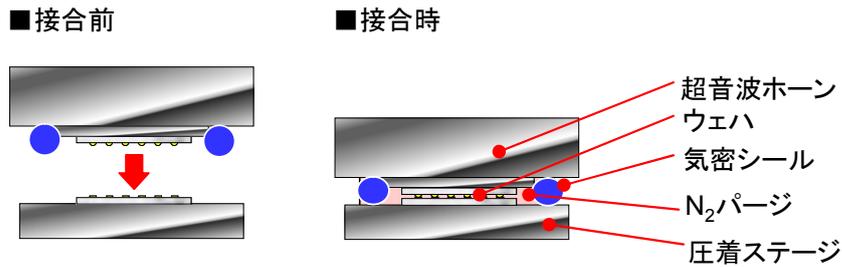


図 2-4-2-1 小型酸化抑制ユニットの構造

小型酸化抑制ユニットはシール付き超音波ホーンと専用圧着ステージから構成される(図 2-4-2-2 と図 2-4-2-3)。

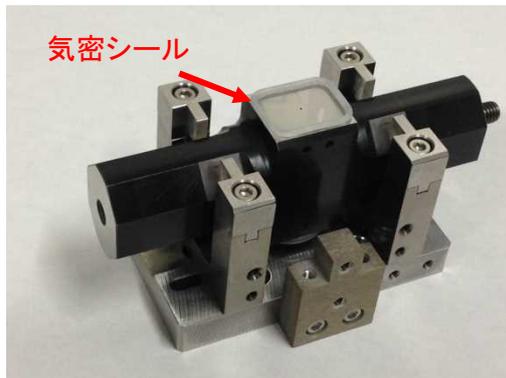


図 2-4-2-2 シール付超音波ホーン

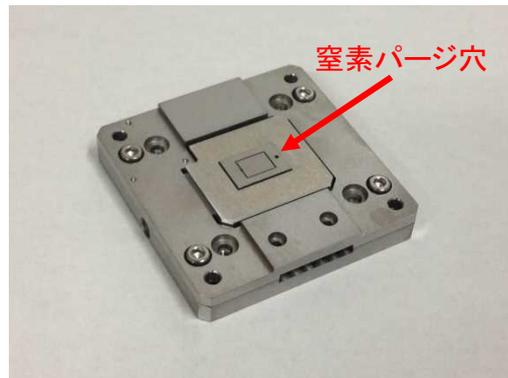


図 2-4-2-3 専用圧着ステージ

2-4-3 成果

図 2-4-3-1 に小型酸化抑制ユニット内の N_2 パージ開始からの酸素濃度変化(青線)を示す。酸化抑制できると言われる酸素濃度 100ppm (赤線)まで僅か 3.7sec で到達した。今回の小型の密閉空間構造が酸化抑制に非常に有効なことを確認できた。

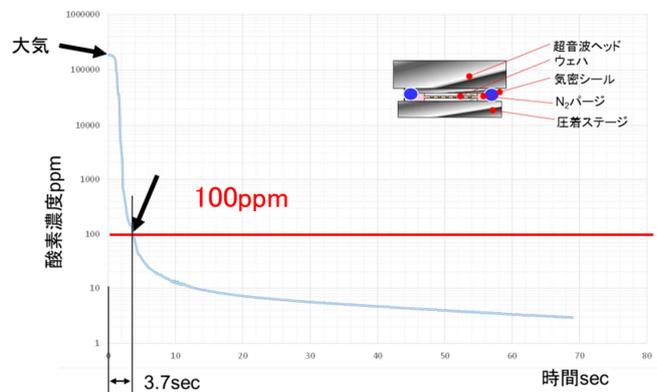


図 2-4-3-1 小型酸化抑制ユニット内 O_2 濃度変化

《接合プロセス技術の開発》

2-5 3D-LSI 低衝撃荷重圧着ヘッドの開発

(アドウェルズ担当)

2-5-1 目的、目標

《目的》ファインピッチバンプ接合時のバンプ初期変形を抑制する。

《最終目標》衝撃荷重を5N以下に抑制する。

2-5-2 取組内容

試作した圧着ヘッドにてヘッドの接地速度を振り、衝撃荷重を検証した。衝撃荷重はヘッドに内蔵された圧力センサから出力される信号から得た。

2-5-3 成果

図2-5-3-1に衝撃荷重の計測データを示す。新圧着ヘッドでは、接地速度が5mm/sec以下であれば衝撃荷重が発生しないことが分かった。8mm/secでは衝撃荷重が発生しているが、2Nと小さく、目標の衝撃荷重5N以下を達成することができた。

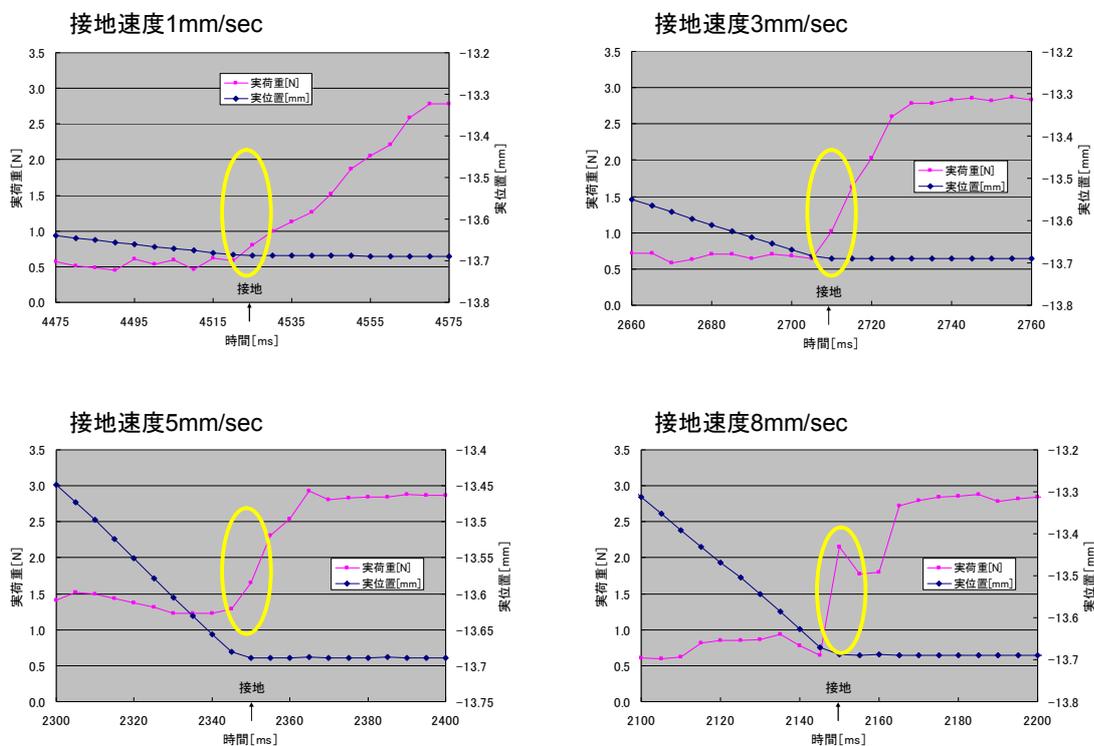


図 2-5-3-1 衝撃荷重計測データ

2-6 接合の低温化技術の開発

(九州大学担当)

2-6-1 目的、目標

《目的》異種材料接合の熱応力発生を抑制する。

《最終目標》100°C近辺での接合を可能にする。

2-6-2 取組内容

先鋭バンプと超音波加振技術の組み合わせによるバンプ接合の低温化効果を調査するため、図2-6-2-1に示すように、先鋭バンプを形成したSiチップと平坦形状の対向電極を形成したSiチップを様々な条件で超音波接合し、接合強度の計測および接合面の形態観察を行い、接合性を評価した。先鋭バンプは金製、対向電極も金製とした。なお、超音波加振の効果を評価しやすくするために、対向電極はSiチップ表面の全面に金膜を形成した構造とした。

なお、試料の作製は九州大学にて、接合はアドウェルズ社にて、評価・解析は九州大学とアドウェルズ社の設備を用いて実施した。また、分析の一部は外部に委託した。

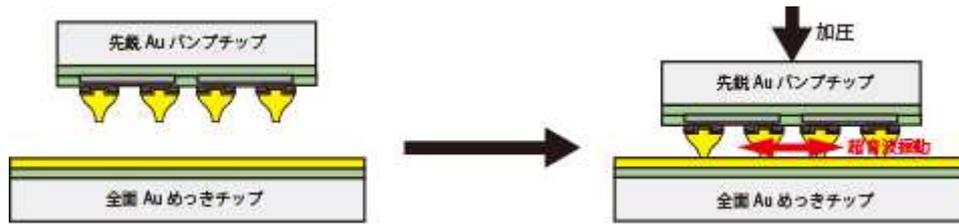


図 2-6-2-1 低温接合性の評価実験に用いた試料構造

試料の作製

図 2-6-2-2 に先鋭バンプをもつ Si チップの作製工程を示す。作製は直径 4 インチの Si ウェーハを用いて行った。(1) 先ず、Si ウェーハの表面に絶縁膜として Si の熱酸化膜を形成した。その後、(2)~(4) 配線層となる Al をスパッタ法で堆積してフォトリソグラフィでパターン形成した。(5)~(7) 配線を絶縁するための絶縁膜をプラズマ化学気相堆積 (プラズマ CVD 法) で堆積し、バンプを形成する部分をフォトリソグラフィで開孔した。(8) バンプを電解メッキで形成するためのシード層として、TiW 合金薄膜および金薄膜を連続してスパッタ堆積した。(9) 化学増幅型のフォトリソレジストを用いて下側が大きく開孔する断面形状をもつ型枠を形成した。(10)~(11) 電解メッキで金を埋込み、シード層をドライエッチングで除去した。最後に、バンプと下地金属との密着性を向上させるために熱処理を行った。

図 2-6-2-3 に、作製した金製先鋭バンプ付き Si チップの光学顕微鏡写真と先鋭バンプを走査型電子顕微鏡で観察した結果を示す。7mm 角のチップの中央付近の約 2mm 角の領域に 12,100 個の先鋭バンプをマトリクス状に配置している。そこから伸びる上下左右の方向に多数伸びる配線は、後に電気特性を測定する際に必要となる配線である。バンプのピッチは 20 ミクロンとして設計したものである。バンプの底面径 10 ミクロン、先端径 3.7 ミクロン、バンプ高さ 10 ミクロンと、ほぼ設計通りのものが作製できている。

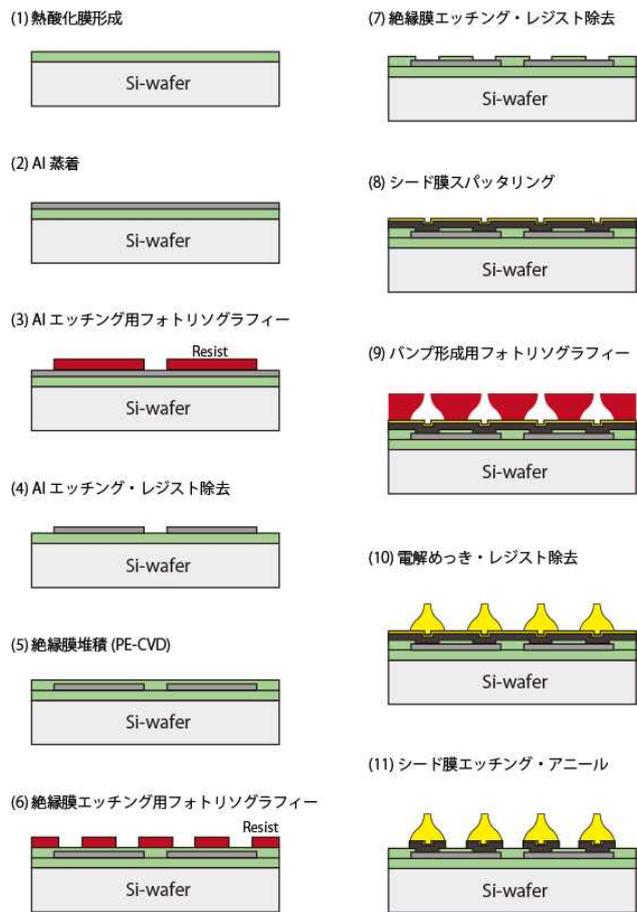


図 2-6-2-2 金製先鋭バンプをもつ Si チップの作製プロセス

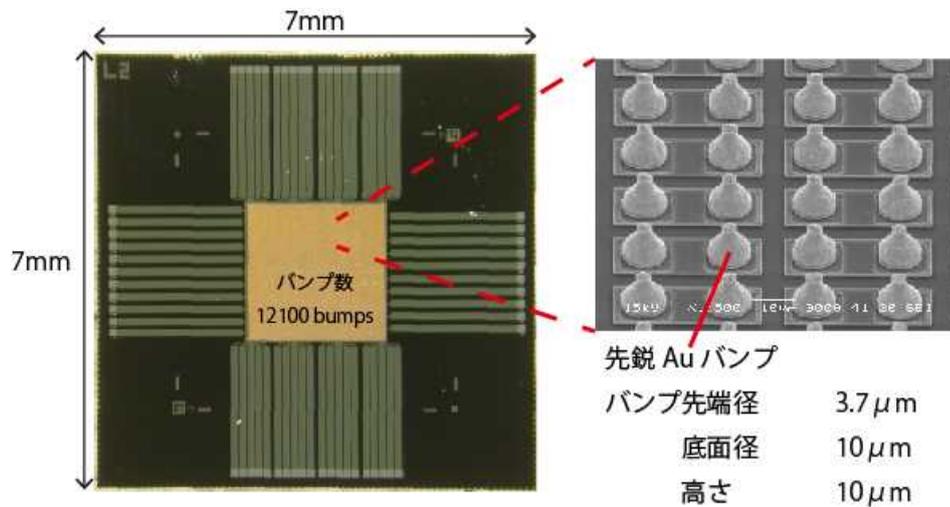
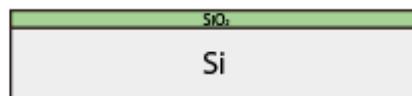


図 2-6-2-3 作製した金製先鋭バンプつき Si チップの光学顕微鏡写真と SEM 像

一方、対向電極側の Si チップは、図 2-6-2-4 に示すプロセスを基本とする方法で作製した。シード層となる金(Au)/TiW 薄膜を熱酸化で形成した Si 酸化膜上に直接スパッタ堆積し、その後、電解メッキで金膜を全面に形成した。電気接続性を試験するためのパターンニングした電極を作製する場合には、めっき前にフォトリソを開口した部分にのみめっきする方法を用いた。

(1) 熱酸化膜形成



(2) シード膜スパッタリング



(3) 電解めっき

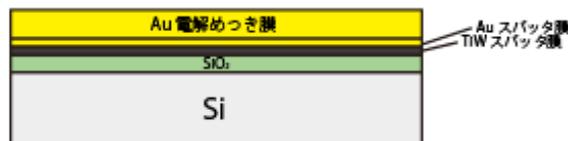


図 2-6-2-4 対向電極チップの作製プロセス

接合実験パラメータ

超音波接合実験は表 2-6-2-1 のように変化させた。この実験パラメータを設定した目的は、以下のような調査を行うためである。

- 超音波振動の有無による接合への影響
- 超音波接合における Au バンプの先鋭形状の効果(平坦形状バンプとの比較)
- 接合荷重を変化させたときの特性
- 接合時間、超音波振幅、接合温度を変化させたときの特性

表 2-6-2-1 超音波接合実験パラメータ

No	接合時間 (ms)	振幅		基板温度 (°C)	接合荷重 (gf/bump)	
		(μm)	(%)			
0	500	無し		室温	0.75	超音波なし
1	500	0.9	30	室温	0.75	
2	500	0.9	30	室温	0.10	標準条件 (500ms, 0.9 μm , 室温)
3					0.25	
4					0.50	
5					0.75	
6					1.00	
7	1000	0.9	30	室温	0.25	接合時間 (500 → 1000 ms)
8					0.75	
9	500	1.5	50	室温	0.25	振幅 (0.9 → 1.5 μm)
10					0.50	
11					0.75	
12	500	0.9	30	150	0.25	基板温度 (室温 → 150°C)
13					0.50	
14					0.75	
15	1000	1.5	50	室温	0.10	接合時間 (500 → 1000 ms) 振幅 (0.9 → 1.5 μm)
16					0.25	

評価方法

接合強度の評価は、図 2-6-2-5 に示すシヤ強度試験、および図 2-6-2-6 に示す引っ張り強度試験を用いて行った。シヤ強度試験は、接合したチップ間に剪断方向の力を加えた場合に破壊する荷重を計測するもので、今回用いた装置では 500N までの力を加えることが可能である。引っ張り試験は、下部チップをエポキシ接着剤でプレパレートに接着、上部チップには同様にエポキシ接着剤で試験用ピンを接着して試料を作製した。下部チップを接着したプレパレートを万力で固定し、上部ピンを接合面に対して垂直方向に引っ張り、剥離が起こる荷重を専用の計測器で計測した。今回使用した装置は 100 N までの引き剥がし強度計測が行うことが可能である。

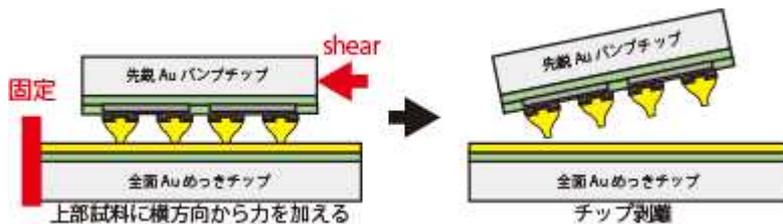


図 2-6-2-5 シヤ強度試験の模式図

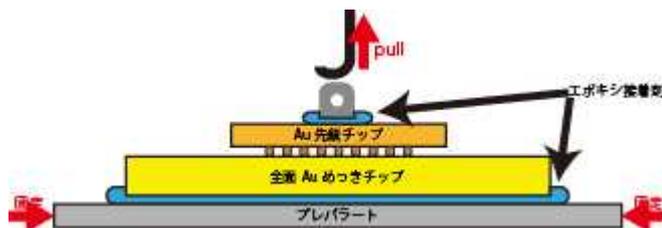


図 2-6-2-6 引っ張り強度試験の模式図

2-6-3 成果

超音波加振が接合に与える効果

接合に与える超音波加振の効果を、表 2-6-2-1 の条件 No. 0 のサンプルと条件 No. 5 のサンプルを比較した。すなわち、同じ接合荷重、接合時間の条件で、No. 5 は超音波振動をかけながら、No. 0 は超音波振動なし(加圧のみ)で接合を行った。その結果、超音波振動を印加した No. 5 は接合が目視で確認されたが、一方の圧着のみを行った No. 0 に関しては接合しなかった。接合した No. 5 の試料のシエア試験でチップを剥離した後に先鋭バンプを顕微鏡で観察しバンプの変形を No. 0 試料と比較した。その結果を図 2-6-3-1 に示す。超音波を加えたサンプル No. 5 では、明らかに先端が押し潰されていることが確認できる。これらの結果より、超音波接合を先鋭バンプに適用することで、この種のバンプ接合にこれまで用いられてきた圧接のみでは不可能である常温、低荷重での接合が可能になると言える。

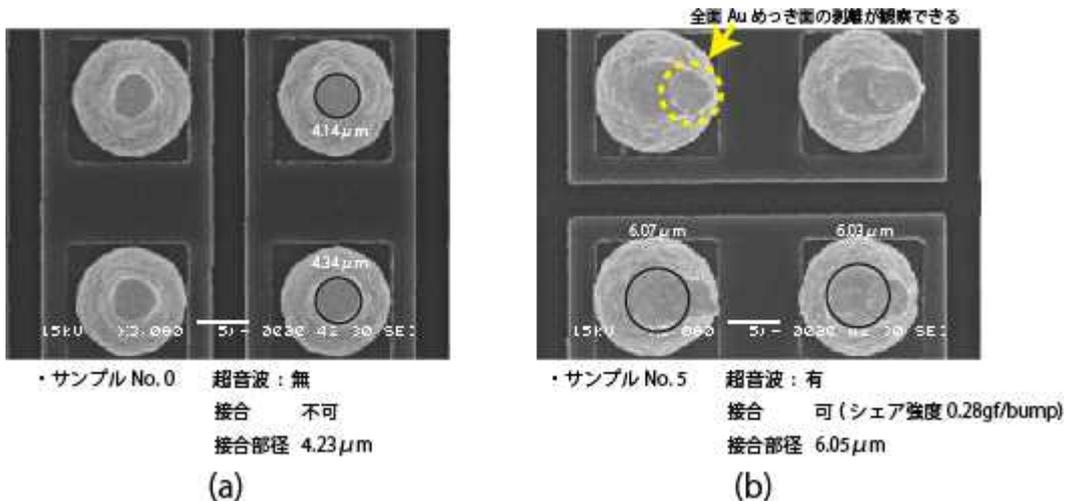


図 2-6-3-1 超音波加振の有無による先鋭バンプの変形の違い

接合荷重による接合強度の変化

超音波振幅 0.9 ミクロン、接合時間 500ms、温度=常温という標準的な条件の下、加重を 0.10gf/バンプ～1.00gf/バンプまで変化させて接合を行い、シエア強度および接合部の径の変化を調査した。シエア強度の変化を図 2-6-3-2(a) に示す。予想通り、接合荷重を増加させることでシエア強度も単調に増大することがわかった。図 2-6-3-2(b) には、同じ条件で接合した別のテストチップの接合強度を引っ張り試験で測定した結果を示す。引っ張り試験も荷重の増加とともに単調に増加しており、両者は良い相関をもつことがわかる。したがって、以後の研究開発においては、計測が比較的容易なシエア強度試験で接合強度を調査することとした。

荷重を変化させて接合したチップの先鋭バンプの先端を走査電子顕微鏡で観察した結果を図 2-6-3-3 に示す。接合荷重が大きくなるにつれて、バンプが押し潰される量が大きくなり、接合面の面積が大きくなっていることがみてとれる。接合部は円形ではないが、これを円形で近似してその直径によって定量的に評価した。図 2-6-3-4 に接合荷重に対する接合部の直径の変化をプロットする。荷重の増加とともに接合部径も単調に増加することがわかる。

図 2-6-3-5 に接合部の直径とシエア強度との関係をプロットしたものを示す。径の増加とともにシエア強度が増加する、言い換えれば、接合面積の増加とともに、シエア強度が増加していると言える。この結果は、潰れた面の全面が均一に接合していることを示している。

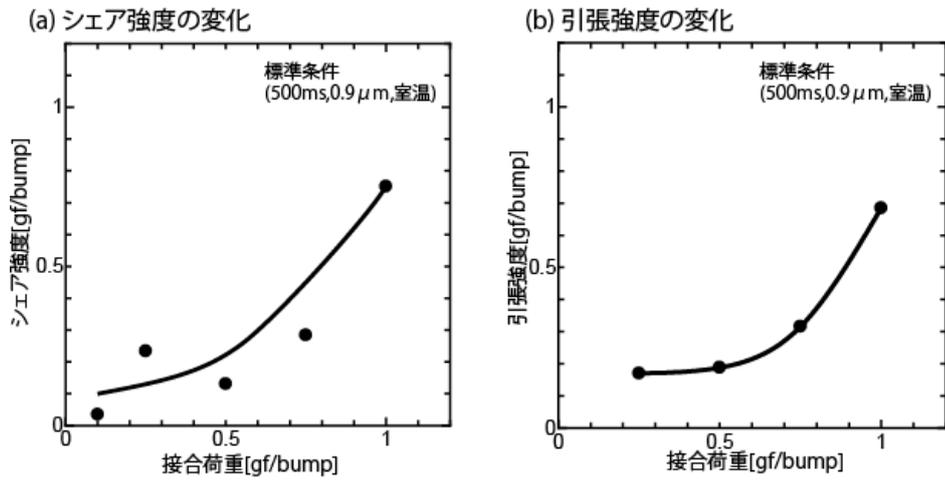


図 2-6-3-2 接合荷重による接合強度の変化. (a)シエア強度. (b)引っ張り強度

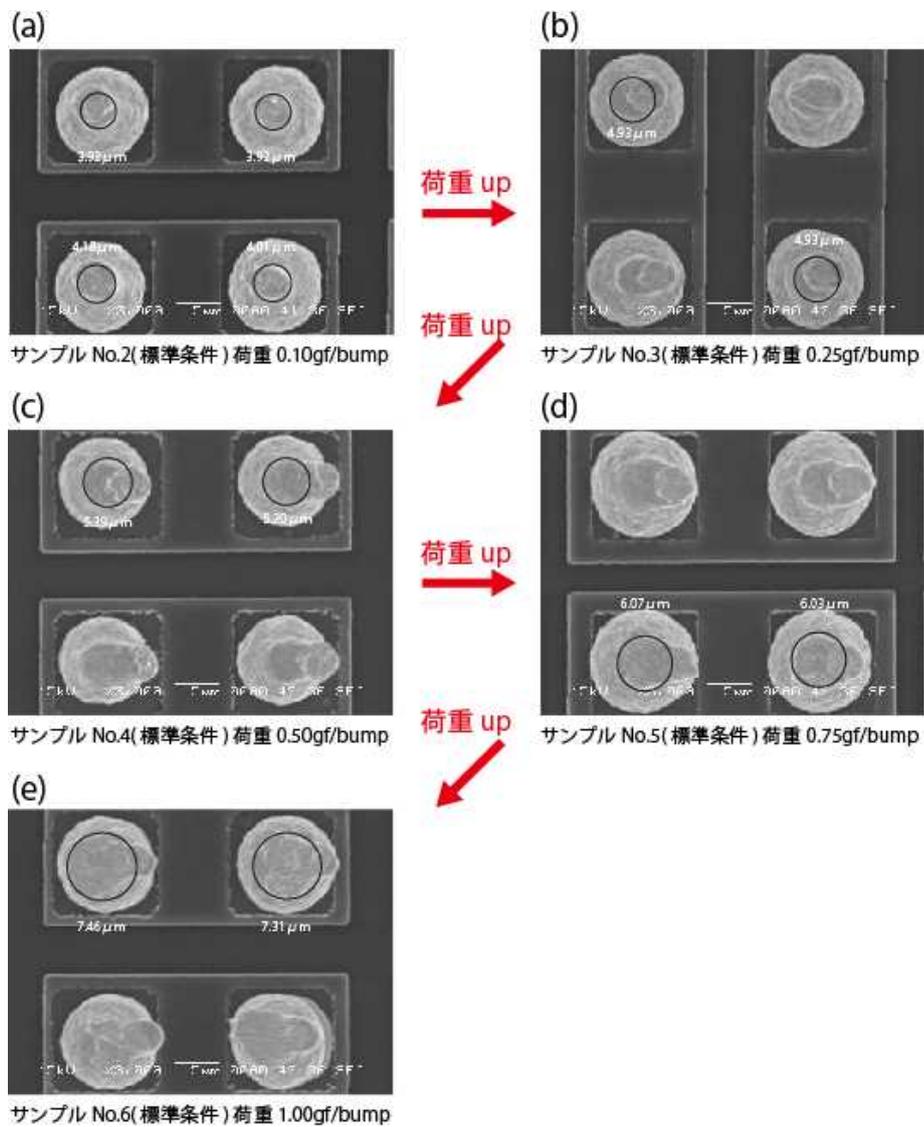


図 2-6-3-3 接合荷重による接合面形状の変化

接合時間, 超音波振幅, 温度の効果

接合時間, 超音波振幅, 接合温度を変化させた場合の接合面形状の変化の例を図 2-6-3-4 に示す. これらのパラメータの増大に伴い, 接合面の径も増大することが見てとれる. これらのパラメータを変化させた場合のシア強度の変化を常温での超音波接合と 150°C に昇温しての超音波接合のグループに別けてプロットすると, 図 2-6-3-5 に示す結果が得られる. すなわち,

- 接合荷重, 超音波振幅, 接合時間を増やすことで接合部の径(つまり, 面積)を増大させると, それに比例して接合強度が増大する.
- 150°C に昇温して接合した方が大きな接合強度が得られるが, 超音波接合の条件を変えて接合面積を大きくすることで, 常温でも十分な接合強度が得られる.

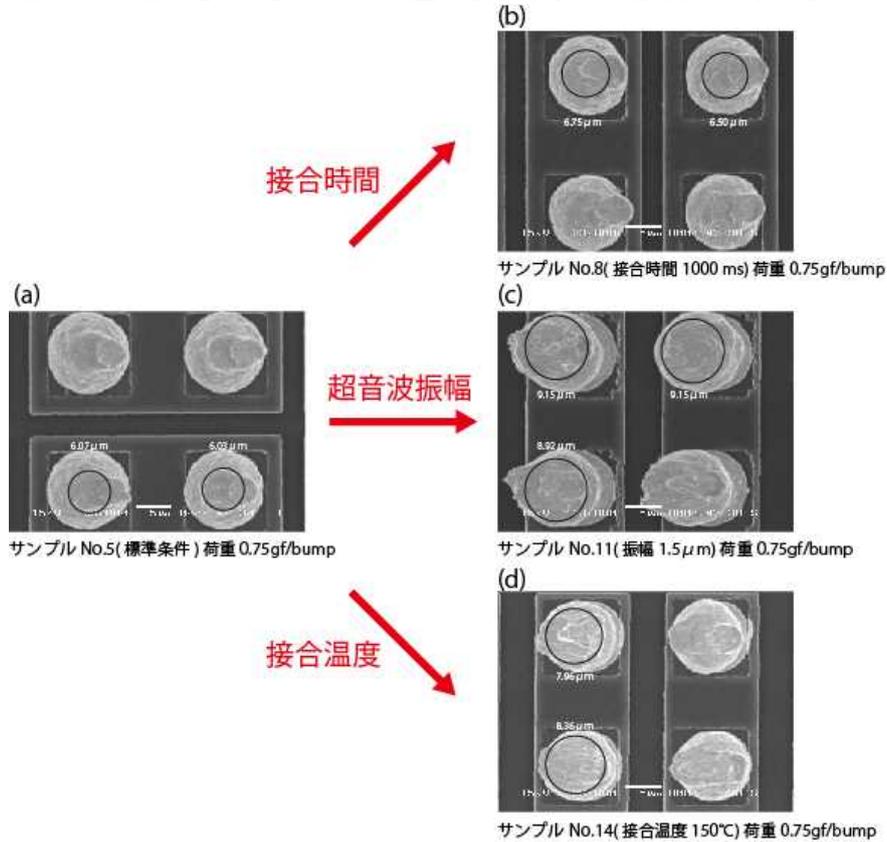


図 2-6-3-4 接合時間, 超音波振幅, 接合温度を変えた場合の接合面の形状変化

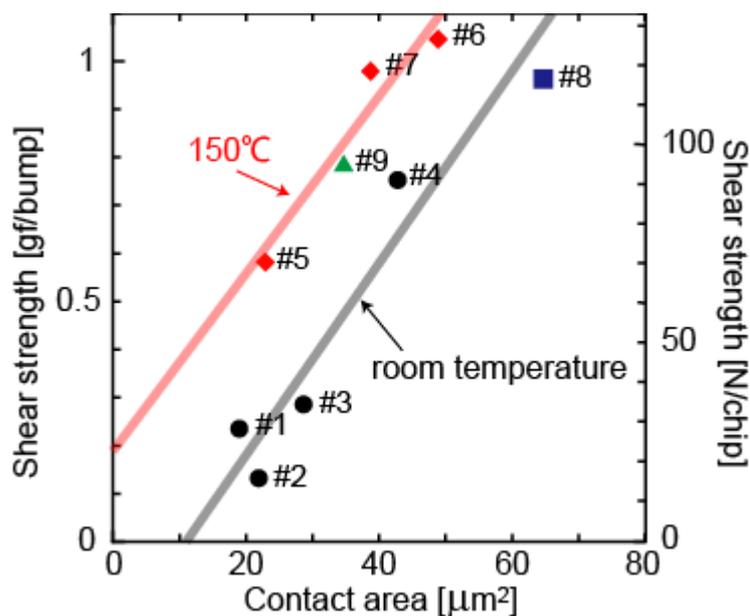


図 2-6-3-5 超音波接合における接合強度と接合部面積の関係

図 2-6-2-6 に、これらの試験で得た接合部直径の変化を示す。また、接合部直径とシエア強度の関係をプロットしたものを図 2-6-2-5 に示す。これらの結果から、実験パラメータの変化による接合強度の変化は、接合面積の変化によって統一的に解釈できると言える。

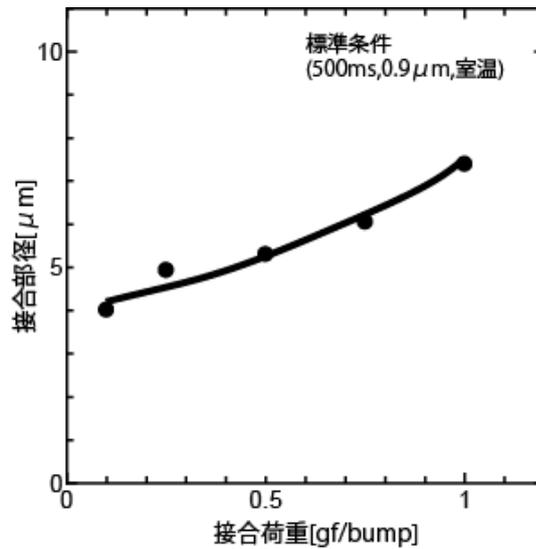


図 2-6-3-6 接合荷重による接合部直径の変化

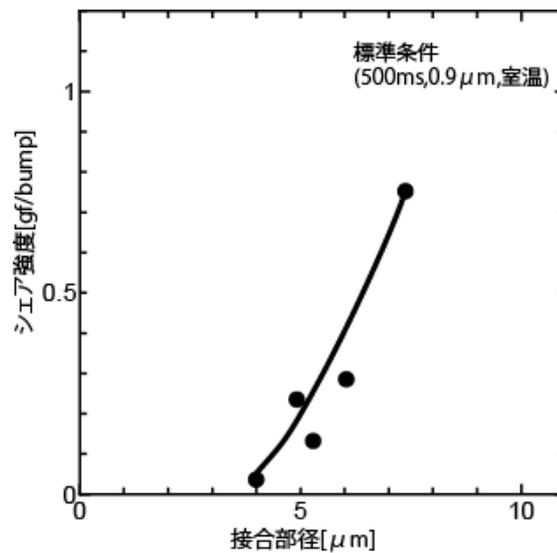


図 2-6-3-7 接合部直径とシエア強度の関係

先鋭バンプと超音波接合の併用の効果

次に、バンプ形状が接合性に与える効果を調査するために、先鋭バンプとは別に通常の平坦形バンプを同じ配置で形成したチップを用意し、同一条件で接合して接合性を評価した。用いた条件は、表 2-6-2-1 の No. 5(先鋭バンプ)と No. 1(平坦バンプ)である。いずれの試料においても目視では接合するかのように観察され、シエア強度も同じ程度の値を示した。しかし、シエア試験で剥離したチップのバンプ形状を観察したところ、平坦バンプでは不均一な接合になっていることを発見した。

この様子を図 2-6-3-8 および図 2-6-3-9 に示す。

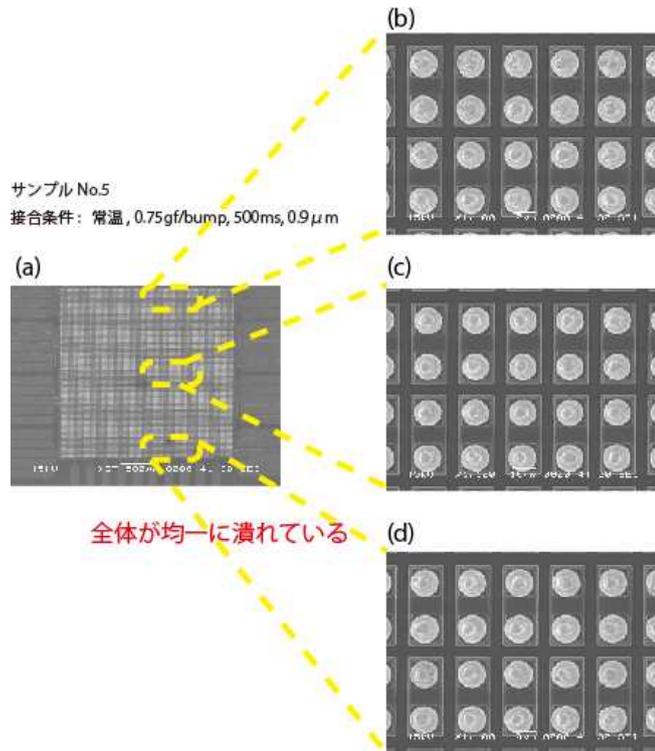


図 2-6-3-8 超音波接合した先鋭バンプチップのシヤ剥離後バンプ形状. (a)チップの全体像. (b)~(d)各部の高倍率像

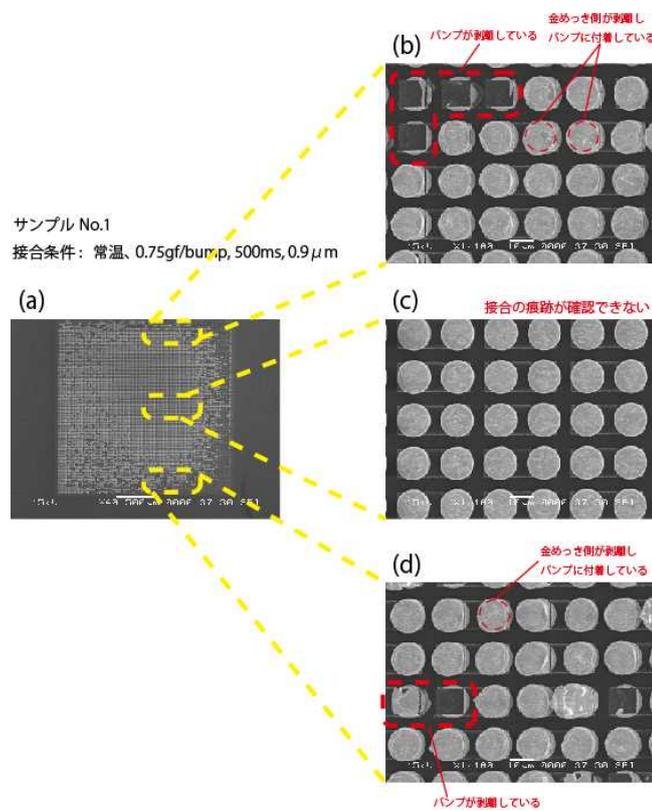


図 2-6-3-9 超音波接合した平坦バンプチップのシヤ剥離後のバンプ形状. (a)チップの全体像. (b)~(d)各部の高倍率像

図 2-6-3-10 にこれらの試料の接合部断面を観察した結果を示す。同図(a)は、先鋭バンプを接合したチップの辺に平行でほぼ中心を貫く断面の左端、中央、右端を観察した結果である。先鋭バンプの場合には、このように全面で接合していることが確認できる。一方、同図(b)は平坦バンプを用いた接合したチップを同様に観察した結果であるが、平坦バンプの場合には、チップの中央付近で接合できていないことがわかる。この様子は、同図(c)に示す、同じ中央付近の断面を反射電子像で観察した結果により明確に見ることができる。これらの結果から、先鋭バンプを用いることで、チップ全体にわたりバンプを均一に接合可能であることがわかる。しかも超音波接合を併用することによって常温でそれが可能になる。先鋭バンプがもつ柔軟な変形作用により、バンプの高さバラツキ、加圧によるチップのたわみ、超音波振動によるチップの揺動による場所によるバンプ荷重の違いが吸収され、このような優れた接合性を発揮していると考察できる。

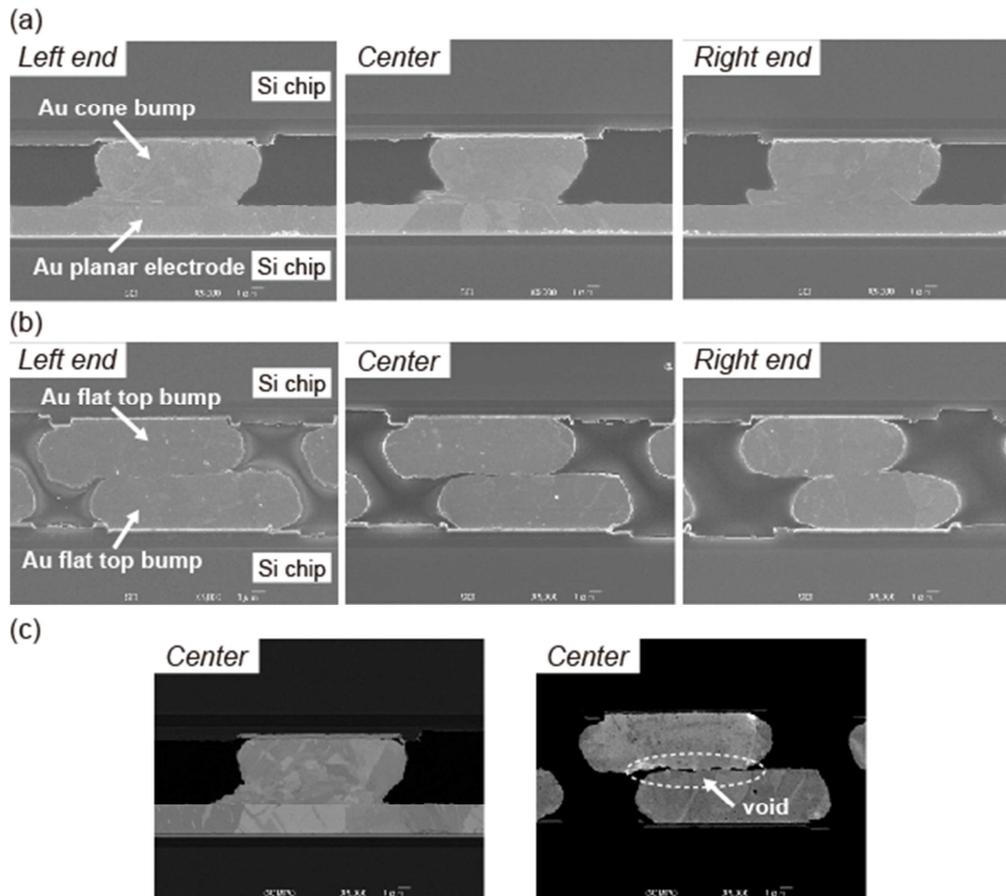


図 2-6-3-10 先鋭バンプを接合したチップ(a)と平坦バンプを接合したチップ(b)の左端、中央、右端の接合断面。(c)は中央付近の断面の反射電子像

常温での超音波接合と圧接の比較

ここで、常温での圧接と超音波接合を比較した結果を示し、超音波接合の有効性を調査した結果を述べておく。図 2-6-3-11 に、接合時の荷重を変えて接合部面積を変化させた場合の接合強度の変化を示す。圧接の場合でも荷重を大きくすることによって圧潰が進むので、接合部面積を大きくすることができる。しかし、常温での圧接では、接合強度はゼロであった。すなわち、接合したチップをピンセットでハンドリングするだけで剥離が生じてしまう状況であった。一方、超音波接合では、上でも述べたように接合部面積に比例して増加する十分な強度が得られることがわかる。

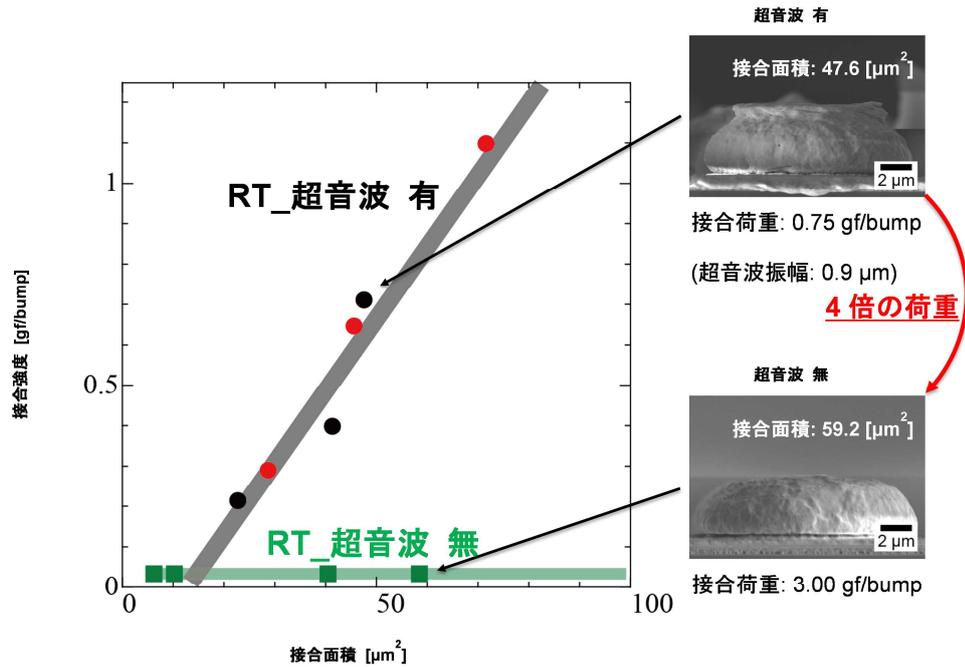


図 2-6-3-11 常温で圧接(超音波無し)した場合と超音波接合した場合のチップ接合強度の比較. 右側の二つの電子顕微鏡像は, それぞれの場合のバンプの変形を観察したもの

電気接続の評価結果

25 μm ピッチの実デバイスと同じ電極パターンをもつ TEG を試作し, 超音波接合による接合性を電氣的に評価した. ROIC を模擬した TEG は Si ウェーハ上に配線と先鋭マイクロバンプを, PD(フォトダイオード)アレイを模擬した TEG は Si ウェーハ上および InP ウェーハ上に配線と接合電極を形成した 2 種類と用意した. 昨年度の結果を踏まえ, 超音波接合の接合温度は常温とした. これを熱圧着法による接合性と比較した.

図 2-6-3-12 (a)に 25 ミクロンピッチの qVGA クラス(バンプ数 8 万ピン)の先鋭バンプを Si ウェーハ上に形成した TEG の電子顕微鏡像を示す. また, 同図(b)に, 対向電極を InP ウェーハ上に形成した試料の電子顕微鏡像を示す. また, 図 2-6-3-13 には, 両チップの全体写真を示す. これらの TEG は, 接合による電気接続をテストできるデージーチェーン(図 2-6-3-14)を形成するよう設計されている. これらを常温での超音波接合または熱圧着で接合して電気試験を行った.

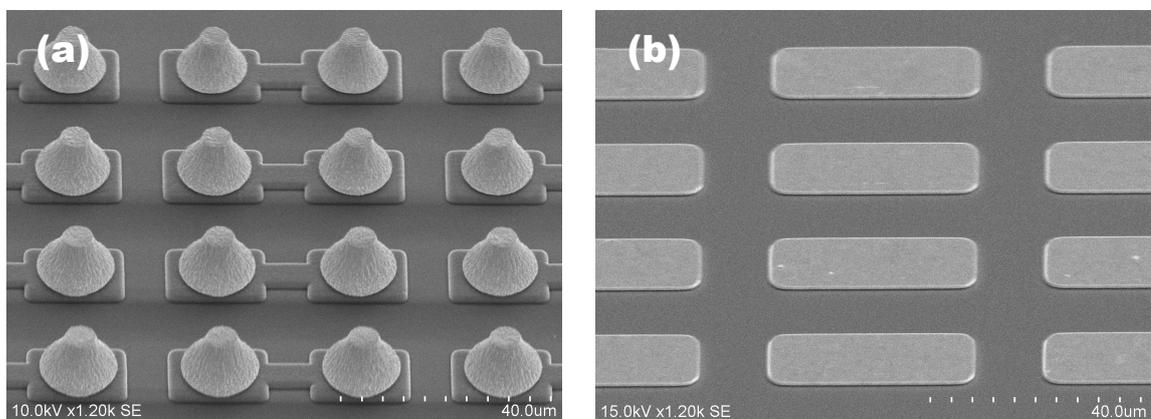


図 2-6-3-12 qVGA クラス(25 μm ピッチ)TEG の電子顕微鏡像. (a)Si-ROIC を模した先鋭バンプ電極. (b)InP-PD アレイを模した対向電極

Chip size: 8.87 × 8.35 mm



(a)

Chip size: 8.87 × 6.90 mm



(b)

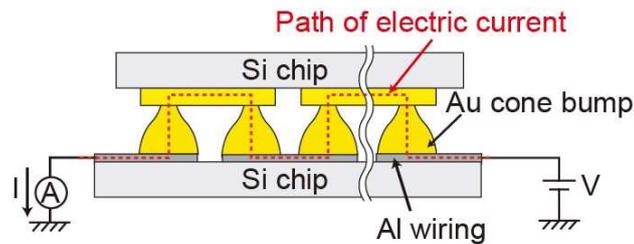


図 2-6-3-14 デージーチェーンによる電気接続試験の模式図

EG. (b)InP-PD アレイを模した対向電極つき TEG

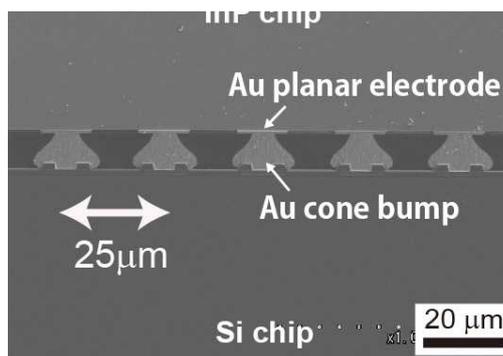


図 2-6-3-15 接合した TEG チップの断面

図 2-6-3-15 に接合したチップの断面を示す。InP と Si を基板材料とする TEG が接続できていることがわかる。図 2-6-3-16 に、デージーチェーンによる電気接続試験結果を示す。横軸は、総バンプ(接点)数 $332 \times 268 = 79,328$ を、1 サブチェーン当たり 2412~4288 個より成る 24 サブチェーンに分割して測定した際に、サブチェーンごとに得られたバンプ 1 個当たりの抵抗を示す。もし、各サブチェーン内に 1 接点でも接続不良があれば、電流は流れないから無限大の抵抗が観測さ

れる。結果は、図のように約8万個の全ての接点が接続されており、電気的にみても常温で完全な接合ができることが実証された。

図2-6-3-17に今回開発した常温超音波接合と従来技術である熱圧着技術で接合した場合の接続バンプ数の比較を示す。この図の横軸は接合時に1バンプあたりに加えた荷重であり、縦軸は電気接続が確認できたバンプ数(接続接点数)である。超音波接合については、超音波(US)の振幅を $0.9\mu\text{m}$ と $1.5\mu\text{m}$ の2水準で実施した結果を示している。また、図中には、荷重を $0.75\text{g}/\text{バンプ}$ にし、接合を 200°C および 250°C で行った熱圧着の結果もプロットしている。超音波接合では、超音波振幅を大きくするにしたがい、また、荷重を大きくするにしたがい、接続ピン数が増加することがわかる。その結果、荷重 $0.75\text{g}/\text{バンプ}$ 、超音波振幅を $1.5\mu\text{m}$ とすることによって8万ピンを加熱せずに常温で全数接続できることがわかる。この接合は、超音波を加えない熱圧着では 250°C まで加熱しても達成できておらず、超音波接合の優位性が明らかと言える。

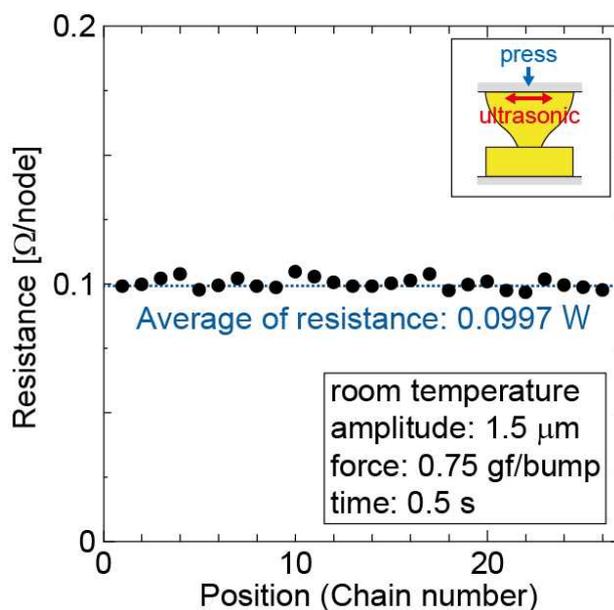


図2-6-3-16 25 μm ピッチ qVGA クラス(8万バンプ)デバイス TEG TEG のデージーチェーン試験結果

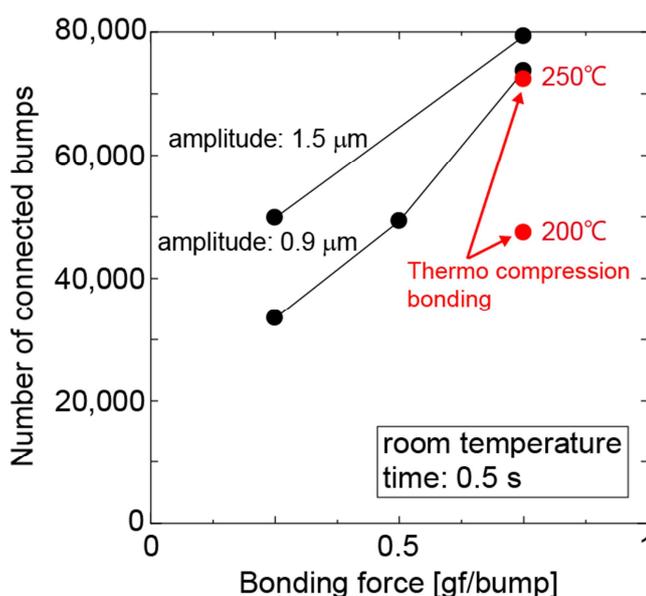


図2-6-3-17 25 μm ピッチ qVGA クラス(8万バンプ)デバイス TEG の接合試験結果。縦軸は接合した接点数。横軸は接合時に加えた荷重。超音波接合の結果に加え熱圧着の結果も併せて示している

図 2-6-3-18 に常温で超音波接合したバンプの内部組織を透過電子顕微鏡で観察した結果を示す。この結果から、接合界面付近では、圧潰した先鋭バンプ側の結晶が微小になっていることがわかる。この結果と接合性の評価結果を合わせると、以下のようにして接合が進行すると考えられる。超音波接合では、単なる圧接に比べ圧潰量が増大する。圧潰は、結晶の粉碎とも言える微小化を伴って進行する。結晶が微小化すると、元の界面にあった汚染物質が分散される。その結果、新生金属界面が発生し、金属間接合が生じる。

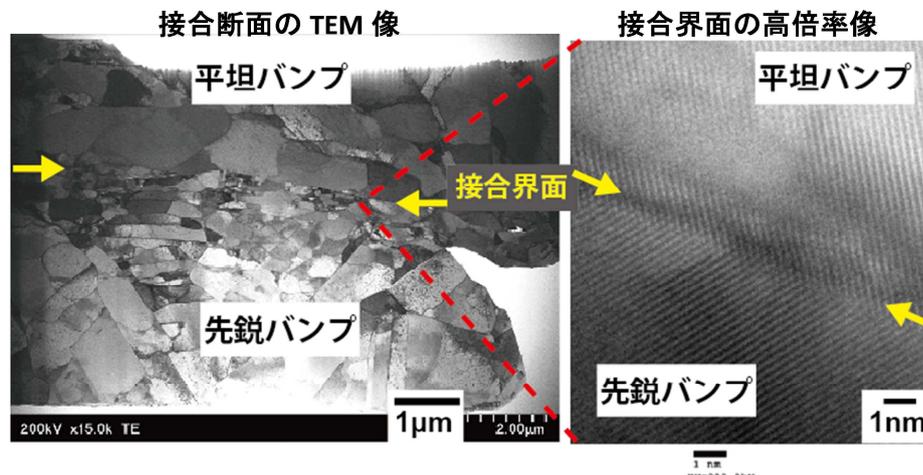


図 2-6-3-18 常温で超音波接合したバンプの断面透過型顕微鏡観察結果

2-7 低荷重プロセス技術の開発

(九州大学担当)

2-7-1 目的、目標

《目的》ミニマルファブサイズの装置実現に向け、必要接合荷重を低減する。

《最終目標》接合荷重 0.1g/バンプは、圧着ユニットを 300mm 幅筐体へ内蔵するためのプロセスの参考目標

2-7-2 取組内容

先鋭バンプを用いた接合の原理から、接合に必要な荷重を低減するには、バンプの微細化が有効と考えられる。そこで、先鋭形状を作る機構の観点から、フォトリソグラフィーの露光時間、熱処理温度、およびフォトレジストの性状(メーカーと品番)を変えることによってバンプを微細化する技術の開発に取り組むとともに、接合試験により低荷重化の可能性を調査した。

2-7-3 成果

本研究開発では、先鋭バンプ形成用にフォトレジストとして九州大学が以前より使用していた A 社製レジストを用いて開発を進めてきた。そのレジストを用いて、露光条件、露光後熱処理条件を様々に変えて微細化を試みた。一定の成果はあったが、フォトレジストの解像度からくる本質的な限界に達したと判断した。他メーカー製のフォトレジストを探索した結果、B 社製フォトレジストが可能性があることがわかった。このレジストを新たに採用して先鋭形状への加工、微細化の条件を様々に調査した結果、図 2-7-3-1(a)の形状のバンプを作製することができた。同図(b)は、従来作製してきたバンプで典型的な大きさのものであるが、従来のものは先端径を 3 ミクロン以下にするのは困難であったが、新規フォトレジストとプロセス開発によって、先端径を 2 ミクロンまで縮小することができた。

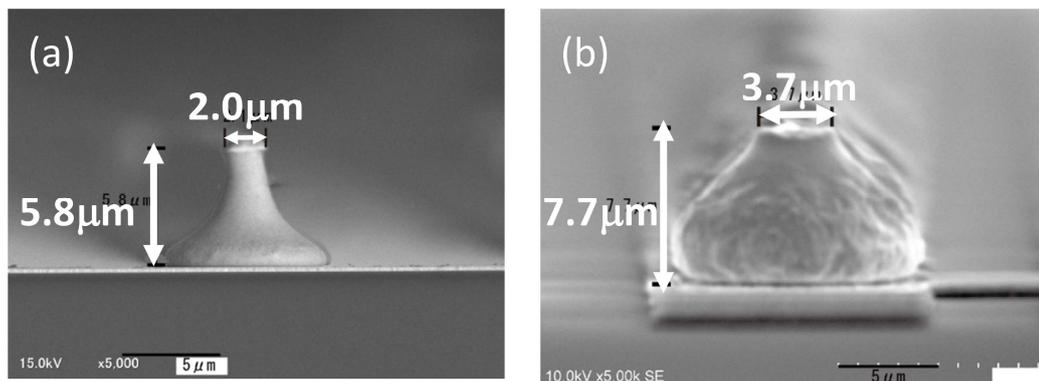


図 2-7-3-1 (a)新規に採用したフォトレジスト(東京応化製 TLOR 型)を使用して微細化した先鋭バンプと(b)以前に使用してきたフォトレジストを用いて作製した典型的な大きさのバンプ

この微細化したバンプを用いて接合試験を行った。図 2-7-3-2 に、荷重 0.25gf/bump および 0.1gf/bump で接合した場合の電気接続性能をデージーチェーンで評価した結果を示す。0.25gf/bump では全数接続できている。これに対し、0.1gf/bump では約半数の接続に留まっているが、微細化により 11,000 接点の約半数が接合できることはバンプの微細化が低荷重化に有効であり、接点数の多くない用途では、0.1gf/bump でも応用が可能であることがわかった。

表 2-7-3-1 に、ダイシエア試験で測定した接合強度を従来型バンプと微細化したバンプで比較した結果を示す。このような低荷重領域での接合では、同じ荷重であれば、微細化することで大きな接合強度が得られることがわかる。これは、微細化することで圧潰が大きく起こり、その結果新生面での接合面積が増大するためと理解できる。

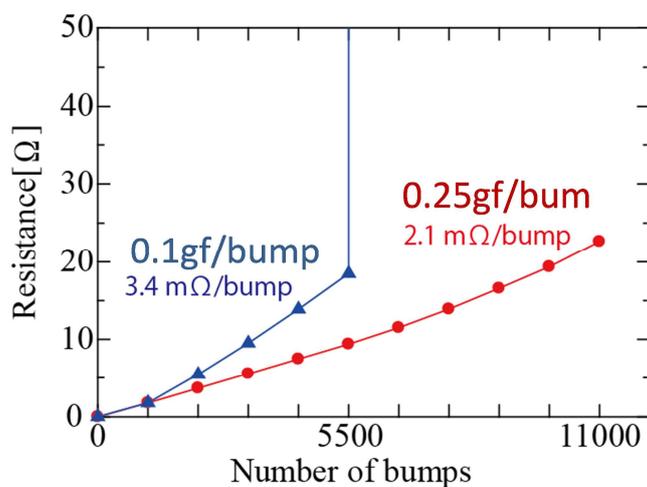


図 2-7-3-2 微細化したバンプを用いて荷重を 0.1gf/bump まで低減して接合した TEG チップのデージーチェーン試験結果

表 2-7-3-1 微細化したバンプと従来型バンプの接合強度の比較

接合荷重	シエア強度	
	従来型先鋭バンプ	微細バンプ
0.25 gf/bump	11.2 N	26.5 N
0.10 gf/bump	7.1 N	13.5N

2-8 先鋭化 Au バンプ形成技術の開発

(九州大学担当)

2-8-1 目的、目標

《目的》接合性の良好な 30 万バンプを均一に形成する。

《最終目標》IC 上へのピッチ $15\mu\text{m}$ 、バンプ数 30 万のバンプ形成

2-8-2 取組内容

VGA クラス(約 30 万バンプ)の形成を目指し、バンプの微細化技術開発を行った。接合装置の最大荷重 700N の範囲内で約 30 万バンプを接続するという目標の下、微細化の方針としてはバンプ全体を比例縮小する形で先端径を小さくするものとした。そのため、めっきの型を作製する際のフォトレジストの厚みを減少するとともに、フォトレジストの薄化にともなう露光、バーク温度・時間の最適化を行った。

2-8-3 成果

図 2-8-3-1 に、フォトレジスト処理条件の変化によるフォトレジスト開孔形状の変化の一例を示す。(a)は、フォトレジストの厚さは $25\mu\text{m}$ ピッチと同等に保ち、バンプの底面の径を小さくして強ピッチ化を図ることを目指して形成した開孔の断面である。(b)は、レジストを薄くして全体を比例縮小して小形化することを目指して形成した開孔の断面である。このように、フォトレジストの処理条件によって形状を制御する技術を開発できた。

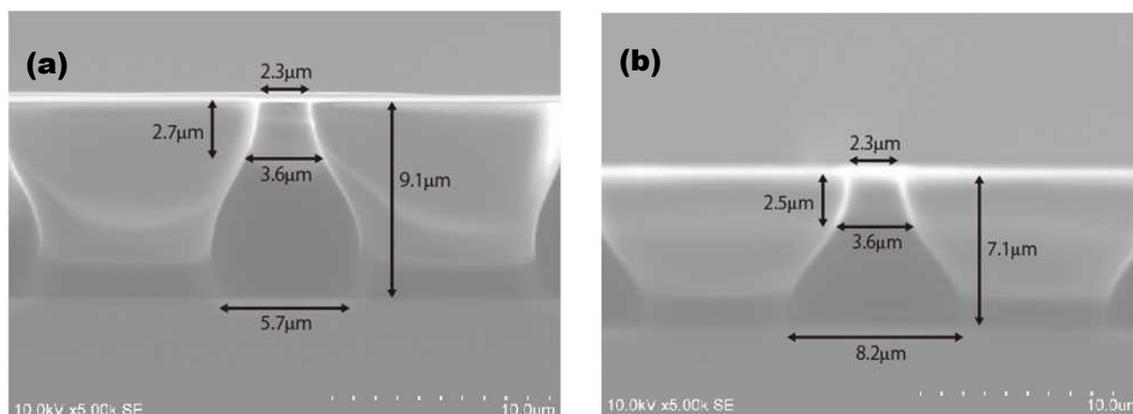


図 2-8-3-1 フォトレジストの厚さと熱処理時間を変化させたときのレジスト開孔形状の変化

図 2-8-3-2(a)に上記のレジスト開孔形状制御を利用して $15\mu\text{m}$ ピッチの 30 万バンプアレイを作製したチップの光学顕微鏡写真を示す。また、同図(b)および(c)にはバンプアレイおよびバンプの電子顕微鏡像を示す。このように、 $15\mu\text{m}$ ピッチ、30 万バンプを形成する技術を開発し、目標を達成できた。

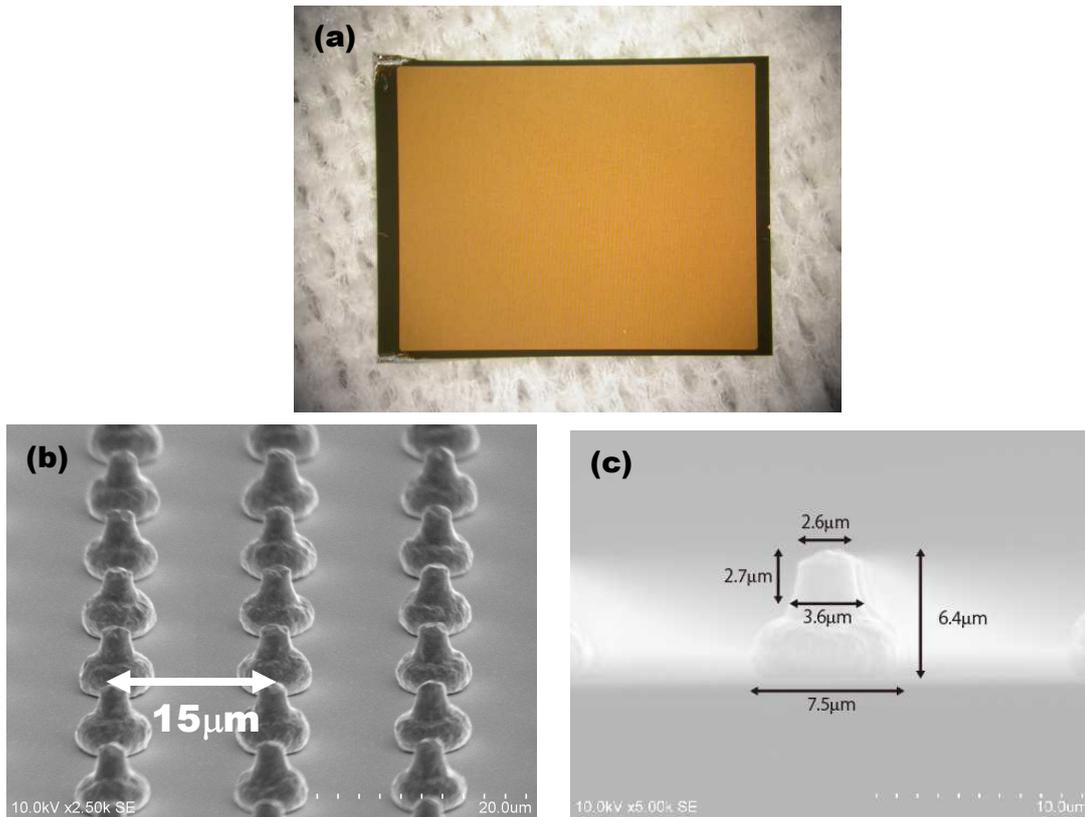


図 2-8-3-2 15 μm ピッチ, 30 万バンプのアレイを形成したチップの光学顕微鏡写真(a)とバンプの電子顕微鏡像(b および c)

2-9 ROIC 貼り合わせ実装

(九州大学担当)

2-9-1 目的、目標

《目的》15 μm /30 万バンプ接合技術の総合的な技術検証

《最終目標》赤外検出素子と ROIC(読出 IC)の接合。30 万ポイント接合。

2-9-2 取組内容

15 μm ピッチ, 30 万バンプの接合試験 TEG チップの接合を実施し, 30 万バンプの形成と接合に向けた総合的な技術検証を行った。

InP 上の qVGA おおびフォトダイオードアレイチップと Si ROIC チップ実デバイスの接合を行った。先鋭バンプは ROIC 上に形成した。二つの問題に直面した。ひとつは, 位置整合用のアライメントマークが認識が困難であったことである。様々な光源, 撮像カメラなどを用いてマークの認識具合を調査した結果, PD アレイを構成している InP 上の化合物半導体層での赤外光の吸収が大きく, アライメント用の光の透過が悪いことが原因であることがわかった。そこで, IR スペック社がアライメントマーク部分のデザインを変更した PD アレイを新規に用意してくれた。それによって, アライメントマークの認識が可能になり, 課題はクリアされた。

もうひとつの課題として, InP 基板裏面に発生する傷の問題である。これまで Si チップの接合では何ら問題のなかったステンレス製の接合用チップステージを用いて InP チップを接合すると, 裏面に擦り傷が入ることがわかった。この問題に対しては, アドウェルズ社がテフロンコーティングしたステージを新規に設計, 試作したものをを用いて接合を行った。

2-9-3 成果

30 万バンプ TEG チップの接合特性

図 2-9-3-1 に, VGA クラス(15 ミクロンピッチ, 30 万バンプ, 640 × 512)の接合試験用に作製した T

EG チップおよび内部の先鋭バンプの写真を示す。これと対向電極をもつチップを接合したものの接合断面を図 2-9-3-2 に示す。30 万バンプという超高密度であるにもかかわらず、これまでと同様に良好に接合できていると言える。

図 2-9-3-3 にデージーチェーン試験結果を示す。若干の接合不良があるが、不良は 12ppm 以下と推定され、イメージセンサーには十分応用可能な水準の接合性能をもつと言える。なお、接合不良箇所がランダムに発生していること、またバンプが微細化していることから、試験環境における塵埃などの影響が原因のひとつと考えられ、今後、より清浄な環境での接合を行う必要性が示唆される。

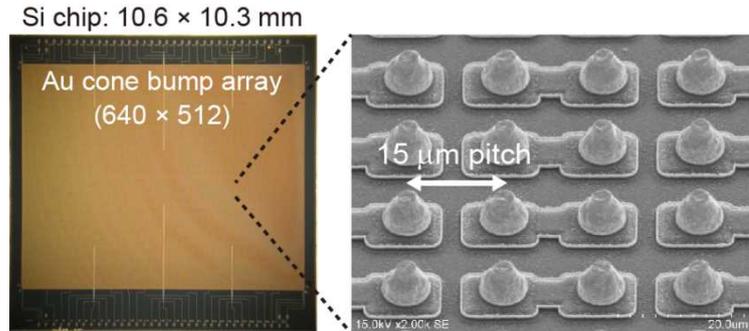


図 2-9-3-1 15 μm ピッチ, 30 万バンプを形成した TEG チップ

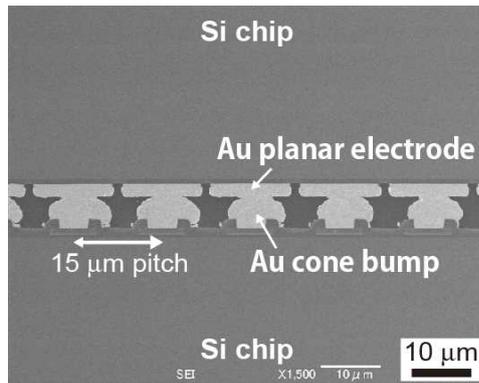


図 2-9-3-2 15 μm ピッチ, 30 万バンプ TEG チップの常温超音波接合断面

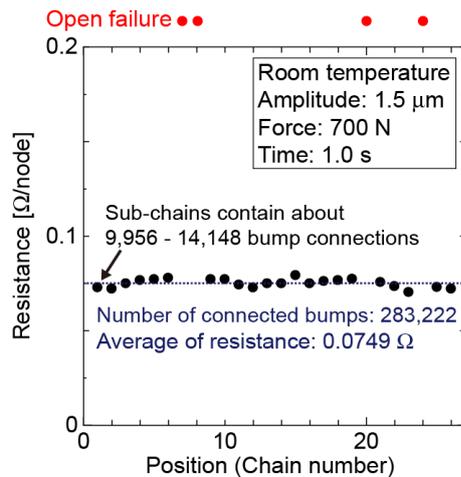


図 2-9-3-3 15 μm ピッチ, 30 万バンプ TEG チップのデージーチェーン試験結果

赤外検出素子と ROIC(読出 IC)の接合

図 2-9-3-4(a)および(b)にそれぞれ、従来のステンレスステージおよび新規テフロンコートステージで接合した ROIC チップと PD アレイのチップ写真を示す。テフロンコートステージを使用することで、傷の問題がほとんど解消できることがわかる。なお、(b)で線状の傷が確認できるが、これは接合によって発生したものではなく、チップのハンドリングの際に生じたものである。

このようにして、 $25\mu\text{m}$ ピッチ画素の qVGA および $15\mu\text{m}$ ピッチ画素の VGA チップの解像度をもつ実デバイスの接合を行い、目標は達成できた。

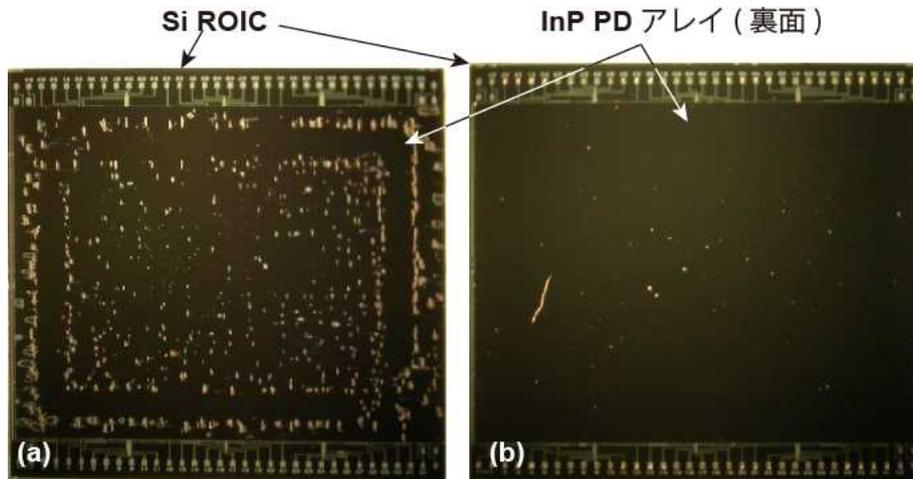


図 2-9-3-4 接合した実デバイスのチップ写真。(a)ステンレスステージ使用。(b)テフロンコートステージ使用

《3D-LSI(高精細赤外撮像デバイス)の開発》

2-10 高密度近中赤外 PD アレイの開発

(アイアールスペック担当)

《目的》今回開発する装置検証のための実デバイスの開発。

《最終目標》 25、15 μm ピッチの高精細 2 次元アレイを開発する。

2-10-1 目的、目標

本開発項目では、3D-LSI 接合装置の性能実証として、数万バンプ以上の高密度バンプが必要な、赤外フォトダイオードアレイとリードアウト IC(ROIC)を提供した。また、接合された高密度バンプの接触抵抗や、歩留まりを評価するため、フォトダイオードおよび ROIC と同一の電極配置を持つシリコン TEG チップと、化合物半導体 TEG チップを作製し、3D-LSI 接合装置を用いた高密度バンププロセスの最適化に資した。

2-10-2 取組内容

アイアールスペックで開発した高分解フォトダイオード(PD)アレイは、N 型カソード層が P 型分離層上に配置された NonP 構造を持つため、分離溝無しに、良好な素子分離特性が得られる。また、本 PD アレイは、各ダイオードの共通電極(アノード)を正にバイアスする。そのため、通常の LSI と同様に、3.3Vあるいは5V単一電源で駆動できる。この場合、カソードは、電源電圧の 1/2 程度に設定したアナロググラウンドレベルに接続する必要があるが、このような条件を満たす qVGA(25 μm ピッチ、320x256 素子)および、VGA(15 μm ピッチ、640x512 素子)フォーマットの ROIC を選定し、その ROIC に適合する PD アレイバタンを設計、試作した。また、アドウェルの自動アライメントシステムに適合した、アライメントマークをそれぞれ ROIC および PD アレイに設置した。

2-10-3 成果

図 2-10-3-1 に VGA 用 PD アレイおよび ROIC の光学顕微鏡写真を示す。VGA_PD アレイのサイズは、10860x8520 μm で、画素ピッチは、15 μm である。VGA 用 ROIC には、本プロジェクトで開発中の 3D-LSI 接合装置に適合した、外形 140 μm の矩形のオートアライメントマークを追加した。一方 PD アレイには、 $\phi 40 \mu\text{m}$ の円形パターンを、InGaAs 感光層を残す形で形成した。これにより、透過型機械認識による効率的かつ精度の高いアライメント作業が可能になった。即ち、InGaAs 感光層を残した部分は、図 2-10-3-2 に示すように、透過像では、黒色となり、PD アレイ側の円形パターンを、ROIC 側の額縁形状のフレームの中心に置くことにより、1 μm 以下の精度でのアライメントが実現した。

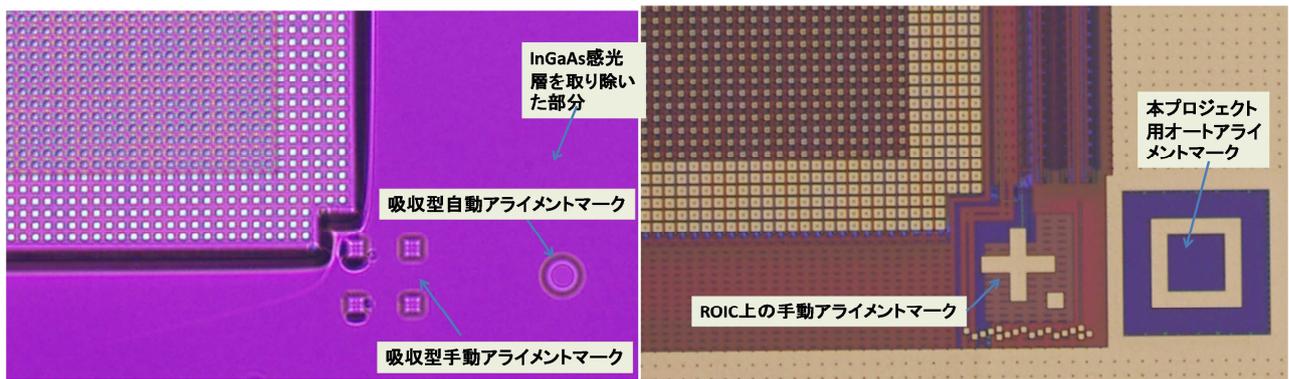


図 2-10-3-1 VGA 用 InGaAs-PD アレイ(左)およびシリコン ROIC チップ(右)の光学顕微鏡写真

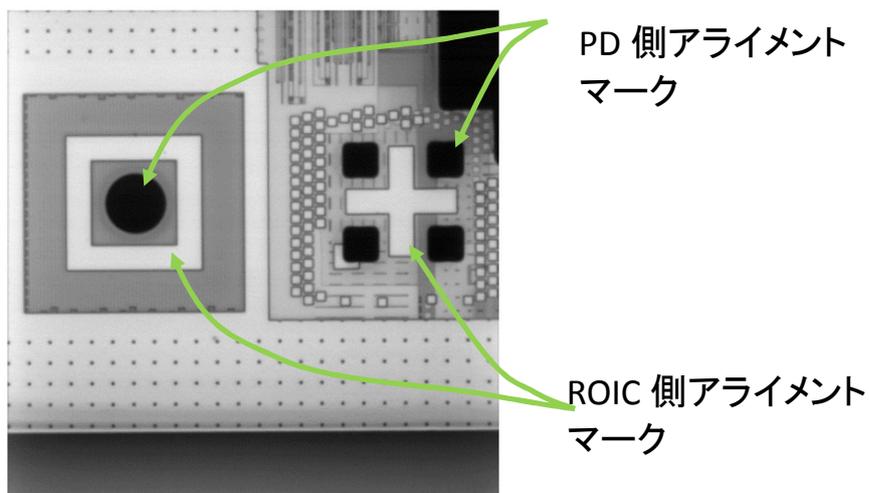


図 2-10-3-2 シリコン ROIC と InGaAsPD アレイのアライメント状況

図 2-10-3-3 は、 $15\mu\text{m}$ ピッチの VGA 用 PD アレイの拡大写真を示す。本 PD アレイは、不純物選択ドーピングによる素子分離を施したプレーナ構造であり、比較的簡単な製造プロセスにより高密度 PD アレイが形成できた。表面に溝が無いため、素子表面は、均一な誘電体層で保護されており、信頼性の点からも有利である。ウェファ状態での PD 素子の特性を評価するために、画像チップと同一の構造でプローブ用電極を形成した TEG を作成し、電流-電圧特性を評価した。(図 2-10-3-4)

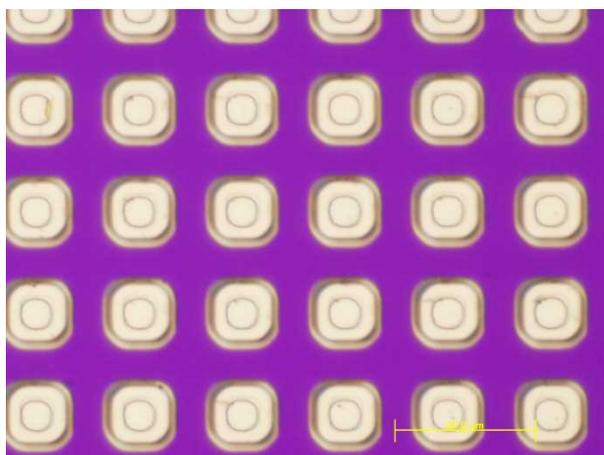


図 2-10-3-3 VGA_PD アレイの拡大図

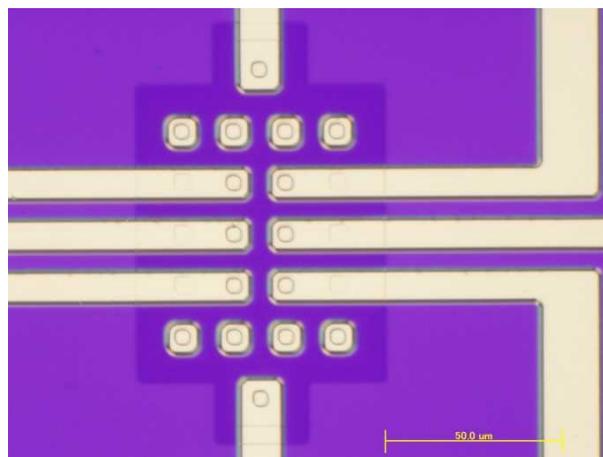


図 2-10-3-4 VGA($15\times 15\mu\text{m}$)用 TEG パタン

図 2-10-3-5 に VGA($15 \times 15 \mu\text{m}$) および qVGA($25 \times 25 \mu\text{m}$) 用矩形 PD の電圧-電流特性を示す。-1V の逆方向印加電圧において、暗電流はそれぞれ、0.21pA および 0.23pA であった。また、図 2-10-2-6 は、比較的大面積の円形パタンの電圧-電流特性を示す。暗電流は概ね PD の周長に比例することから、PD の感光層となる InGaAs 内部よりは、PD の周辺に発生する結晶欠陥の影響が大きいことが分かる。 $\phi 1\text{mm}$ 、-5V において、暗電流 100pA は、市販 InGaAsPD のカタログ値の概ね 1/10 程度である。

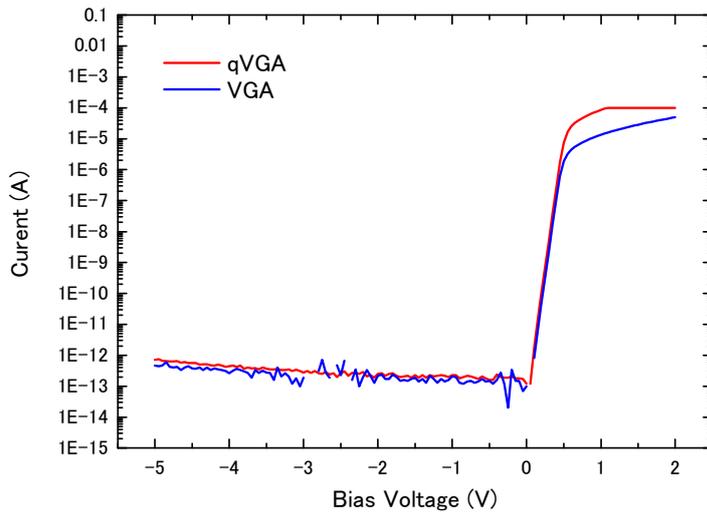


図 2-10-3-5 VGA($15 \times 15 \mu\text{m}$) および qVGA($25 \times 25 \mu\text{m}$) 用 PD 素子の電圧-電流特性

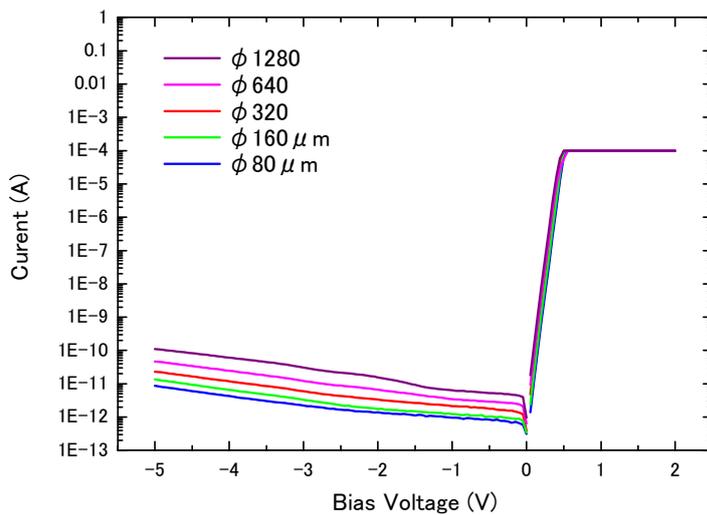


図 2-10-3-6 各サイズ($\phi 80 \sim \phi 1280 \mu\text{m}$)の PD 素子の電圧-電流特性 (順方向は、 $1\text{E}-4\text{A}$ でクランプしている。)

2-11 実装サンプルの評価

(アイアールスペック担当)

《目的》 実デバイスの接合評価を通して今回開発する装置の改善を図る。

《最終目標》 画素欠陥での実装結果へのフィードバック。

2-11-1 目的、目標

本開発項目では、3D-LSI 接合装置の性能実証として、実際に ROIC と化合物半導体 PD アレイを接合したハイブリッドチップをセラミックパッケージに実装し、評価用カメラにて赤外画像を取得した。

2-11-2 取組内容

図 2-11-2-1 は、3D-LSI 接合プロセス技術の開発において接合された VGA-InGaAs-PD/ROIC モジュールをセラミックパッケージに実装、ボンディングした、ハイブリッドチップの写真である。

12584x11070 μm の ROIC チップに 10860x8520 μm の PD アレイが貼り合わせ実装されている。

パッケージは、無反射コート付きの薄膜ガラスで封止されている。

続いて、上記のパッケージングされたセンサー特性の評価を行った。



図 2-11-2-1 外形 19mm の CLCC52 チップに搭載された、VGA 規格 InGaAs ハイブリッドチップの模式図および光学写真

2-11-3 成果

図 2-11-3-1 は、画素に入射された光量 ($1.55 \mu\text{m}$) とセンサー出力の関係を示す。本プロジェクトで採用した ROIC では、PD の端子電圧を読み出す方式を採用したため、光が弱い場合はリニア、光が強い場合は Log 特性を示す。従って、入射光量数 pW から数 μW に渡る4桁の光量に対して、飽和することなくセンサー出力が検出されている。

光が強い場合 : Log
 $i \propto \exp(-qV/kT) \rightarrow V \propto \text{Log}(i)$

光が弱い場合 : Linear
 $Q = \int i dt = CV \rightarrow V \propto C/i$

-5°C程度に冷却することにより
 5桁のダイナミックレンジを確保

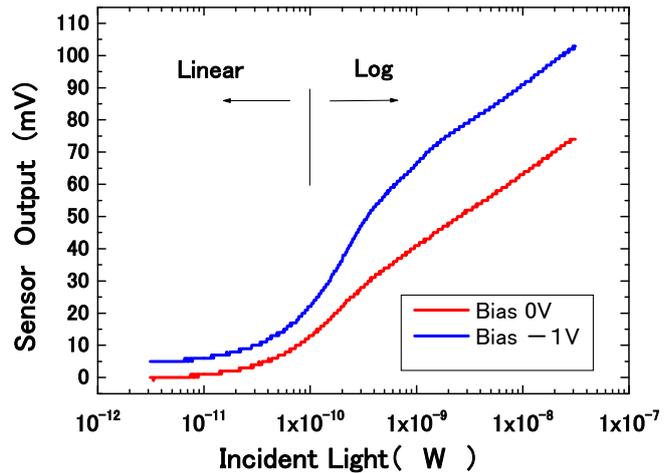


図 2-11-3-1 各画素への入射光量と ROIC 出力
 光が強い場合は、端子電圧は、光励起電流の Log となる。

図 2-11-3-2 および図 2-11-3-3 はそれぞれ赤外パワーLED および LED 照明にて、手のひらの血管像を観察した例である。本赤外カメラは、光量強い場合も飽和しにくいため、強度変化の大きな発光源や、指数的に光量が増える赤外透過像に適している。尚、図 2-11-3-2 に多数の黒点があるが、これは、ほとんど PD アレイの欠陥に起因している。VGA 画素(32万)のうち PD アレイのバイアス条件で変化する欠陥が千程度、バイアス条件で応答しない(バンプ未接続の可能性)欠陥が百程度で、本プロジェクトで開発された常温金バンプの不良率は、0.03%程度と推定される。これは、現在市販されている InGaAs 系赤外カメラの欠陥画素率(~0.5%)に比べて一桁以上低い値である。



図 2-11-3-2
 波長 1050nm のパワーLED の赤外画像
 LED 出力は 20mW であるが、画像は飽和していない。

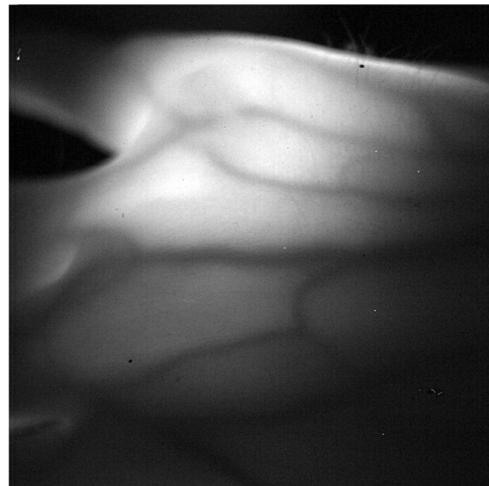


図 2-11-3-3
 赤外光透過照明による血管像(1050nm)。

図 2-11-3-4 は、水を入れた容器を可視および 1050nm、1600nm の LED 照明で撮影した図である。近赤外波長においては、波長 1400nm から水分の吸収が強くなるため、水が黒く写っている。また手のコントラストも変化している。このため InGaAs 赤外カメラを用いて生体認証や路面の氷結など保安作業に利用できる。

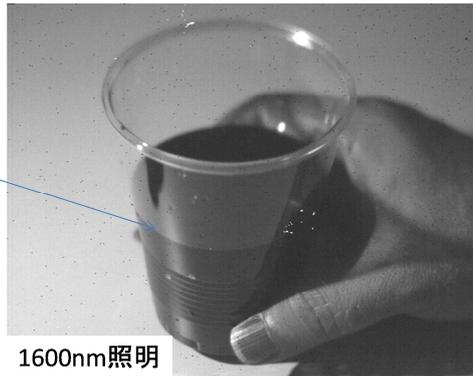
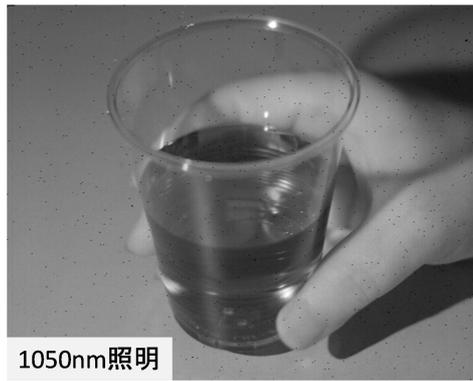


図 2-11-3-4 水の赤外カメラ像。可視(デジカメ)、1050nm および 1600nm における LED 照明約 10mW

第3章 まとめ

3-1 小型圧着ユニットの開発

加圧機構部、エアガイド部、 θ 方向駆動機構部(回転方向位置合わせ用)からなる新型ユニットを開発した。この結果圧着ユニットサイズは装置筐体内に収めるサイズとすることができ、装置幅300mmに収めることができた。

3-2 高精度アライメント技術の開発

装置幅300mmの筐体に耐荷重700Nの高精度XYテーブルを収めるため新規にテーブル設計を行った。機構としてはテーブル外側にモータの張り出し部がないリニアモータを採用し、耐荷重の大きいリニアガイドを採用した。また、プリアライメントと赤外線透過認識によるファインアライメントを行うことにより、アライメント精度 $0.5\mu\text{m}$ を達成した。

3-3 高精度平面調整技術の開発

圧着ヘッドをステージ側に押し付けることで、ヘッドの平面にステージが倣う機構をステージに内蔵した。倣い動作の後は、ロックすることで平面度を保持する機構とし、このシーケンスを自動でできるように装置本体のソフトに機能として搭載した。この結果、平面度 $0.5\mu\text{m}$ を実現できた。

3-4 小型酸化抑制ユニットの開発

超音波ホーンに気密シールを取り付け、接合時に超音波ホーンがステージに下降し、圧着ステージとの間で微小な密閉空間が形成した。この空間に N_2 パージし、3.7秒で酸素濃度100ppmの酸化抑制雰囲気を作ることができた。

3-5 3D-LSI 低衝撃荷重圧着ヘッドの開発

2-1 開発した圧着ヘッドにてヘッドの接地速度を振り、衝撃荷重を検証した。5mm/sec以下で衝撃荷重が検出されなかった。目標とした衝撃荷重5N以下を達成することができた。

3-6 接合の低温化技術の開発

先鋭バンプと超音波接合の組み合わせで、常温でもチップ当たり約30万接点の超高密度接合を実現する技術を開発した。超音波の加振により先鋭バンプの圧潰が促進され、この圧潰に伴って生じる微小結晶粒群への再結晶化により新生面の生成が生じることが常温での強固な接合を生じさせているものと理解できる。

3-7 低荷重プロセス技術の開発

バンプの微細化が低荷重化に有効であり、接点数の多くない用途では、 0.1gf/bump でも応用が可能であることを示した。また、低荷重領域での接合では、同じ荷重であれば、微細化することで大きな接合強度が得られた。これは、微細化することで圧潰が大きく起こり、その結果新生面での接合面積が増大するためと理解できる。

3-8 先鋭化 Au バンプ形成技術の開発

フォトレジストの処理条件によって形状を制御することで先鋭バンプのサイズを縮小する技術を開発し、 $15\mu\text{m}$ ピッチで約30万バンプを1チップ上に形成する技術を開発した。さらなる微細化も可

能と期待できる。

3-9 ROIC 貼り合わせ実装

InP 基板上的フォトダイオードアレイを Si CMOS ROIC 上に先鋭バンプの超音波接合を用いてピクセルレベルで接合する技術を開発した。超音波加振に特有の InP 基板裏面の傷の発生を防止できるステージを開発した。透過赤外光を用いて高精度の位置整合(アライメント)を行うための素子構造も開発した。これらを総合して、25 μ m ピッチの qVGA(332 \times 268 ピクセル)および 15 μ m ピッチの VGA(640 \times 512 ピクセル)の解像度をもつイメージセンサーチップの接合を実現した。

3-10 高密度近中赤外 PD アレイの開発

本開発項目では、3D-LSI 接合装置の性能実証として、VGA(32 万画素)および qVGA(8万画素)規格の InGaAs-PD アレイを製作した。本開発に使用した反転型 PD アレイは、製作が容易で信頼性の高いプレーナ構造でありながら、独自の電氣的なアイソレーション構造により高い素子分離性能を持つ。また、素子の感度を決める暗電流特性においても、世界トップレベルの性能を有する。

尚、InGaAsPD の外側の InGaAs 感光層をエッチング除去し、透過型アライメントに適したアライメントマークを形成しており、バンプ接合において、高精度な自動アライメントが実現できた。

3-11 実装サンプルの評価

上記反転型 PD アレイに、電圧検出タイプの ROIC を組み合わせ、セラミックパッケージに実装した。デモカメラに装着し、比較的鮮明な赤外画像を取得した。常温金バンプによる接続不良率($\sim 0.03\%$)は、現在の化合物系 PD アレイの欠陥密度($\sim 0.3\%$)を下回る。従来 InGaAs など化合物系赤外カメラと ROIC との接合は、In バンプが使用されてきたが、In を溶解するため 200 $^{\circ}$ C 程度の加熱処理を必要としていた。本開発により実証された常温 Au バンプ方式においては、

1. 常温における接合プロセスであるため、シリコンと化合物半導体との熱膨張係数の違い($\sim 3\text{ppm}$)による位置ずれの影響が無い場合、さらなる画素の微細化が容易である。
2. In に比べて Au は安定であり、信頼性が高い。また、半田フローなど、通常の回路組み立てプロセスに耐える。
3. Au バンプ製造工程は、液晶ドライバーなどで量産プロセスが確立しており、In バンプ工程に比べて遙かに歩留まりが高く、しかも安価である。

など、赤外カメラの量産において、従来の In バンプ方式に比較して様々なメリットがあることが実証された。

現在、本プロジェクトで製作された小型圧着ユニットを使用して赤外カメラ用ハイブリッドチップの小規模生産を開始するにあたり、ボンディング実装前のハイブリッドチップレベルでの画像評価や、ボンディング後、ガラス封止前のチップを製造工程の途中で接合、実装工程がその場評価可能な回路モジュールを準備している。

成果概要まとめ

3D-LSI 接合装置の開発		最終目標	達成率
1	小型圧着ユニットの開発	圧着ユニットを幅 300mm の筐体に搭載できるよう小型化する。	100%
2	高精度アライメント技術の開発	0.5 μm のアライメント精度を目標とする。	100%
3	高精度平面調整技術の開発	接合面内での平面度 0.5 μm 以内となるように技術開発を行う。	100%
4	小型酸化抑制ユニットの開発	接合材料の酸化抑制を行う。	100%
3D-LSI 接合プロセスの開発		最終目標	達成率
5	低衝撃荷重圧着ヘッドの開発	5N 以下に抑制する。	100%
6	接合の低温化技術の開発	100°C 近辺での接合を可能にする。	120%
7	低荷重プロセス技術の開発	15 μm ピッチ実デバイス実装評価で 0.1g/バンプでの接合を可能とする。(接合荷重 0.1g/バンプは、圧着ユニットを 300mm 幅筐体へ内蔵するためのプロセスの参考目標)	100%
8	先鋭化 Au バンプ形成技術の開発	IC 上へのピッチ 15 μm 、バンプ数 30 万のバンプ形成。	100%
9	RIOC 貼り合わせ実装	化合物半導体実デバイス (VGA30 万バンプ、15 μm ピッチ) の実装を実現する。	100%
3D-LSI (高精細赤外線撮像デバイス) の開発		最終目標	達成率
10	高密度近赤外 PD アレイの開発	15 μm ピッチの高精細 2 次元アレイを試作する。	100%
11	実装サンプルの評価	15 μm ピッチの実デバイス実装サンプル (赤外面像モジュール) の特性評価する。	100%