

平成 2 1 年度戦略的基盤技術高度化支援事業
「キャリア重畳波におけるデジタル復調回路の研究」

研究開発成果等報告書

平成 2 2 年 3 月

委託者 関東経済産業局
委託先 株式会社浜名湖国際頭脳センター

目 次

ページ

1. 研究開発の概要	2
1.1 研究開発の背景・研究目的及び概要.....	2
1.1.1 研究背景	2
1.1.2 研究目的及び概要	3
1.2 研究体制	4
1.3 成果概要	5
1.4 当該研究開発の連絡窓口	6
2. 本論	7
2.1 研究の流れ	7
2.1.1 アルゴリズム検討&モデル作成.....	7
2.1.2 ハードウェア開発（基板）	8
2.1.3 FPGA開発	10
2.1.4 実機評価	10
2.2 「サブテーマ1-1：ドップラーシフトの課題への対応」	10
2.2.1 目的と目標	10
2.2.2 アルゴリズム検討	11
2.2.3 ハードウェア設計（FPGA／基板）	11
2.2.4 実機評価	12
2.3 「サブテーマ2-1：振幅変動による課題への対応」	15
2.3.1 目的と目標	15
2.3.2 アルゴリズムの検討	15
2.3.3 ハードウェア設計（FPGA／基板）	15
2.3.4 実機評価	15
2.4 「サブテーマ3-1：フィルタの小型化への対応」	16
2.4.1 目的と目標	16
2.4.2 アルゴリズム検討	17
2.4.3 ハードウェア設計（FPGA／基板）	18
2.4.4 実機評価	18
3. 全体総括	19
3.1 成果総括	19
3.2 研究開発後の課題・事業化展開.....	20

1. 研究開発の概要

1.1 研究開発の背景・研究目的及び概要

1.1.1 研究背景

近年の無線通信技術の著しい進歩によって、無線通信の需要は年々増加する傾向である。しかしながら無線の周波数資源は有限である為、より一層の周波数資源の高度利用が求められている。総務省においても「電波のより能率的な利用に資する技術として概ね5年以内に開発すべき技術」として伝送効率及び収容効率の向上を可能にするためのナロー化、デジタル化の技術の開発を進めている。

衛星通信分野においても上記のような周波数資源の枯渇化は問題となっているおり、それに対する解決方法の一つとしてキャリア重畳伝送方式の技術が存在し、その有効性は実証されている。しかしながら、キャリア重畳波を復調する回路は従来の技術よりも高度な技術が必要となり、従来の復調回路においては、動作しないことが分かっている。その為、キャリア重畳波を復調するデジタル回路の開発を研究テーマとして掲げる。

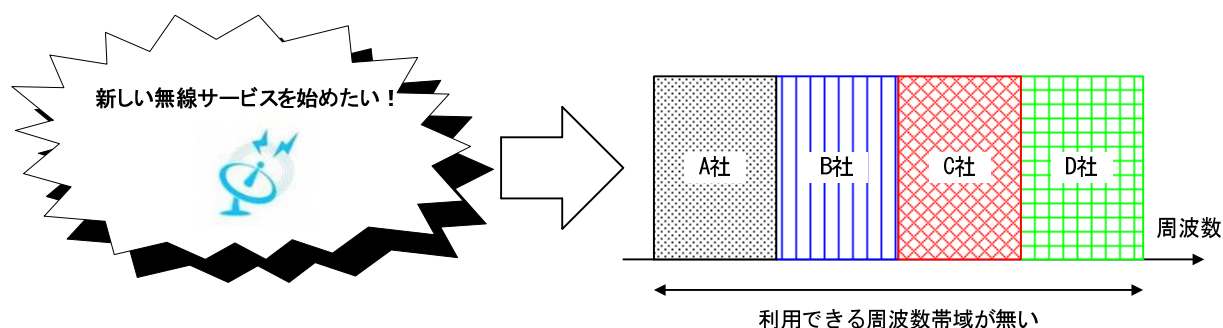


図 1-1 無線通信分野を取り巻く背景

【キャリア重畳伝送方式について】

キャリア重畳伝送方式とは従来帯域を分けて伝送して送信チャンネルと受信チャンネルの周波数を同一帯域に重畳して伝送する。受信機においては不要な送信チャンネルをキャンセルし、受信チャンネルのみを取り出す技術である。これにより、本来、受信と送信チャンネルで2つ分のチャンネルが必要であった周波数帯域を1つのチャンネルでまかなう事ができ、2倍の周波数効率を実現する事ができる。

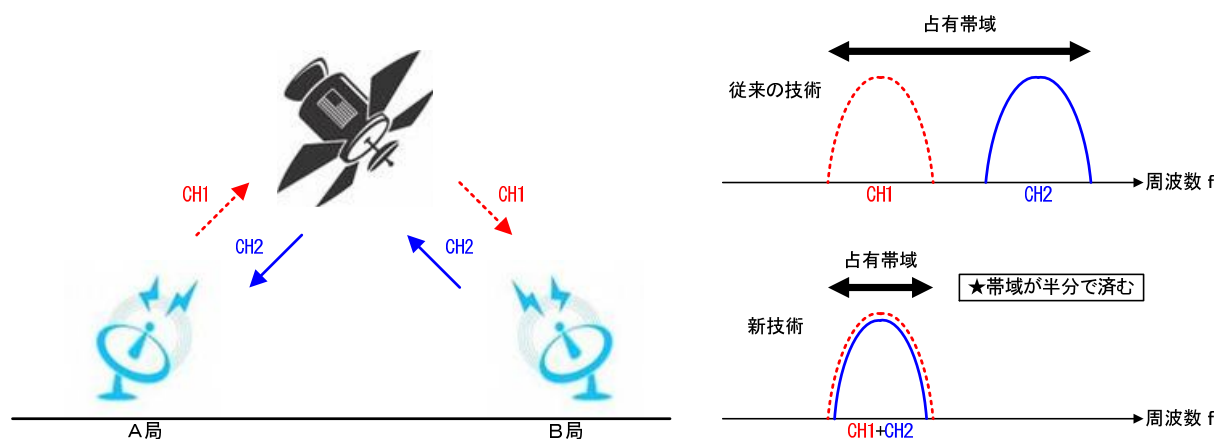


図 1-2 キャリア重畳伝送方式

しかしながら、キャリア重畳伝送方式を使用するに当たって、その前処理段階に位置する復調回路について従来の構成ではいくつかの問題点が生じており動作しないことが判明している。その為、本研究ではキャリア重畳波に対応することができる復調回路についてを研究テーマとして掲げる。

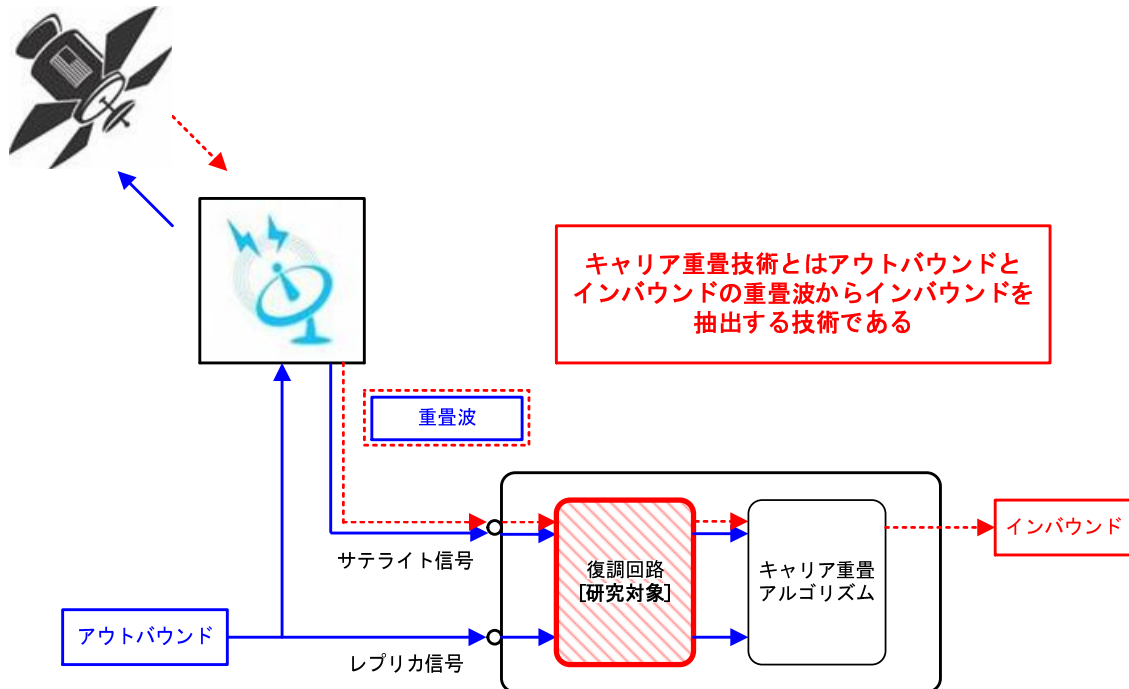


図 1-3 研究テーマであるデジタル復調回路の位置づけ

1.1.2 研究目的及び概要

本研究では、キャリア重畳波を復調する為のデジタル回路についてアルゴリズムの検討及びアルゴリズムの妥当性を立証するためのハードウェアの開発、検証を行う。研究に当たってはドップラーシフト、振幅変動、フィルタについての課題が存在し、これらの課題を解決する事が研究の主な目的となる。

まず、ドップラーシフトについては実際に起こりうる数値である $\pm 25\text{kHz}$ 程度まで対応できないと実用化しないが、現在はまだ数kHzの範囲でしか実現できていない。キャリア重畳波の復調においては、複雑な演算を用いないと排除したい不要波を特定するための特性を導くことができない。その為に今回の研究でドップラーシフトが $\pm 25\text{kHz}$ 程度まで対応できるアルゴリズムを研究開発する。

次に振幅変動を $\pm 0.2\text{dB}$ 以内に押さえる手法は、実験レベルでは達成できているが、実際にはノイズによる振幅変動のレベルが不確定なため、これを吸収可能とするアルゴリズムが確立していない為、今回の研究で新しいアルゴリズムを研究開発する。

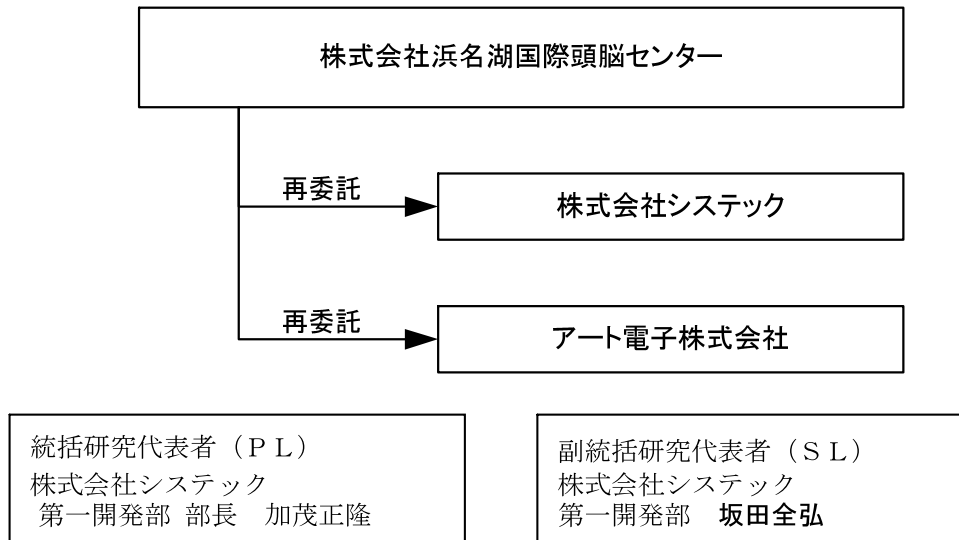
また、フィルタについては遮断周波数=シンボルレート $\times 0.7$ 、阻止域端周波数=シンボルレート $\times 1.26$ は、従来のフィルタで実現している値である。ただし上記の解決のためにはドップラーシフト、振幅変動に対する課題の対応が求められたため、不要波キャンセル装置内のスペースが不足することが予想されるので、フィルタ部の構成も改善して、現在は多くのスペースを占めているフィルタの小型化も併せて実現する事を目指す。

研究体制としてはアルゴリズムの検討、FPGA開発については開発実績がある㈱システックが実施する。基板の回路設計、基板のネットワーク設計及び基板製造については高速信号処理基板の開発製造実績のあるアート電子㈱が受け持つ。手法としてはアルゴリズムの検討をMATLABで行ない、ハードウェアについてはアルゴリズムが複雑となる為、FPGAを使用して実証時のフィードバックを可能にする事で基板作製費の低減を図る。

1.2 研究体制

(1) 研究組織及び管理体制

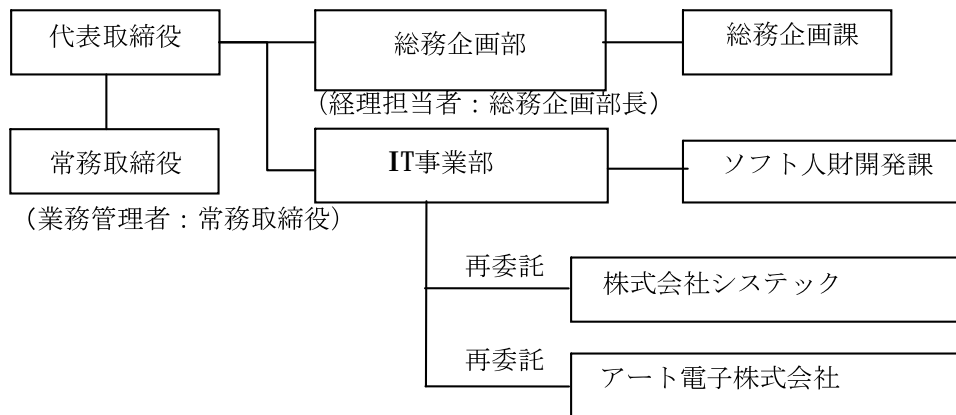
① 研究組織（全体）



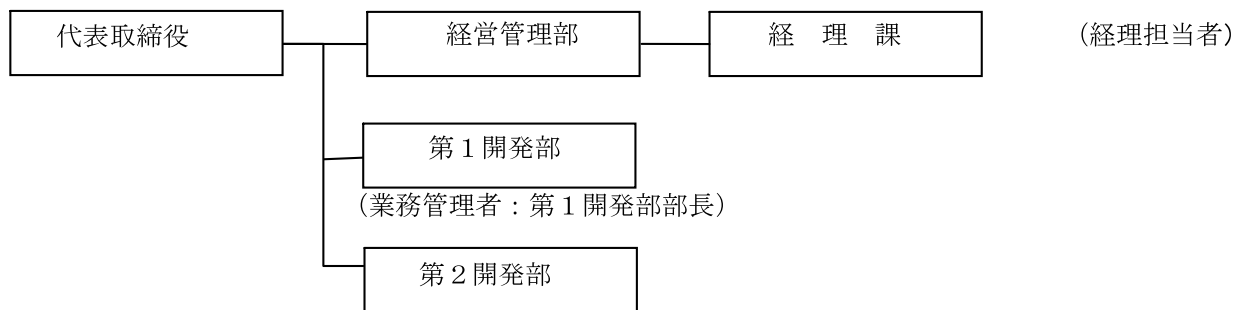
(2) 管理体制

① 事業管理者

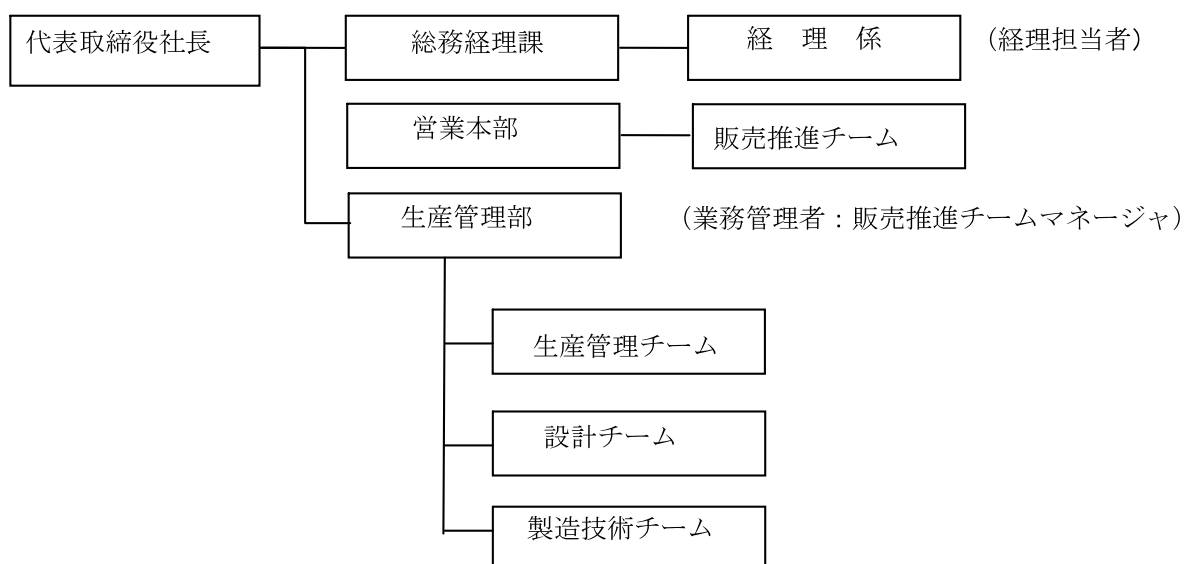
[株式会社浜名湖国際頭脳センター]



② 再委託先
[株式会社システック]



[アート電子株式会社]



1.3 成果概要

【サブテーマ1-1 ドップラーシフトの課題への対応 (AFC)】

■目標

変調方式QPSK及び16QAMのキャリア重畳波において±25kHzまでのドップラーシフトに対応できるAFC回路の開発。

■達成項目

変調方式QPSKのキャリア重畳波で±100kHzまで対応できるAFC回路の開発に成功した。

■今後の課題

変調方式16QAMのキャリア重畳波に対応できるAFC回路の開発。
フィールド試験の実施。

【サブテーマ2-1 振幅変動の課題への対応 (AGC)】

■目標

振幅変動を±0.2dBに抑えることのできるAGC回路の開発

■達成項目

振幅変動が50Hzの状況下において±0.2dBに抑えることのできるAGC回路の開発に成功した。

■今後の課題

フィールド試験の実施。

【サブテーマ３－１ フィルタの小型化課題対応】

■目標

遮断周波数＝シンボルレート×0.7、阻止域端周波数＝シンボルレート×1.26に対応し、且つ小型であるフィルタ回路の開発。

■達成項目

遮断周波数＝シンボルレート×0.7、阻止域端周波数＝シンボルレート×1.26に対応でき、且つ小型であるフィルタ回路の開発に成功した。

■今後の課題

さらなる小型化の対応
フィールド試験の実施。

1.4 当該研究開発の連絡窓口

（１）事業管理者の連絡窓口

所属	株式会社浜名湖国際頭脳センター
氏名	夏目和久
電話	053-484-4000
F A X	053-484-4001
E－M a i l	natsume@hamanako.co.jp

（２）開発実施者の連絡窓口

所属	株式会社システック
氏名	加茂正隆
電話	053-484-1351
F A X	053-484-4810
E－M a i l	masataka-kamo@systec.co.jp

所属	アート電子株式会社
氏名	小杉久美子
電話	053-439-7411
F A X	053-439-7415
E－M a i l	kosugi@art-denshi.co.jp

2. 本論

2.1 研究の流れ

本項では本研究の流れについて説明する。研究の流れについて図 2-1に示す。

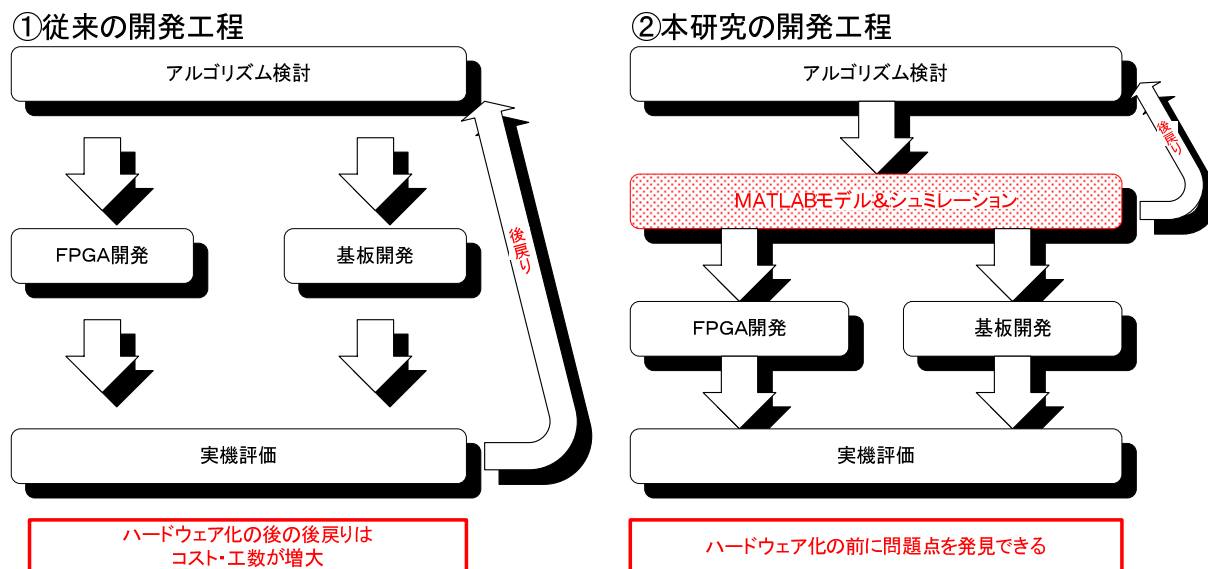


図 2-1 研究の流れ

本研究ではMathworks社が開発したMATLABを使用した。MATLABは行列計算、ベクトル演算、グラフ化など豊富なライブラリを持った、インタプリタ形式のテクニカルコンピューティング言語である。MATLABを使用することで短時間で簡単に科学技術計算を行う事ができる。問題点を研究の前工程で発見することができ、後戻りによる工数、コストを抑える事が出来る。MATLABのモデルにてアルゴリズムの妥当性を確立し、以降はFPGA、基板設計を行い、実機の評価にて目標の到達の有無を確認する。

2.1.1 アルゴリズム検討&モデル作成

アルゴリズムの検討では前述の通りMath Works社のMATLABを使用した。特に本研究においてはMATLABプロダクトファミリの1つであるSimulinkを使用し、検討を行った。図 2-2に実際にSimulinkを使用したモデリング例を示す。Simulinkは図 2-2のようにブロック線図によってモデリングを行うので複雑な演算を行っているモデルにおいても簡潔且つ正確に表現することができる。

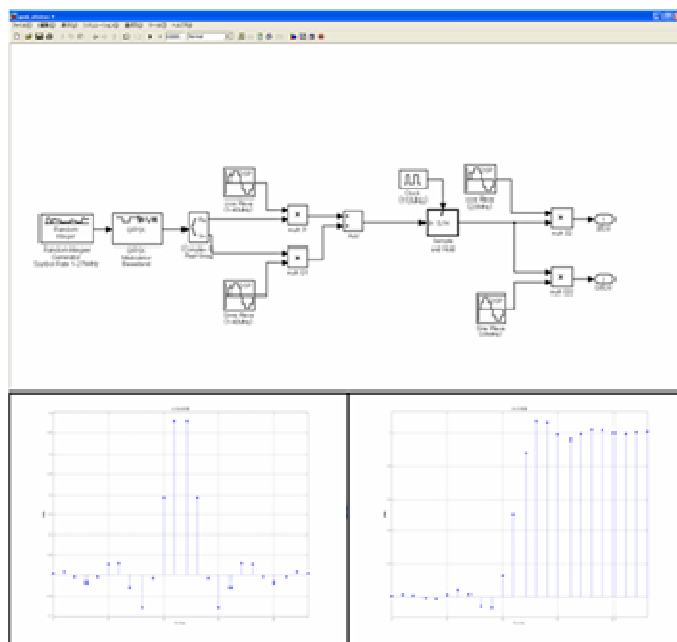


図 2-2 Simulinkを使用したモデリング例

2.1.2 ハードウェア開発（基板）

図 2-3に本研究で開発したハードウェアの全体写真を示す。本装置は復調部、キャンセラー部、変調部で構成される。各部の説明を下記に記す。



図 2-3 装置全体

■復調部

復調部の写真を図 2-4に示す。復調部においては前述の通りアナログボードとデジタルボードに分けられる。アナログボードの主な機能は中心周波数140MHzのIF入力に対し、BPF(Band Pass Filter)を通過し、FPGAで計算されたAGCのゲイン値をVGAで調整する。VGA後の信号は12bitのデジタル値として変換され復調部のデジタルボードに出力される。デジタルボードではデジタル化された12bitの信号をFPGA (DEM_FPGA)で復調処理する。復調処理は主に直交検波部、LPF(Low Pass Filter)部、AFC部、Interpolator部、Decimation Filter部、AGC部、モニタ選択部、CPU I/F部などの機能を有する。

復調された信号は重畳波であるSAT (サテライト) 信号とREP(レプリカ)信号としてキャンセラー部に出力される。またモニタ信号についてはI, Q信号をアナログ信号へD/Aし外部コネクタから出力する。アナログボードの主な機能は中心周波数140MHzのIF入力に対し、BPF(Band Pass Filter)を通過し、FPGAで計算されたAGCのゲイン値をVGAで調整する。VGA後の信号は12bitのデジタル値として変換され復調部のデジタルボードに出力される。



図 2-4 復調部(アナログボード・左／デジタルボード・右)

■ キャンセラー部

キャンセラー部の写真を図 2-5に示す。キャンセラー部の構成としてはキャリア重畳によるキャンセル機能をFNT_FPGA、EMF_FPGA、END_FPGAの3つのFPGAで実現する。また装置全体の制御をする為のCPU(HD64F3048BV)を搭載している。キャンセル処理されたデータは変調部へ出力する。

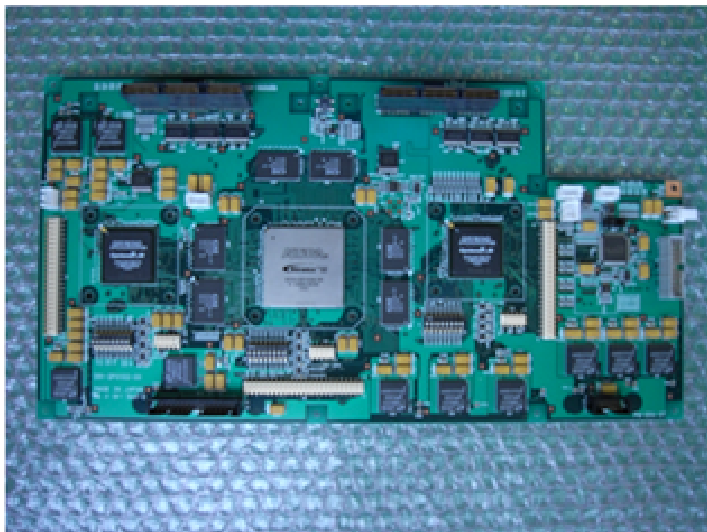


図 2-5 キャンセラー部

■ 変調部

変調部においては前述の通りアナログボードとデジタルボードに分けられる。デジタルボードではデジタル化された12 bitの信号をFPGA(MOD_FPGA)とDUC(Digital Up Converter)で変調処理する。変調処理は主にDUCに機能が集約されており、FPGAではDUCとのインターフェース機能を有する。DUCにてIF140MHzにアップコンバートされ、アナログ部へ出力する。アナログボードの主な機能はBPF(Band Pass Filter)を通過し、CPUから設定されるゲイン値をVGAで調整された後、コネクタから出力する。またモニタ信号についてはアップコンバート前のI,Q信号をアナログ信号へD/Aし外部コネクタから出力する。



図 2-6 変調部（デジタルボード・左／アナログボード・右）

2.1.3 FPGA開発

本研究ではDEM_FPGA、FNT_FPGA、EMF_FPGA、END_FPGA、MOD_FPGAの計5つのFPGAの開発を行った。各FPGAの詳細を以下に記す。

■DEM_FPGA

メーカー／品名 Xilinx社／Virtex-5 XC5VSX95T
機能 復調処理全般及びモニタ機能

■FNT_FPGA

メーカー／品名 Altera社／Cyclone-3 EP3G120F780C7N
機能 キャリア重畳伝送方式を使用したキャンセル部の前処理部

■EMF_FPGA

メーカー／品名 Altera社／Stratix-2 EP2S130F1508G5N
機能 キャリア重畳伝送方式を使用したキャンセル部のExpand Matched Filter部

■FNT_FPGA

メーカー／品名 Altera社／Cyclone-3 EP3G120F780C7N
機能 キャリア重畳伝送方式を使用したキャンセル部の後処理部

■MOD_FPGA

メーカー／品名 Xilinx社／Virtex-5 XC5VLX30
機能 END_FPGAとDUCのインターフェース回路及びモニタ機能

2.1.4 実機評価

本研究にて開発されたハードウェアは以下の環境にて実機評価を行った。具体的な接続については各サブテーマにて説明する。

- ①ESGベクトル信号発生器 (E4438C／アジレントテクノロジー)
- ②スペクトラムアナライザ (E4440A／アジレントテクノロジー)
- ③ネットワークアナライザ (E5071C／アジレントテクノロジー)
- ④ロジックアナライザ (16802A／アジレントテクノロジー)
- ⑤シングル・チャネル・パワーメータ (E4418B／アジレントテクノロジー)
- ⑥シングル・チャネル・パワーメータ (E4418B／アジレントテクノロジー)
- ⑦アベレージ・パワーセンサ (E9300A／アジレントテクノロジー)
- ⑧オシロスコープ (DSO5054A／アジレントテクノロジー)
- ⑨ホワイトノイズ発生器 (多摩川電子)

2.2 「サブテーマ1-1：ドップラーシフトの課題への対応」

2.2.1 目的と目標

本テーマにおける目的は、ドップラー効果の影響による通信品質の劣化をAFC回路 (Auto Frequency Circuit) によって低減させる事である。目標は以下の条件を満たす事ができるAFCの回路の実現である。

[条件]

周波数 IF周波数 (f_{if}) 140MHzに対して ± 25 KHzのドップラーシフトに対応
変調方式 QPSK、16QAM
シンボルレート 1Msps $\sim$ 27Msps (Step : 1Msps)

2.2.2 アルゴリズム検討

研究の開始にあたってMATLAB/Simulinkを使用してAFC回路のアルゴリズムについての検討を行った。作成したシュミレーションモデルを図 2-7に示す。ランダムデータを入力とし、QPSKもしくは16QAMで変調したデータをAFC処理を行った場合とそうでない場合で結果の比較を行った。

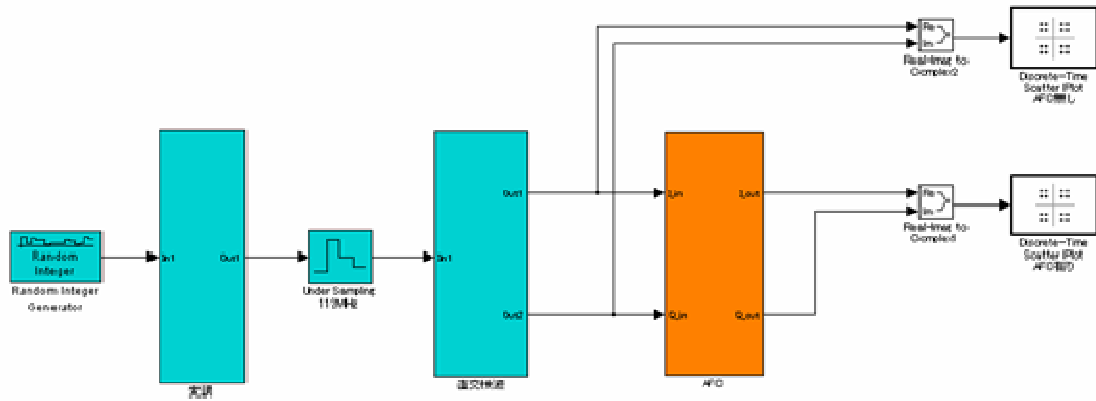


図 2-7 MATLAB/Simulinkモデル

2.2.3 ハードウェア設計（FPGA／基板）

基板設計については「2.1.2 ハードウェア開発」項の基板を使用した。
FPGAについては「2.1.3 FPGA開発」項のFPGAを使用した。

2.2.4 実機評価

■キャンセル量の測定

・評価システム

キャンセル量の測定の評価システムについて図 2-8に示す。サテライトデータであるVSG(IB)にはIF周波数に $140\text{M} \pm 40\text{kHz}$ の周波数オフセットを与えて出力する。レプリカデータであるVSG(OB)にはIF周波数 140MHz を与えて出力する。AFC回路が正常に動作すればIBの $\pm 40\text{kHz}$ の周波数オフセットは打ち消されともIF周波数 140MHz の同じデータになる為、出力(RX_OUT)は限りなく0で出力されるはずである。

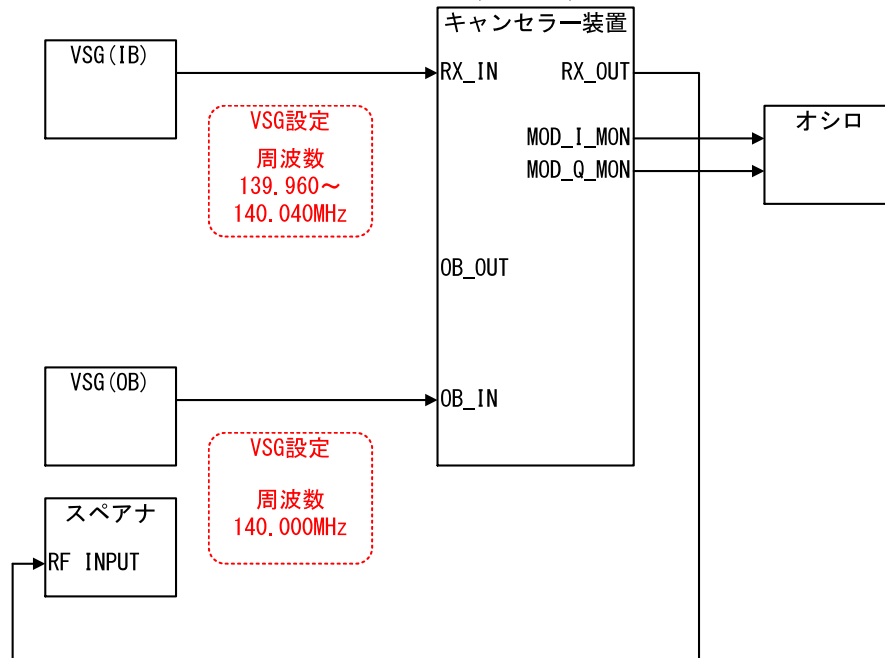


図 2-8 キャンセル量測定システム

・評価結果

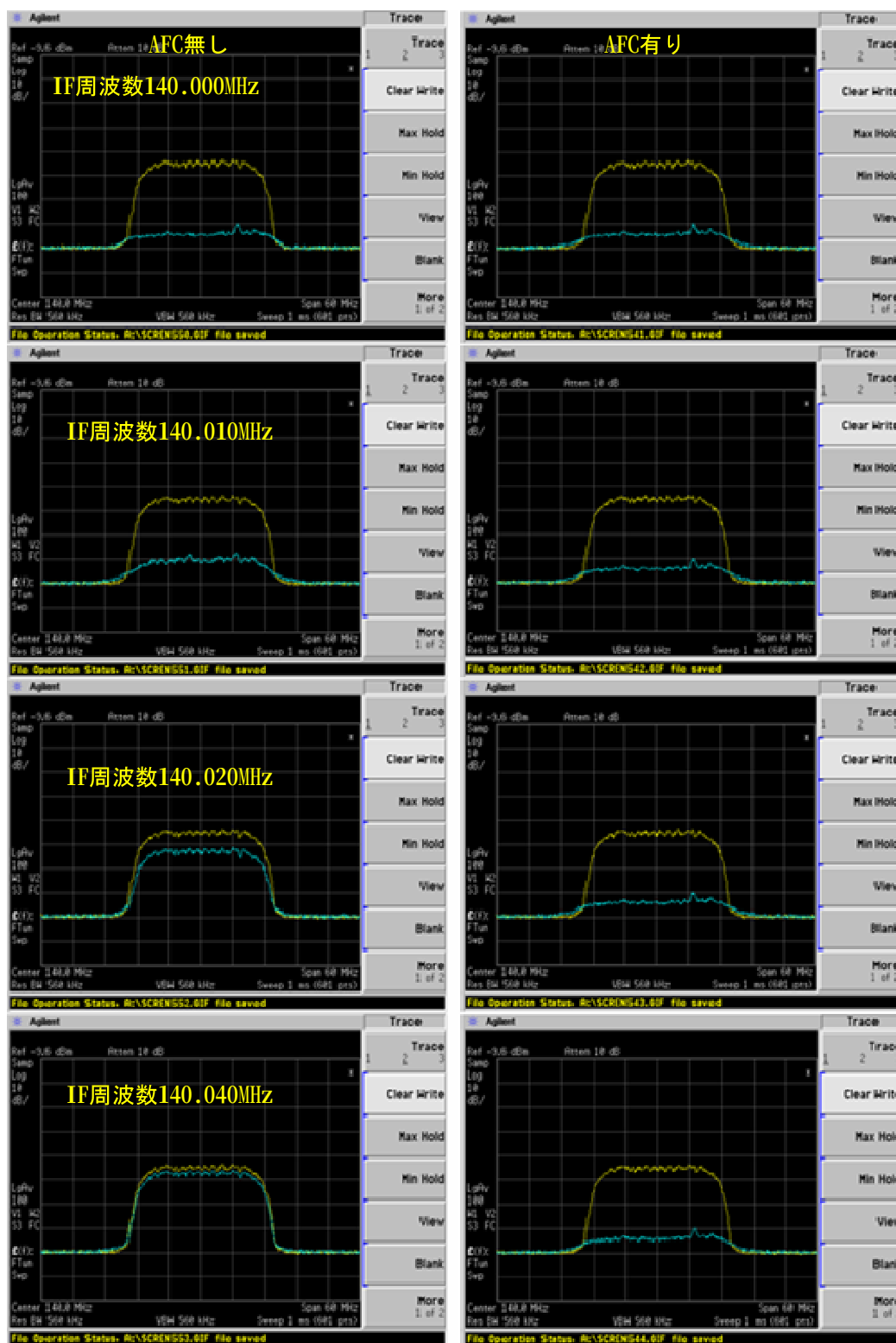


図 2-9 キャンセル量測定結果(黄線：入力／青線：出力)

評価結果を図 2-10に示す。周波数オフセットが存在していても存在していない時と同じような特性が得られる事ができ、AFC回路が正常に動作している事を確認できた。

■BER測定

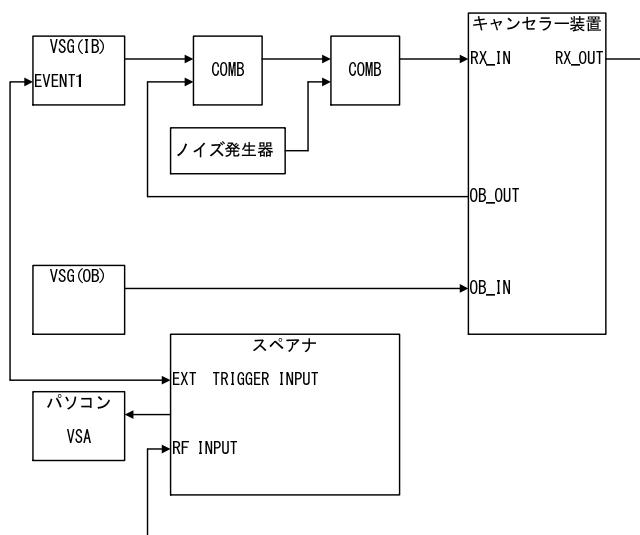


図 2-10 BER測定システム

図 2-10にBER測定システムのブロック図を示す。RX_IN側にはIBとOBのキャリア重畳波+ノイズを入力する。OB_INにはVSG(OB)をそのまま入力する。測定はRX_OUTから出力されたキャンセル後のデータIBを測定する。測定結果を図 2-11に示す。

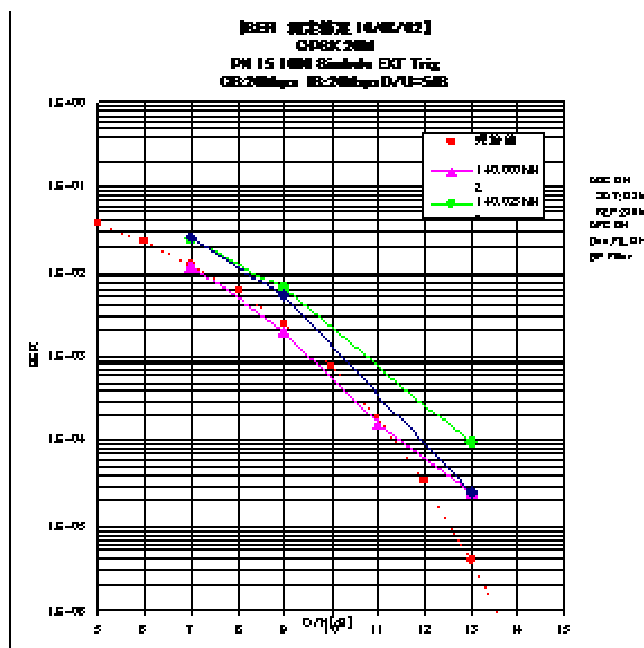


図 2-11 BER測定結果(SR 20Mps)

BER測定については周波数オフセットが0の時に比べて若干BER特性が悪いが理論値に近い所まで持っていく事ができた。また、シンボルレートは1Mps~25Mpsまで対応でき、周波数オフセットは目標の±25KHzより大きく上回った±100KHzまで対応する事ができた。但し変調方式についてはQPSKのみで16QAMに対応する事は出来なかった。

2.3 「サブテーマ2-1：振幅変動による課題への対応」

2.3.1 目的と目標

キャリア重畳技術は安定した振幅の状況下でのみ良好な特性が得られる為、振幅変動に対してのAGC回路の研究を行ない、具体的にはMATLABを使用したアルゴリズムの検討と、その上でのハードウェア化によって実証する。目標としてはAGCのアルゴリズム確立および振幅変動 $\pm 0.2\text{dB}$ 以内に対応できる事を目指す。

2.3.2 アルゴリズムの検討

AGCのアルゴリズムについてはPID制御をしてする方法を採用した。PID制御はフィードバック制御の一種であり、入力値の制御を出力値と目標値との偏差、その積分、および微分の3つの要素によって行う方法のことである。この方法を使用することでAGCの応答時間を早くする事ができた。

2.3.3 ハードウェア設計（FPGA／基板）

基板設計については「2.1.2 ハードウェア開発」の項で示した基板を使用した。

2.3.4 実機評価

図 2-12にAGCの評価システムを示す。AGCの評価ではAM変調の信号を入力する。50HzのAM変調を低周波のノイズとみなして出力が安定するかを確認する。評価結果については図 2-13に示す。

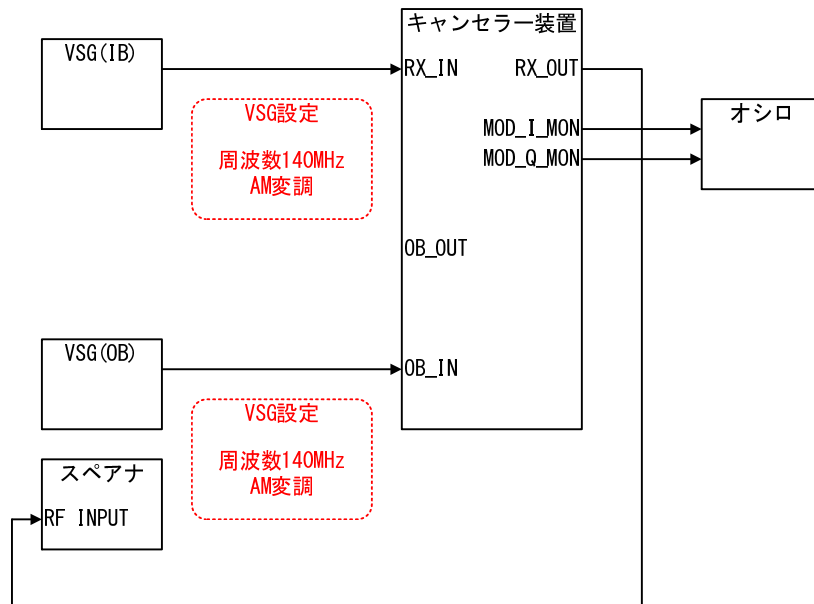


図 2-12 AGC評価システム

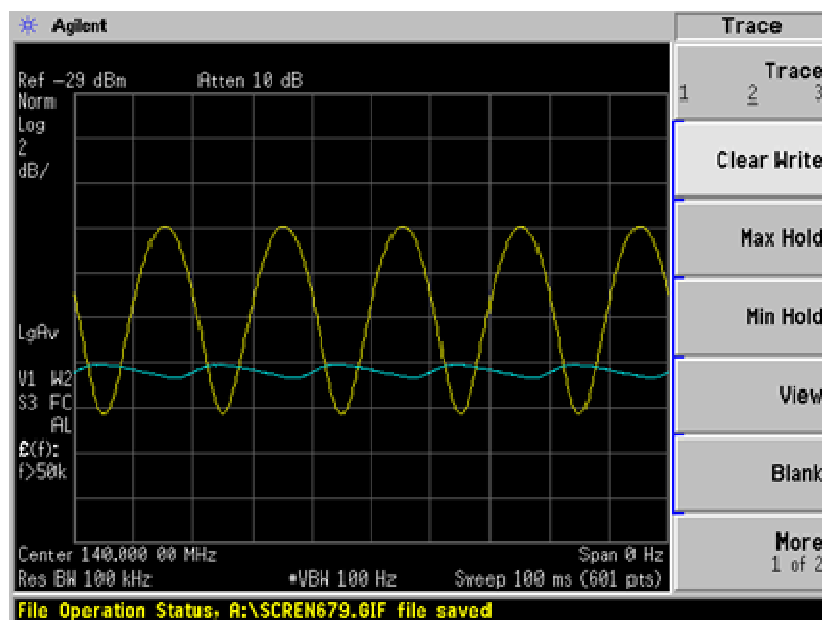


図 2-13 スペアナ波形（SR 20Msps）【黄線：AGC OFF／青線：AGC ON】

図 2-13の結果からも分る通り、50Hz程度の振幅変動であったら、今回開発したAGC回路で0.2dB程度に抑える事に成功した。

2.4 「サブテーマ3-1：フィルタの小型化への対応」

2.4.1 目的と目標

キャリア重畳技術は不要な周波数成分が存在すると良好な特性が得られない為、不要周波数の抑制量が高いフィルタとしての機能を維持しつつ、小型化するアルゴリズムの研究を行う。具体的にはMATLABを使用したアルゴリズムの検討と、その上でのハードウェア化によって実証する。

目標については遮断周波数＝シンボルレート×0.7、阻止域端周波数＝シンボルレート×1.26に対応し、且つ小型であるフィルタ回路の開発を実現する。

2.4.2 アルゴリズム検討

MATLAB/Simulinkを使用しで作成したモデルを図 2-14に示す。

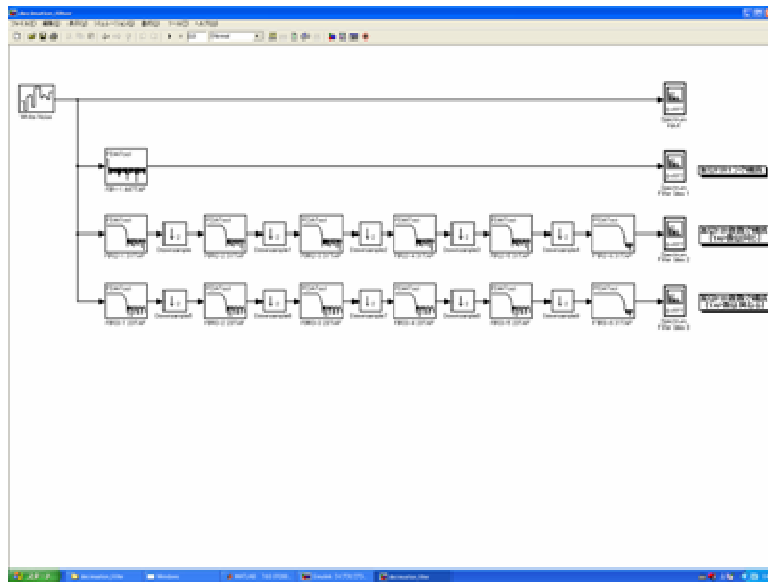


図 2-14 MATLAB/Simulinkモデル

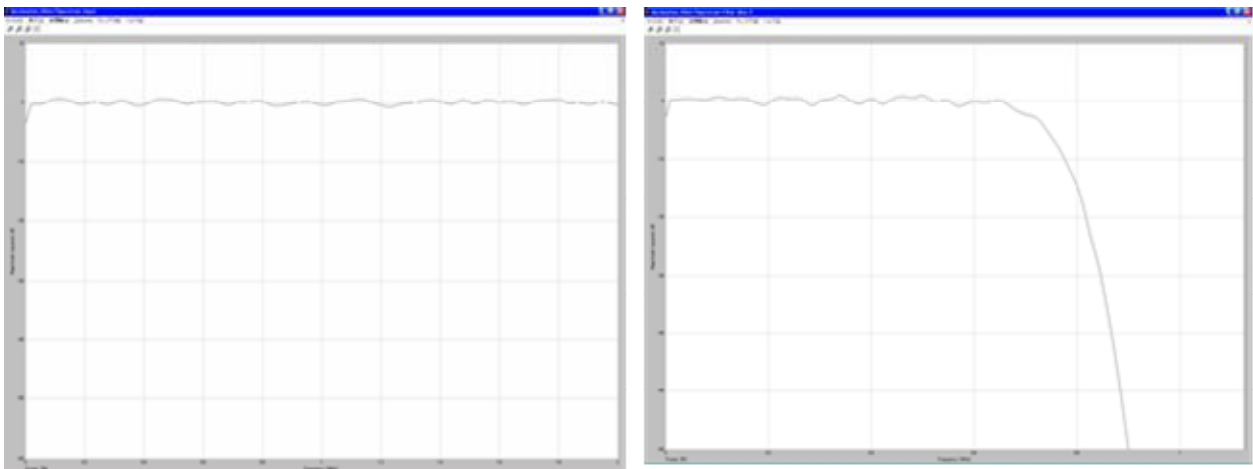


図 2-15 MATLAB/Simulinkシュミレーション（左：入力／右：出力）

MATLAB/Simulinkのモデルのシュミレーション結果を図 2-15に示す。入力にはある一定のレベルのノイズをいれたところ（図 2-15/左）、で示したとおり正常にフィルタされている事を確認する事ができた。

2.4.3 ハードウェア設計（FPGA／基板）

基板設計については「2.1.2 ハードウェア開発」項の基板を使用した。

FPGAについては「2.1.3 FPGA開発」項のFPGAを使用した。図 2-16

2.4.4 実機評価

実機評価のシステムを図 2-16に示す。ノイズ発生器にであるレベルのノイズを装置に入力し、フィルタされた出力をスペクトラムアナライザで観察する事によってフィルタの特性を測定する。

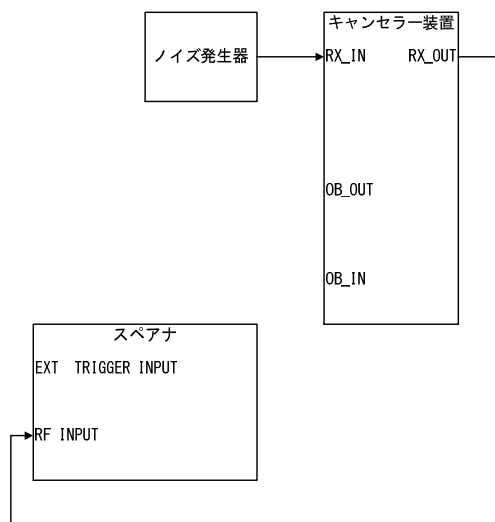


図 2-16 評価システム

図 2-17に実機評価の結果を示す。これらの結果からも分るとおりシンボルレートに応じたフィルタの特性を得る事ができた。さらに回路規模についても今回検討した案のなかで一番小さな構成で実現する事が出来た。

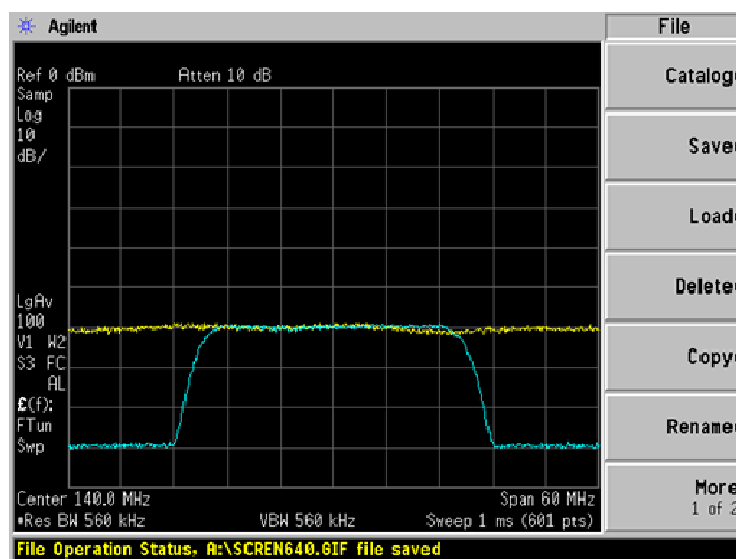


図 2-17 スペアナ波形（SR 20Mpsps）

3. 全体総括

3.1 成果総括

【サブテーマ 1－1 ドップラーシフトの課題への対応】

■目標

変調方式QPSK、16QAMのキャリア重畳波において±25kHzまでのドップラーシフトに対応できるAFC回路の開発。

■成果

変調方式QPSKのキャリア重畳波で目標での4倍のスペックである±100kHzまで対応できるプリアンブルレスのAFC回路の開発に成功することができた。しかしながら変調方式16QAMの重畳波には対応することまではできなかったため、16QAMへの対応は今後の課題となる。また、BER特性についても若干の劣化があったためBERの改善も今後の課題となる。

【サブテーマ 2－1 ドップラーシフトの課題への対応】

■目標

振幅変動±0.2dB 以内に対応できるAGC回路の開発。

■成果

50Hzの振幅変動に対して±0.2dB 以内に対応できるAGC回路の開発に成功する事が出来、本研究の目標については達成する事が出来た。

【サブテーマ 3－1 フィルタの小型化への対応】

■目標

遮断周波数＝シンボルレート×0.7、阻止域端周波数＝シンボルレート×1.26に対応し、且つ小型であるフィルタ回路の開発。

■成果

遮断周波数＝シンボルレート×0.7、阻止域端周波数＝シンボルレート×1.26に対応でき、且つ小型であるフィルタ回路の開発に成功したが、まだ小型化できる余地はあり、さらなる回路規模の圧縮が課題となる。

3.2 研究開発後の課題・事業化展開

研究開発後の課題であるが、「3.1成果総括」でも述べたとおり今回掲げたサブテーマの内「1-1 ドップラーシフトへの対応」については16QAMの変調方式に対応する事が出来なかった為、この課題が解決されない限りは今後の事業化は難しい。また、目標は達成されたが、「3-1 フィルタの小型化対応」については更なる小型化が求められる。理由としてはさらに小型化を進める事によって、現在搭載しているFPGAのグレードを下げる事ができ、それにより装置のコストダウンが出来る為である。現在は装置の原価だけで100万円以上のコストがかかっており、今後製品化するには価格の問題も解決しなくてはならない問題であることは間違いない。今回の研究テーマ以外においての課題としては、現在はまだフィールドの試験を行っていない為、今回の装置を組み込んだ全体のシステムとして動作するかどうかは疑問が残り、上記の技術的な問題が解決され次第、フィールド試験をする事は重要であると考えられる。

事業化についてはまず川下分野に当たる衛星通信事業者（スカパーJSAT㈱等）に研究結果についてのプレゼンテーションを行い、意見を聞いた上で、今後の事業化のアウトラインを画策する。特に衛星通信の分野では、衛星の密集が進んでいるため、他の無線通信に先行して周波数の有効利用に関する課題が切実になっている。今回開発するデジタル復調回路を用いた「不要波キャンセル装置」は今後、衛星通信におけるコンテンツ事業者には使用不可欠なものとなっていくことが想定されるため、コンテンツ事業者全社（現在は150社程度）に販売をしていきたい。また、無線サービスの需要は年々高まっている背景もあり、本研究における技術を他の無線通信分野に応用ができないかも検討していきたいと考えている。

- 付録

■専門用語の説明

- ・ デジタル復調

データをアナログである電波に変換する方法を変調といい、その逆で電波をデータに復元する方法を復調と呼ぶ。近年はノイズ等の影響を受けないデジタル復調(変調)の技術が主流となっている。

- ・ AFC

Automatic Frequency Controlの略。受信周波数を安定にするための電子回路。

- ・ AGC

Automatic Gain Controlの略。入力ゲインを安定にするための電子回路。

- ・ キャリア重畳

従来帯域を分けて伝送していた往きの回線（アウトバウンド）と帰りの回線（インバウンド）の周波数を同一帯域に重畳して伝送する技術。信号を重畳して伝送することで、周波数の有効利用に適している。

- ・ MATLAB

MathWork社が開発している数値解析ソフトウェアでありその中で使用するプログラミング言語の事である。MATLABを使用するとC言語やFORTRANといった従来のプログラミング言語よりも短時間で簡単に科学技術計算を行うことができる。

- ・ ドップラーシフト

通信端末または局の移動によるドップラー効果によって周波数が増減する現象。また衛星通信においては中継する静止衛星の動きによってもドップラーシフトが発生する事もある。

- ・ シンボルレート

通信等の伝送路において符号(Symbol)の送り出される速度の事を指す。単位はsps(Symbol Per Second)

- ・ IF周波数

送信機や受信機の間段階で送信信号あるいは受信信号の周波数を変換した周波数である。IF周波数を用いるメリットは、IF周波数を使用しない場合、高周波の信号をそのまま処理しなければならず、受信回路の設計が困難だが、IF周波数を用いることで信号の周波数が低くなるので扱いやすく、高い増幅利得が得やすくなる。しかも単一周波数なので、フィルタ等が選択度の高い（優れた）物を使用する事ができる。

- ・ FPGA

Field Programmable Gate Arrayの略。製造後にユーザの手許で内部論理回路を定義・変更できる集積回路の事を指す。通常の集積回路（IC、LSI）は設計時に仕様や機能が定まり、製造時に全ての回路が固定されるために、後から回路を変更する事は出来ない。これに対してプログラマブルロジックデバイスは、出荷時には特定の処理を行う回路が定義されておらず、ユーザが手許に必要な回路の構成情報をデバイスに設定して初めて機能を発揮する。