

## 平成21年度戦略的基盤技術高度化支援事業

「高信頼性、低価格、高速通信のSSDを実現するコントローラLSIの開発」

研究開発成果等報告書

平成22年 3月

委託者 関東経済産業局

委託先 凸版印刷株式会社

## 目次

目次	2
第1章 研究開発の概要	3
1-1 研究開発の背景・研究目的及び目標	3
1-2 研究体制	5
1-2-1 研究組織	5
1-2-2 管理体制	5
1-2-3 研究者	7
1-3 成果概要	8
1-3-1 解析調査（達成率:120%）	8
1-3-2 SSDコントローラLSIの開発（達成率:100%）	8
1-3-3 SSDコントローラLSI向け誤り訂正符号技術の開発（達成率:100%）	8
1-3-4 SSDコントローラLSIのレイアウト設計及び試作（達成率:100%）	8
1-3-5 SSDコントローラLSIとキャッシュ・メモリのワンチップ化に関する検討	8
1-4 当該研究開発の連絡窓口	9
第2章 本論	10
2-1 解析調査	10
2-1-1 NANDフラッシュ・メモリのエラー解析結果	10
2-1-2 SSDコントローラLSIの解析調査結果	17
2-2 SSDコントローラLSIの開発	18
2-2-1 SSDコントローラLSIの概要	18
2-2-2 SSDコントローラLSIの設計	19
2-3 SSDコントローラLSI向け誤り訂正符号技術の開発	21
2-3-1 誤り訂正符号	21
2-3-2 BCH符号	22
2-3-3 NANDフラッシュ・メモリに適した誤り訂正符号	22
2-3-4 計算機シミュレーション結果	23
2-4 SSDコントローラLSIのレイアウト設計及び試作	26
2-4-1 SSDコントローラLSIの試作	26
2-4-2 SSDコントローラLSIのレイアウト設計	26
2-5 SSDコントローラLSIとキャッシュ・メモリのワンチップ化に関する検討	28
第3章 全体総括	29
3-1 研究開発成果のまとめ	29
3-2 今後の課題	29
3-3 事業化展開	29

# 第1章 研究開発の概要

## 1-1 研究開発の背景・研究目的及び目標

情報通信機器、車載機器、医療機器など、広い分野において、高速通信、低電力、耐振動性、大容量、静寂、高信頼、安価なデータストレージが要求されている。現在主流のHDDに比べ、耐振動性に優れ低電力で高速通信が可能であるなど、多くの点で優れているSSDに注目が集まっている(図1-1参照)。しかし、HDDに比べてSSDは信頼性が低く高価であることが、市場拡大の妨げになっている。

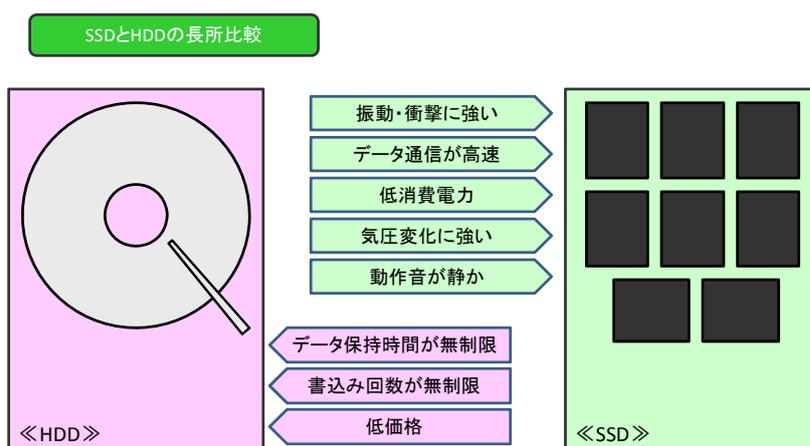


図1-1 SSDとHDDの長所比較

SSDメーカーは市場拡大のために、SSDの低価格化に注力している。SSDの原価のほとんどは、記録メディアであるNANDフラッシュ・メモリの価格によって決まっているため、NANDフラッシュ・メモリの低価格化に注力していると言い換えられる。具体的には、2つのアプローチが一般的に行われている。1つは製造プロセスの微細化。もう1つはNANDフラッシュ・メモリの多値化である。これらの最先端NANDフラッシュ・メモリの採用はSSDの低価格化には有効だが、信頼性の低下を促進してしまう(図1-2参照)。価格と信頼性のトレードオフがSSD市場拡大の大きな壁となっている。

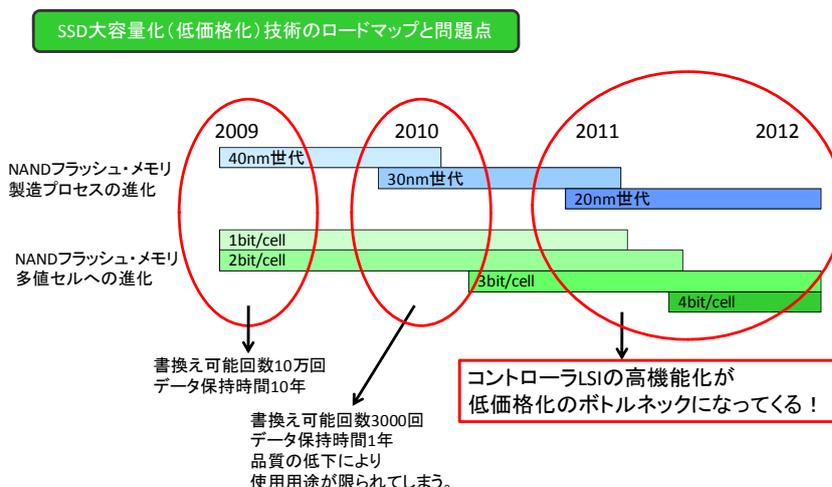


図1-2 SSD低価格化技術のロードマップと問題点

この問題を解決するためには、NAND フラッシュ・メモリの研究開発だけでは対応しきれなくなっ  
てきており、コントローラ LSI の高機能化が必須である。コントローラ LSI の高機能化によって、低  
価格化を実現させる最先端 NAND フラッシュ・メモリを用いても従来製品と同等の信頼性を実現  
することができる。つまり、コントローラ LSI の高機能化が SSD の低価格化のボトルネックになっ  
ていると言える。

本研究開発では、SSD の信頼性を高める誤り訂正符号に着目し、高信頼性と低価格を両立する  
SSD コントローラ LSI を実現することを目的とする。また、SSD の長所である高速通信も併せて実  
現させる。具体的には 40nm 世代、1bit/cell の NAND フラッシュ・メモリを用いた SSD に比べて、  
製造コストが 1/2 以下の SSD を可能にし、読込速度を現時点で最速な 250MB/s から 400MB/s  
まで改善させる。

平成 21 年度までの研究開発において、SSD の信頼性を高める誤り訂正符号の開発に成功した。  
今後、この技術を搭載した SSD コントローラ LSI の試作を行っていく。

## 1-2 研究体制

### 1-2-1 研究組織

本研究開発での研究組織を図1-3に示す

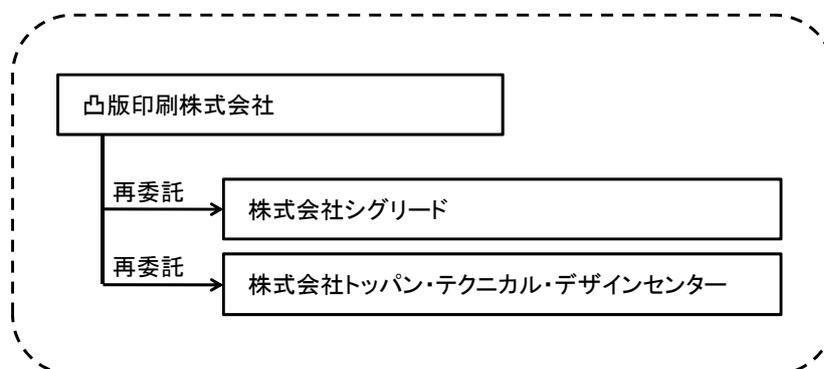


図1-3 研究組織

### 1-2-2 管理体制

本研究開発での管理体制を図1-4に示す。また、管理員を表1-1に、経理担当者及び業務管理者を表1-2にまとめる。

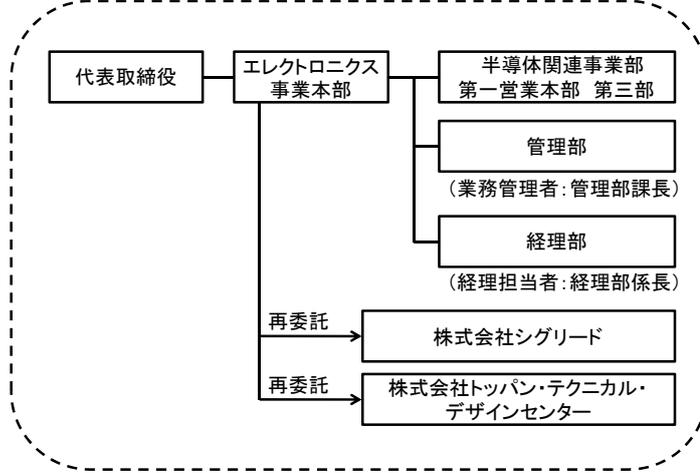
表1-1 管理員の所属と氏名

氏名	所属・役職
鈴木 功	凸版印刷株式会社 エレクトロニクス事業本部 半導体関連事業部 第一営業本部 第三部 部長
深尾 祥平	凸版印刷株式会社 エレクトロニクス事業本部 半導体関連事業部 第一営業本部 第三部

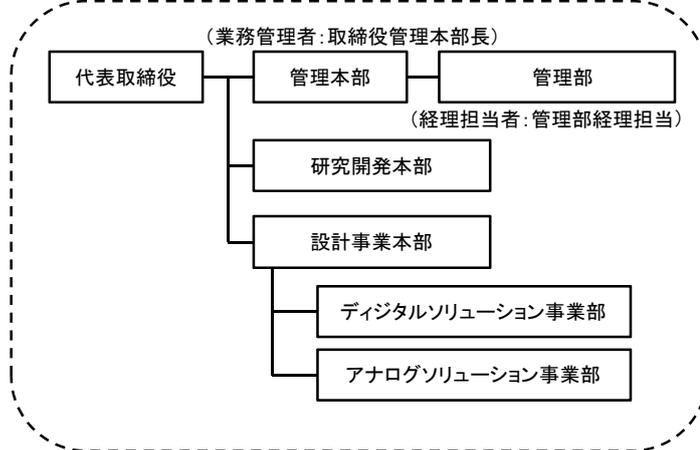
表1-2 経理担当者及び業務管理者の所属と氏名

担当業務	所属・役職	氏名
[事業管理者]		
凸版印刷株式会社		
(経理担当者)	経理部 係長	三宅 一嘉
(業務担当者)	管理部 課長	大和地 厚男
[再委託先]		
株式会社シグリード		
(経理担当者)	管理本部管理部	石川 奈穂子
(業務担当者)	取締役管理本部長	明珍 伊知郎
株式会社トッパン・テクニカル・デザインセンター		
(経理担当者)	事業管理部 係長	石塚 俊弘
(業務担当者)	事業企画部 部長	平尾 栄二

凸版印刷株式会社[事業管理者]



株式会社シングリード[再委託先]



株式会社トッパン・テクニカル・デザインセンター[再委託先]

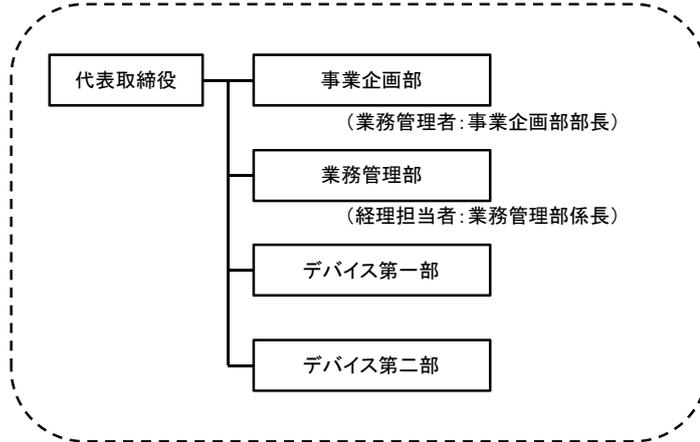


図1-4 管理体制(上段:凸版印刷株式会社[事業管理者]、  
中段:株式会社シングリード[再委託先]、  
下段:株式会社トッパン・テクニカル・デザインセンター[再委託先])

### 1-2-3 研究者

本研究開発を実行する研究者を表1-3に示す。

表1-3 研究者の所属と氏名

氏名	所属・役職
株式会社シグリード	
江角 淳	代表取締役 兼 研究開発本部長
松本 恭幸	デジタルソリューション事業部 部長
伊東 充吉	アナログソリューション事業部 部長
李 凱	研究開発本部 主任研究員
山本 秀彦	研究開発本部 シニアエンジニア
竹内 健	技術顧問
上月 清司	デジタルソリューション事業部 シニアエンジニア
市川 雅也	研究開発本部
株式会社トッパン・テクニカル・デザインセンター	
浅野 正通	メモリ技術統括 部長
浅生 宗隆	デバイス第二部 エンジニア
中村 晃昌	デバイス第一部 エンジニア
継田 学	デバイス第一部 エンジニア
紺野 正樹	デバイス第一部 エンジニア
山口 将	デバイス第一部 エンジニア
東間 一泰	デバイス第一部 エンジニア
木村 紘幸	デバイス第一部 エンジニア
佐藤 和一	デバイス第一部 エンジニア
寺内 義彦	デバイス第一部 エンジニア
朝香 和人	デバイス第一部 エンジニア
山田 英昭	デバイス第一部 エンジニア
鈴木 聡明	デバイス第一部 エンジニア
山内 学	デバイス第一部 エンジニア
中山 泰仁	デバイス第一部 エンジニア
岡部 誠	デバイス第一部 エンジニア
大友 雅人	デバイス第一部 エンジニア

## 1-3 成果概要

### 1-3-1 解析調査（達成率:120%）

各社 NAND フラッシュ・メモリのエラー解析を実施し、特徴を抽出することにできた。また、他社の SSD コントローラ LSI についても解析調査を実施し、弊社の仕様が他社製品を凌駕していることを確認できた。

それだけでなく、エラー解析を容易に実施できるシステムも構築することができたため、達成率を 100%以上とした。

### 1-3-2 SSDコントローラLSIの開発（達成率:100%）

SSD コントローラ LSI の回路設計を行い、FPGA にてその動作を確認することに成功した。また、FPGA の性能限界のため、シミュレーションまでしか検証ができていないが、他社製品の 2 倍の通信速度を達成している。現在、予定通り、試作品と評価ボードにてその性能評価を実施中である。

### 1-3-3 SSDコントローラLSI向け誤り訂正符号技術の開発（達成率:100%）

NAND フラッシュ・メモリのエラーに特化した符号化技術 WCC を開発することに成功した。WCC により誤り発生率は半分にまで下げることができ、当初の性能目標である 50bit/4,096bit の誤りを訂正する ECC の実現化に目途がたった。あとは試作品での評価が必要であり、現状では達成率は 100%と言える。

### 1-3-4 SSDコントローラLSIのレイアウト設計及び試作（達成率:100%）

SSD コントローラ LSI の基本要素回路を搭載した試作品の作製と、開発した WCC を含む SSD コントローラ LSI を量産品質で設計を行った。WCC を含む SSD コントローラ LSI の開発では、スケジュール通りに進捗しており、現在は機能検証及び物理検証を実行中である。レイアウト設計後の機能検証でも他社製品の 2 倍の通信速度が確認できているため、達成率を 100%とした。

### 1-3-5 SSDコントローラLSIとキャッシュ・メモリのワンチップ化に関する検討 (達成率:100%)

SSD コントローラ LSI とキャッシュ・メモリのワンチップ化にはあまりメリットがないと結論付けたが、キャッシュ・メモリをなくすソリューションについて、道筋をつけることができたため達成率は 100%とする。当初の計画通り、今後も検討を続けていく。

#### 1-4 当該研究開発の連絡窓口

本研究開発に関する各研究組織の問合せ担当者を表1-4にまとめる。

表1-4 連絡窓口一覧

会社名	凸版印刷株式会社	株式会社シグリード	株式会社トッパン・テクニカル・デザインセンター
所属・役職	エレクトロニクス事業本部 半導体関連事業部 第一営業本部 第三部	設計事業本部 アナログソリューション 事業部 部長	事業企画部 部長
氏名	深尾 祥平	伊東 充吉	平尾 栄二
電話	048-482-4424	045-479-3090	048-482-4435
FAX	048-482-2517	045-479-3090	048-481-4336
E-mail	shohei.fukao@toppan.co.jp	info@siglead.com	eiji.hirao@toppan.co.jp

## 第2章 本論

本研究開発の研究内容及び成果を、以下にまとめる。

### 2-1 解析調査

NAND フラッシュ・メモリのエラーデータに関する情報を収集した。

また、既に製品化されている SSD に搭載されているコントローラ LSI に、どのような技術が搭載されているか調査を行い、本研究開発で期待される成果の優位性を検証し把握する。

#### 2-1-1 NANDフラッシュ・メモリのエラー解析結果

NAND フラッシュ・メモリの構造とエラーの種類について説明し、エラー解析方法と解析結果についてまとめる。

##### 2-1-1-1 NANDフラッシュ・メモリの構造

NANDフラッシュ・メモリを構成する単位を図2-1にまとめる。1つのデータを 1bit、8bitのことを 1Byteと表現し、これは共通の単位である。Page以降の単位はNANDフラッシュ・メモリ各製品によって異なる値であり、一般的には公表されない。

本研究開発の解析結果から、最先端の NAND フラッシュ・メモリに於いては、メモリ素子の配置構造の違いなどにより、1Page = 4,096Byte の製品もあれば、1Page = 8,192Byte の製品もあることが分かっている。

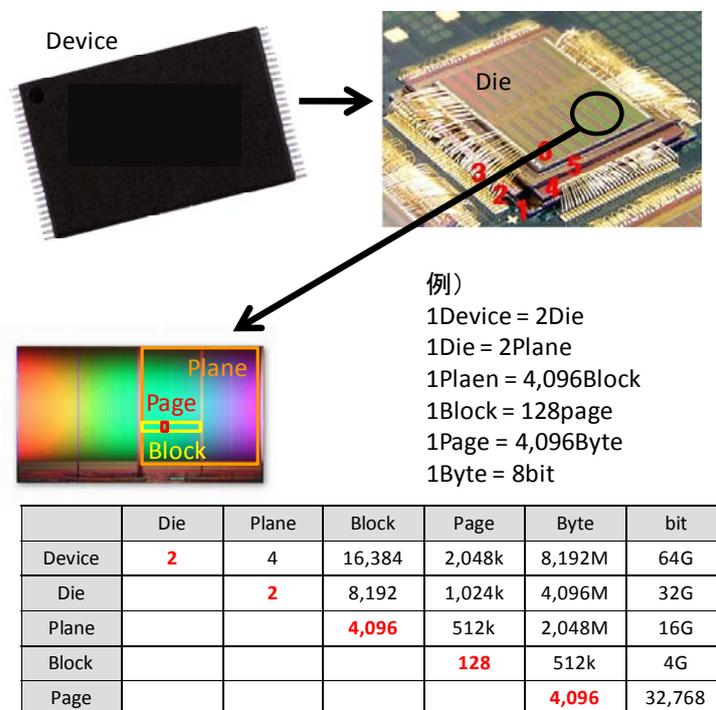


図2-1 NAND フラッシュ・メモリを構成する単位

## 2-1-1-2 エラーの種類

NAND フラッシュ・メモリで発生するエラーは主に下記 3 種類である。

- Program Disturb : データ書込み時に周辺のメモリセルの値を変化させてしまう
- Read Disturb : データ読み込み時に周辺のメモリセルの値を変化させてしまう
- Data Retention : データ保持時の漏れ電荷により記録値が変化してしまう

現在量産されている NAND フラッシュ・メモリでは Program Disturb と Data Retention がほぼ同等の発生率であり、Read Disturb の発生率はそれらに比べると低い。今後、大容量化のための微細化と多値化によって、Program Disturb によるエラー発生率が上昇することが予想される。

エラーの特徴としては、Program Disturb 及び Read Disturb が電荷をチャージするエラーであり、Data Retention は逆に電荷を放出するエラーである。

## 2-1-1-3 エラー解析方法

エラーが発生しやすくなるように、温度や書換え回数などによる加速度試験を行っている。この方法は東京大学 竹内健准教授と議論の上、業界で一般的な条件を使って試験を行っている。これら条件はエラーの種類によって異なる。

各試験での測定条件と解析方法を以下にまとめる。

### ■ Program Disturb

測定フローは下記の通り。

- step1. P/E Cycle<sup>1</sup>による加速度試験を実施。
- step2. ライトデータをそれぞれのページに書込む。ここで Program Disturb が発生。
- step3. 全てのデータを読み込み、読込んだデータを保存する。
- step4. step1～step3 を繰り返す。
- step5. step3 で保存したデータと step2 で書込んだデータを比較し、エラー解析をする。

### ■ Read Disturb

測定フローは下記の通り。

- step1. P/E Cycle による加速度試験を実施。
- step2. ライトデータをそれぞれのページに書込む。
- step3. ターゲットとなるページを繰り返し読み込む。ここで Read Disturb が発生。
- step4. 全てのデータを読み込み、読込んだデータを保存する。
- step5. step3 と step4 を繰り返す。
- step6. step4 で保存したデータと step2 で書込んだデータを比較し、エラー解析をする。

### ■ Data Retention

測定フローは下記の通り。

- step1. P/E Cycle による加速度試験を実施。
- step2. ライトデータをそれぞれのページに書込む。
- step3. 全てのデータを読み込み、読込んだデータを保存する。このデータを期待値とする。
- step4. 高温に設定した恒温槽に放置し、加速度試験を実施。  
ここで Data Retention が発生。
- step5. 全てのデータを読み込み、読込んだデータを保存する。
- step6. step4 と step5 を繰り返す。
- step7. step3 で保存したデータと step5 で保存したデータを比較し、エラー解析をする。

<sup>1</sup> P/E Cycle: Program / Erase Cycle の略。一意のデータを書込んだ後にデータ消去を繰り返すことを示す。

## 2-1-1-4 エラー解析結果

某社の最先端 NAND フラッシュ・メモリのエラー解析結果を示す。

### ■ Program Disturb

P/E Cycle数によってBER<sup>2</sup>がどのように変化するかを表2-1と図2-2にまとめた。この結果より書換え回数を増やすことによって信頼性が低下していくことがわかる。具体的には、書換え回数30,000回を超えたあたりから、急激に信頼性が低下している。

また、Page毎のError数を図2-3にまとめた。これより、「1を書込んでいたデータが0になってしまふ」Pageと「0を書込んでいたデータが1になってしまふ」Pageがはっきりと区別できることが分かる。これはMLC<sup>3</sup>特有の現象であり、MLCを使ったSSDの信頼性が低い原因の1つである。

表2-1 Program Disturb 試験の結果

P/E cycles (counted by all-0 P/E)	Bit Error (total error in the block)	BER
0	0	0
1000	0	0
2000	0	0
7000	0	0
8000	1	2.3842e-007
9000	0	0
10000	0	0
16000	1	2.3842e-007
18000	3	7.1526e-007
20000	2	4.7684e-007
22000	6	1.4305e-006
24000	7	1.6689e-006
36000	51	1.2159e-005
42000	116	2.7657e-005
54000	312	7.4387e-005
60000	488	1.1635e-004

<sup>2</sup> BER: Bit Error Rate の略。今回は 1Block にエラーが発生する割合を示している。数字が大きければ、エラーが発生しやすくなり、信頼性が低下していることを示す。

<sup>3</sup> MLC: Multi Level Cell の略。1つのトランジスタに 2bit 以上のデータを記録できることを意味する。1bit のデータしか記録できないメモリは SLC(Single Level Cell)と呼ぶ。

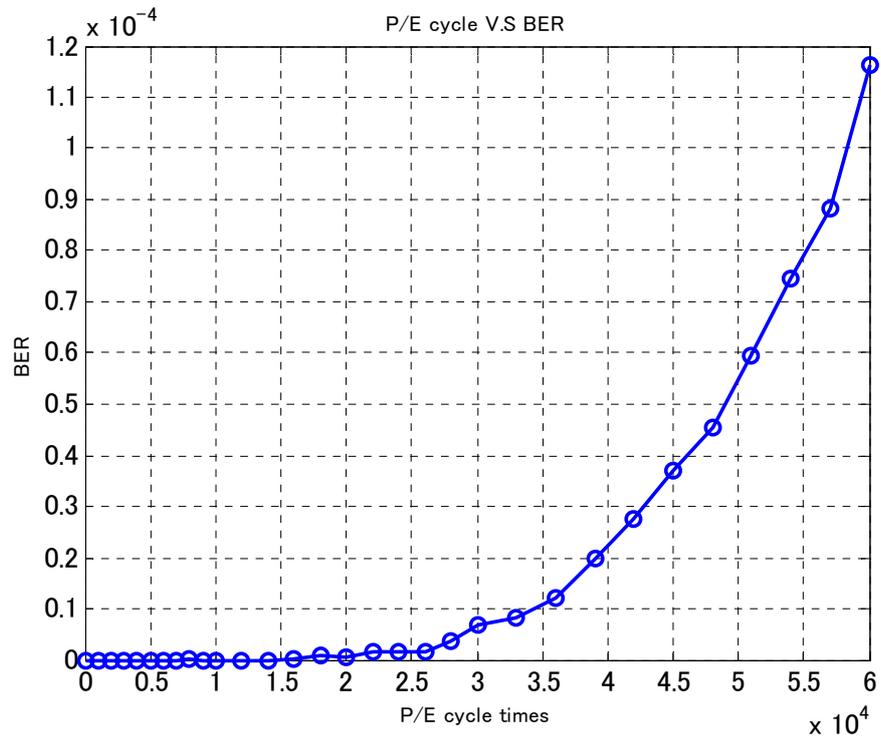


図2-2 P/E Cycle と BER の関係 (Program Disturb)

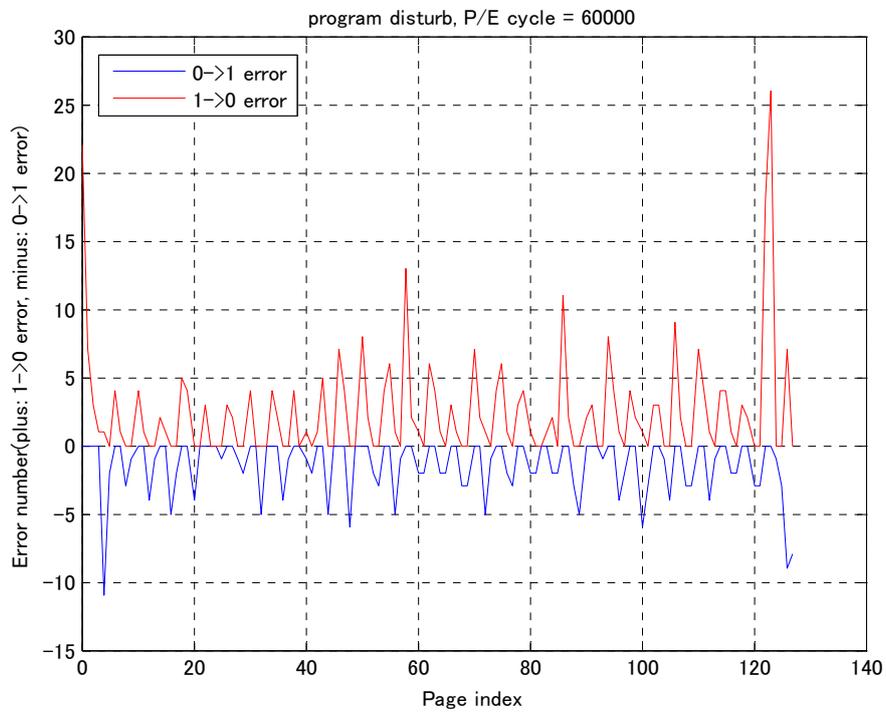


図2-3 Bit Error の数と Page との関係 (Program Disturb)

## ■ Read Disturb

読み回数とBERの関係を図2-4に示す。理論的にRead DisturbはP/E Cycle回数に独立していると言われているが、図2-4を見ると、P/E Cycleの増加によってRead Disturbの発生確率も増加している。これは、P/E Cycleによってメモリ素子が徐々に破壊されてきていることが原因であると推察している。

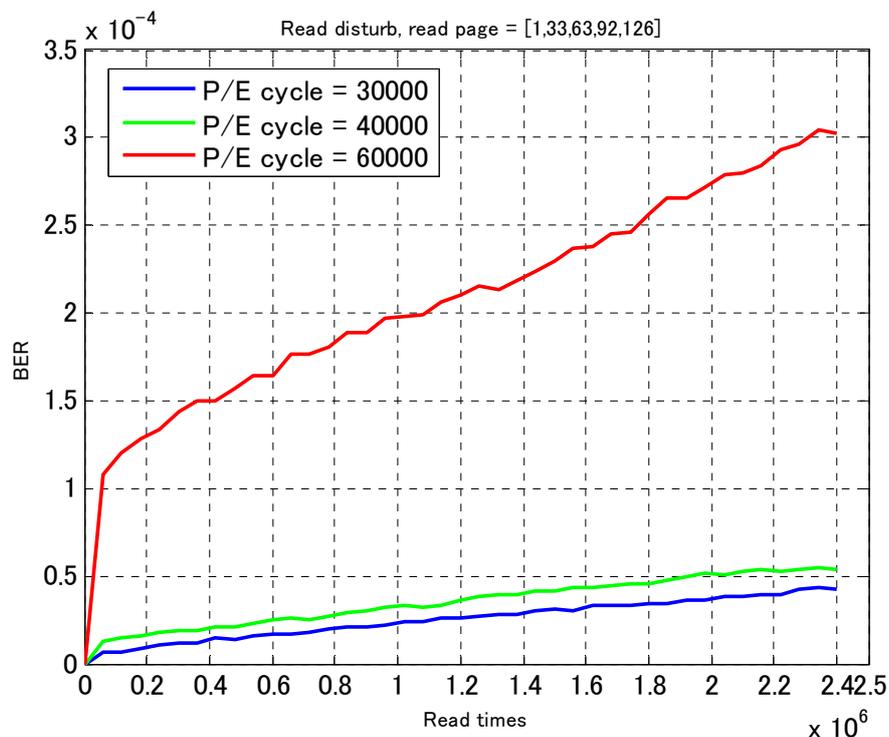


図2-4 読み回数とBERの関係 (Read Disturb)

## ■ Data Retention

Data Retentionは時間経過とともに電荷が漏れてしまい、記録していたデータを消失するエラーである。常温ではなかなか発生しない現象のため、高温にした状態で加速試験を行った。試験期間は23日間で、その推移をモニターした。経過時間とData Retentionの関係を図2-5に示す。時間とともにBERがリニアに増加している。この結果からだと、従来の誤り訂正符号では、書換え回数は1万回程度までとなる。

P/E CycleとData Retentionの関係を図2-6に示す。また、Page毎のError数を図2-7にまとめた。page毎に発生するエラーの特徴は、時間経過によって変化することではなく、単純にエラー数が増えているだけなのが、見て取れる。

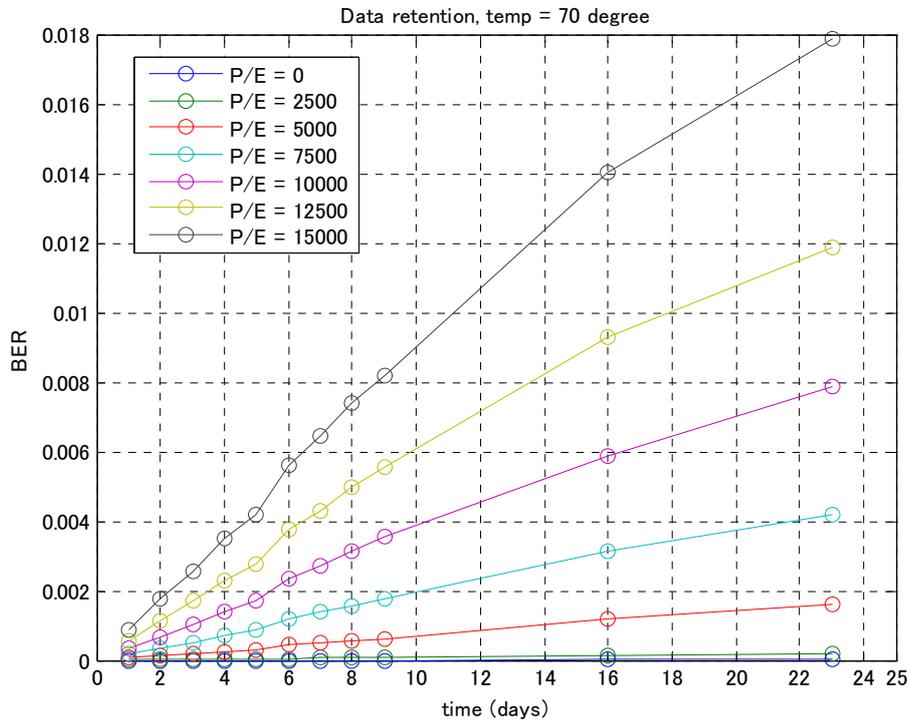


図2-5 経過時間と BER との関係 (Data Retention)

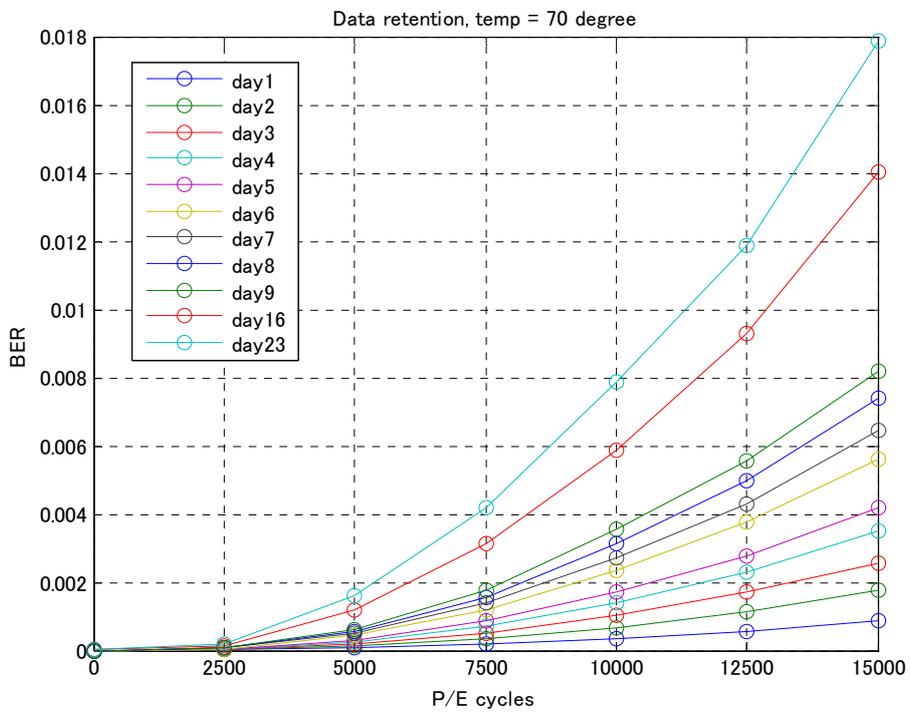


図2-6 P/E Cycle と BER との関係 (Data Retention)

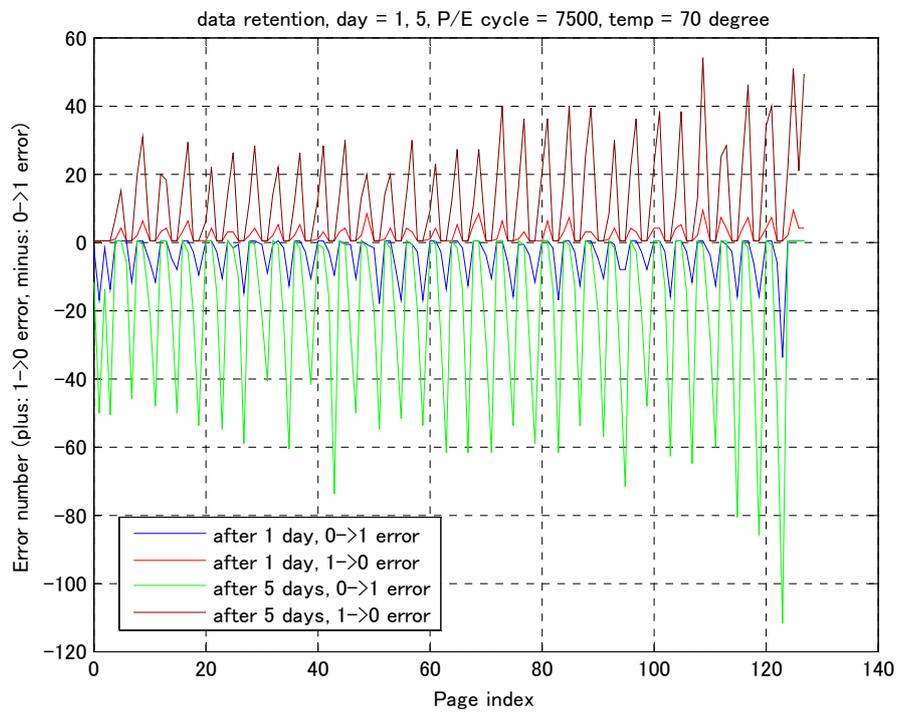


図2-7 Bit Error の数と Page との関係 (Data Retention)

## 2-1-2 SSDコントローラLSIの解析調査結果

市販されているSSDを購入し、使用されているSSDコントローラLSIについて分解調査を行った。その結果を表2-2にまとめる。

SSDコントローラLSIの技術において、この1年で大きな変化を遂げているのは、キャッシュ・メモリの仕様についてである。2008年末頃から、キャッシュ・メモリを搭載しないコントローラLSIで、データアクセス中に動作が止まる現象が報告され始めた。その対応策として、SDRAMをキャッシュ・メモリとして搭載できるSSDコントローラLSIを各社リリースした。それが、2010年初頭より、SDRAMの代わりに、NANDフラッシュ・メモリの記録領域の一部をキャッシュ・メモリとして使用するSSDコントローラLSIがリリースされている。しかし、本研究開発においては、性能面及びコストを考慮して、SDRAMをキャッシュ・メモリとして使用することが最善策であると結論付けた。

また、表2-2には記載がないが、PCのI/Fとして、SATA GenIII(6Gbps)のSSDコントローラLSIも販売が開始されているが、6Gbpsの性能を十分に活かしていないのが現状である。

ECC<sup>4</sup>に関してはBCH以外の特殊なアルゴリズムを採用している会社はなく、2-3-3節及び2-3-4節で述べる弊社独自技術のWCCは、市場において大きな注目を浴びると予想される。

表2-2 他社 SSD コントローラ LSI の解析調査結果

メーカー	チャンネル数	Read	Write	Cash	I/F	ECC
A社 機種α	8	155	95	なし	SATA II	BCH
A社 機種β	8	270	160	64MB	SATA II	BCH
B社	8	240	150	64MB	SATA II	BCH
C社	10	250	70	32MB	SATA II	BCH
D社	8	230	180	128MB	SATA II	BCH
E社	8	240	190	なし	SATA II	BCH
F社	8	240	200	なし	SATA II	BCH

<sup>4</sup> ECC: Error Correction Code の略。誤り訂正符号のこと。

## 2-2 SSDコントローラLSIの開発

### 2-2-1 SSDコントローラLSIの概要

2-1-2節で示した競合製品の仕様とセットメーカーへのヒアリング結果から、本研究開発で作製するSSDコントローラLSIの仕様を表2-3のようにした。特徴を下記に示す。

- 高信頼性: 一般的なBCH符号<sup>5</sup>だけではなく、NANDフラッシュ・メモリのエラーの特徴を考慮した符号化技術であるWCCを搭載させる。WCCについては2-3-3節及び2-3-4節にて述べる。
- 低価格化: 回路設計の工夫により、性能は向上しているにも関わらず他社と同等のチップ面積を実現する。チップ面積の削減は、低価格化だけでなく低電力化にも寄与する。それ以外にも、CPU をよりコストの安いものを選定するなど、様々な手法で低価格化を図っている。
- 高速化: チャンネル数を 16 チャンネルにすることにより、通信速度を倍にした。また、それに合わせて、PC との I/F の速度も倍にしている。また、Cash メモリに大容量のDDR2を搭載可能にすることや回路latencyを小さくするなどの高速化も図っている。

表2-3 SSD コントローラ LSI の仕様

	本研究開発の仕様	他社製品
プロセス	TSMC 65nm LP	---
チャンネル数	16	8
パッケージ	BGA529	BGA289
Read Speed (seq.)	500MB/s	250MB/s
Write Speed (seq.)	400MB/s	200MB/s
Cash	DDR2 256MB	DDR 64MB
I/F	SATA GenIII (6G)	SATA GenII (3G)
ECC	BCH with WCC	BCH
Wear leveling	Dynamic / Static	Dynamic / Static
CPU	NiosII	ARM

<sup>5</sup> BCH 符号:SSD コントローラ LSI に一般的に用いられている誤り訂正符号技術である。BCH は考案者3人のイニシャルが由来。

## 2-2-2 SSDコントローラLSIの設計

前節で述べた仕様を満たすSSDコントローラLSIを実現させるために、RTL設計、論理合成、テスト回路の挿入、レイアウト設計、機能検証、物理検証を行った。レイアウト設計以降に関しては、2-4節にて述べる。

以下に、SSD コントローラ LSI の基礎回路である、SSD Controller 回路と PLL 回路について述べる。

### 2-2-2-1 SSD Controller回路

本研究開発で設計したSSD Controller回路のシミュレーション結果から得た性能を表2-4にまとめる。SSD Controller回路は2-3-3節及び2-3-4節で述べるWCCやBCH符号、RAMメモリなどを含んだ回路であり、機能面、性能面、面積においてSSDコントローラLSIの大部分を占めている。

Read SpeedとWrite Speedの最大値は、目標値を大きく上回る性能を達成しており、本LSIの競争力を示している。面積に関しても、WCC という新しい追加機能を持ちながら、他社と比べて遜色ないほど小さい。

表2-4 SSD Controller 回路の性能

Read Speed (seq.)	550MB/s (Max.)
Write Speed (seq.)	600MB/s (Max.)
消費電力	228.5mW

また、SSD Controller回路のうち、Flash I/F、WCC、BCH符号に関しては、すでにSSDボードのFPGAに実装して、その動作を確認済みである。ただし、テスト回路の挿入などはされておらず、製品レベルでの検証は試作品で実施する必要がある。

## 2-2-2-2 PLL回路

PLL 回路には、電源投入時やクロック切り替えなどの時に、グリッチを発生しない工夫が施されている。また、コストを下げるため、極力アナログオプションを使用しなくても性能が出るよう工夫した。

シミュレーション結果を図2-8に示す。これより、安定して400MHz出力することが確認できる。

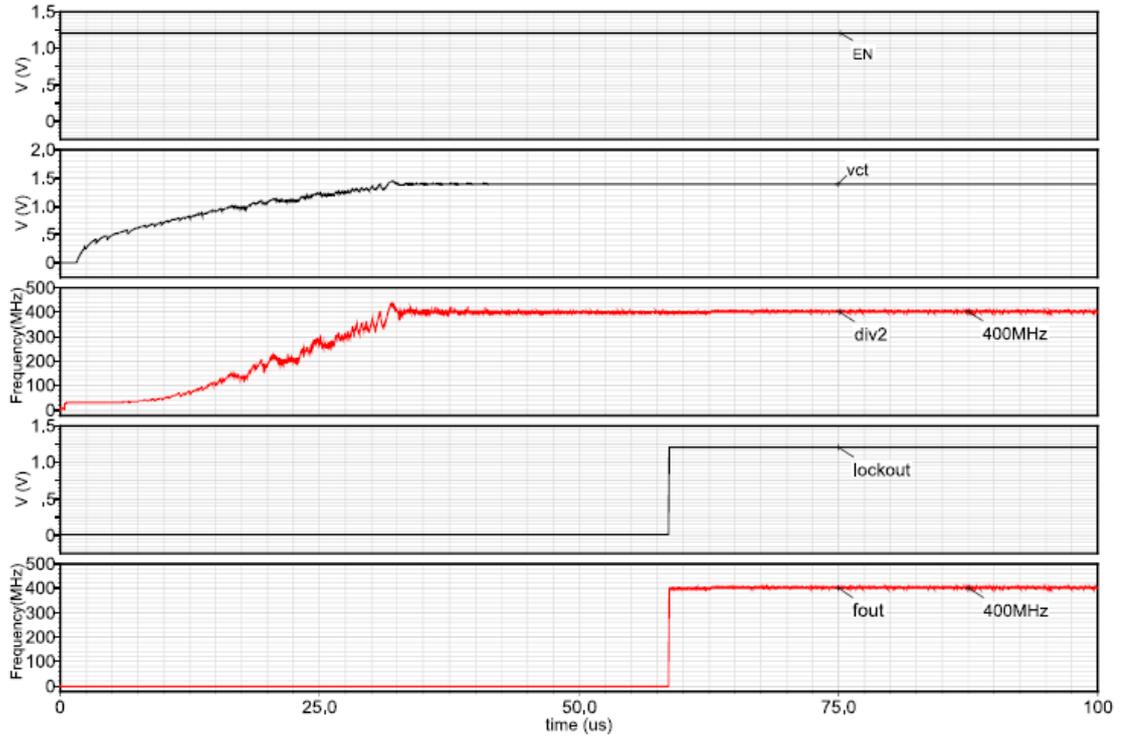


図2-8 PLL 回路のシミュレーション結果

## 2-3 SSDコントローラLSI向け誤り訂正符号技術の開発

### 2-3-1 誤り訂正符号

SSD コントローラ LSI は、NAND フラッシュ・メモリの読み書きを制御するとともに、NAND フラッシュ・メモリからのデータ読み出しの際に発生するエラーを訂正する役割を持つ。最近の微細プロセスおよび多値方式の NAND フラッシュ・メモリにおいては、エラーの発生を完全に防ぐことは困難であり、SSD のような NAND フラッシュ・メモリを用いたデバイスでは、エラーを訂正する仕組みが必要不可欠なためである。

一般に、エラーを訂正するのに誤り訂正符号を用いる。誤り訂正符号は、送信する情報に冗長を持たせることにより、伝送路で発生する誤りを訂正する技術である。具体的な符号化、復号の例を図2-9に示す。

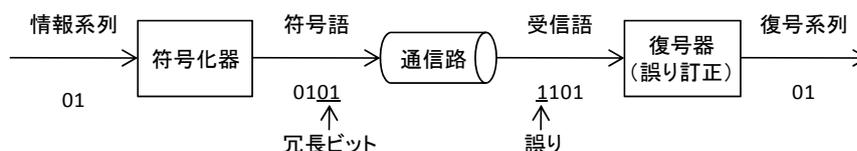


図2-9 誤り訂正符号の具体例

符号化は、情報系列に冗長ビットを付加する。通信路で発生したビット誤りを訂正するのが復号器である。復号器は、付加されている冗長ビットを用いて誤りを訂正する。

誤りを訂正できる原理は極めて数学的であり、その理論を深く理解するには多くの時間を必要とするが、視覚的に分かりやすく説明する図を図2-10に示す。なお、図2-10では具体例として、2ビットの情報に2ビットの冗長を付加する誤り訂正符号を用いている。

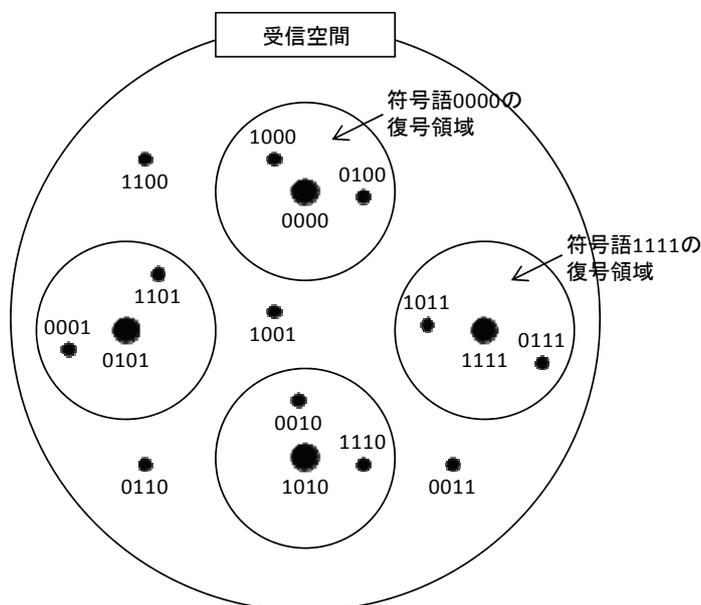


図2-10 誤り訂正の原理

図2-10は受信空間を表しており、今回の例では4ビットのベクトル空間となる。このベクトル空間には16個の点が存在し、このうち4個の点(0000, 0101, 1010, 1111)が正しい符号語に対応する。これらの点を受信すると、復号器は、誤りが発生していないと判断する。その他の12個の点を受信したときに復号器で行われる処理は、次の2つのケースに分けられる。

ケース 1 : 各符号語の復号領域内の点を受信したとき

→ 1 ビットの誤りを訂正し、各符号語を復元する

ケース 2 : 復号領域外の点を受信したとき → 訂正できない誤りが発生したと判断する

### 2-3-2 BCH符号

NANDフラッシュ・メモリに適用する誤り訂正符号は、BCH符号が一般的である。NANDフラッシュ・メモリで発生するエラーはビット単位であり、BCH符号はビット単位のエラーを効率よく訂正できるからである。以下では、NANDフラッシュ・メモリで用いられる典型的なBCH符号として、512バイト=4096ビットの情報に209ビットの冗長を付加するBCH符号を例に説明する。なお、このBCH符号は、符号語の中で発生した16ビットまでのエラーを訂正することができる。

図2-11にBCH符号の構成を示す。4096ビットの情報に209ビットの冗長を付加するため、符号長は4305ビットになる。

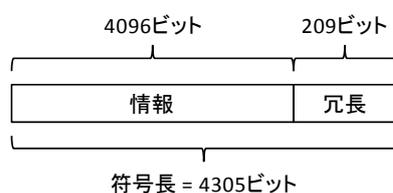


図2-11 BCH符号の構成(16ビット訂正)

NANDフラッシュ・メモリの読み書きの単位はページであり、典型的なページサイズは4Kバイト=32768ビットである。これとは別に、誤り訂正符号の冗長を記録するための領域も確保されている。ここでは、冗長領域も含めたページサイズを34440ビットとする。この場合、図2-12に示すように、ページ全体を8個のブロックに分割し、それぞれのブロックでBCH符号の符号化を行う。

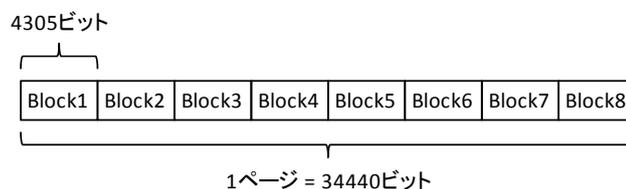


図2-12 ページ内のBCH符号ブロックの構成

NANDフラッシュ・メモリで発生するエラーがランダム、すなわち何の特徴もなければ図2-12の構成が最適といえる。しかしながら、2-1-1節で示したように、NANDフラッシュ・メモリで発生するエラーには大きな特徴がある。本研究開発の目的は、その特徴を利用することにより、最適な誤り訂正符号を考案することにある。

### 2-3-3 NANDフラッシュ・メモリに適した誤り訂正符号

本研究開発では、NANDフラッシュ・メモリで発生するエラーの特徴に注目して、新しい誤り訂正符号であるWCCを開発した。シミュレーション結果より、その有効性が確認できた。

## 2-3-4 計算機シミュレーション結果

2-3-3節で説明した誤り訂正方式の効果について、計算機シミュレーションを実施した結果を示す。

### 2-3-4-1 用語の定義とシミュレーション条件

以下では、考案した誤り訂正方式を WCC (Weight Control Code) と呼び、WCC のパラメータ設定により 3 つのタイプに分けて計算機シミュレーションを実施した。

シミュレーションは、次の 2 種類の条件で実施した。

条件 1 : ページサイズ 4K バイト、BCH 符号 512 バイトあたり 16bit 訂正

条件 2 : ページサイズ 2K バイト、BCH 符号 512 バイトあたり 9bit 訂正

### 2-3-4-2 シミュレーション結果(ページサイズ 4K バイト)

条件1でのシミュレーション結果を図2-13及び表2-5に示す。

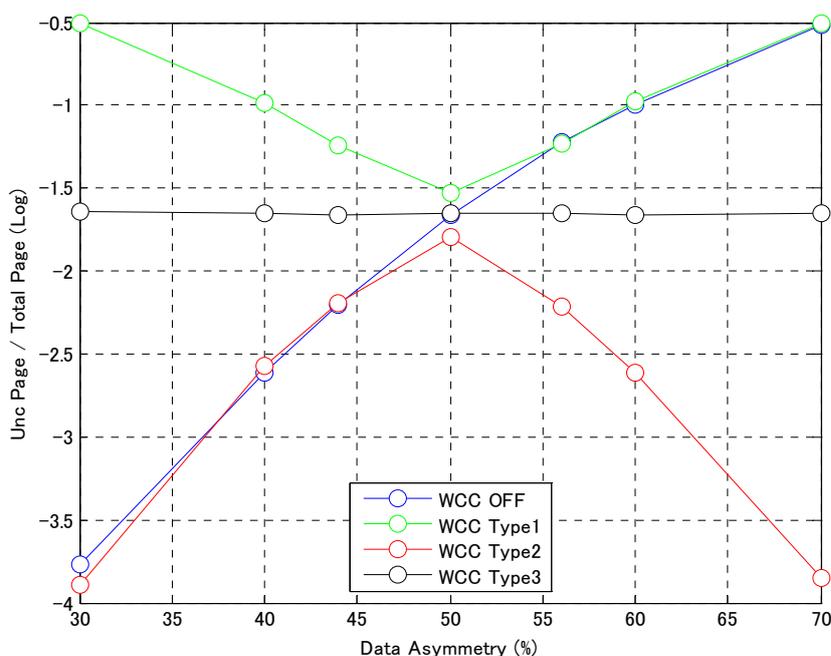


図2-13 WCC の Type 比較 (4K ページ、Raw Error Rate=1.8x10<sup>-3</sup>)

表2-5 WCC の Type 比較(4K ページ、Raw Error Rate=1.8x10<sup>-3</sup>)

DA [%]	Unc Page / Total Page (Log)			
	WCC OFF	WCC Type1	WCC Type2	WCC Type3
30	-3.77	-0.51	-3.89	-1.64
40	-2.61	-0.99	-2.57	-1.65
44	-2.20	-1.24	-2.19	-1.66
50	-1.66	-1.53	-1.79	-1.65
56	-1.22	-1.23	-2.21	-1.65
60	-1.00	-0.98	-2.61	-1.66
70	-0.52	-0.51	-3.85	-1.65

上記結果から、次のことが分かる。

1. WCC が OFF の場合、エラーレートが悪い場合が存在する
2. WCC Type1 は、エラーレートが悪化する
3. WCC Type2 は、良好なエラーレートが得られる
4. WCC Type3 は、どのようなときであっても平均的な性能が得られる

1～4の結果より、WCC が有効に機能していることが分かる。

### 2-3-4-3 シミュレーション結果(ページサイズ 2Kバイト)

条件2でのシミュレーション結果を図2-14及び表2-6に示す。

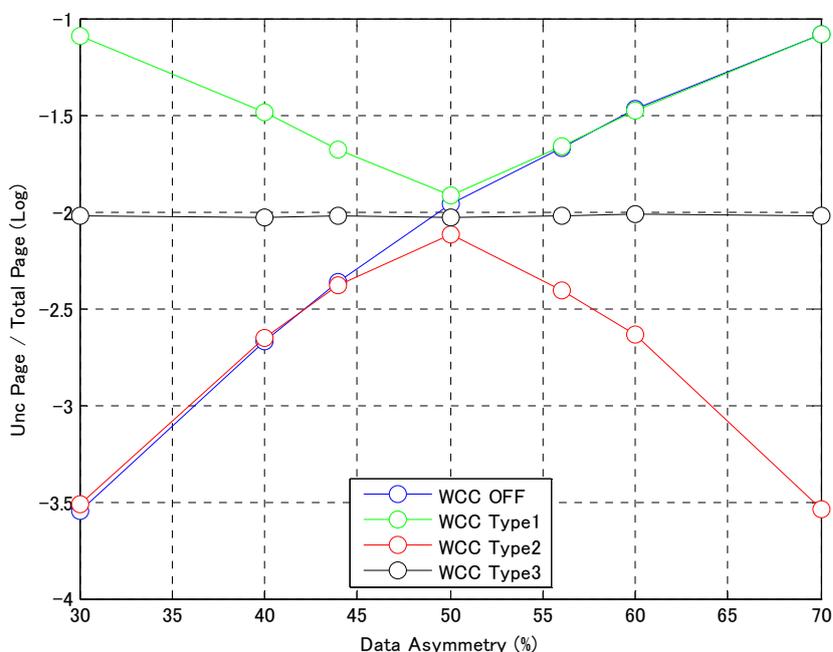


図2-14 WCC の Type 比較 (2K ページ、Raw Error Rate=8x10-4)

表2-6 WCC の Type 比較(2K ページ、Raw Error Rate=8x10-4)

DA [%]	Unc Page / Total Page (Log)			
	WCC OFF	WCC Type1	WCC Type2	WCC Type3
30	-3.55	-1.09	-3.51	-2.02
40	-2.67	-1.49	-2.65	-2.03
44	-2.36	-1.68	-2.38	-2.02
50	-1.96	-1.92	-2.12	-2.03
56	-1.67	-1.66	-2.41	-2.02
60	-1.47	-1.48	-2.64	-2.01
70	-1.08	-1.08	-3.54	-2.02

上記結果から、次のことが分かる。

1. WCC が OFF の場合、エラーレートが悪い場合が存在する
2. WCC Type1 は、エラーレートが悪化する
3. WCC Type2 は、良好なエラーレートが得られる
4. WCC Type3 は、どのようなときであっても平均的な性能が得られる

1~4の結果より、条件2においても WCC が有効に機能していることが分かる。

## 2-4 SSDコントローラLSIのレイアウト設計及び試作

### 2-4-1 SSDコントローラLSIの試作

SSDコントローラLSIの試作品を作製した。これは、SSDコントローラLSIとして最低限の回路のみが搭載されたものであり、WCCを含めた、最終目標を満たすために必要な機能を全て盛り込んだLSIではない。本試作品を用いて、SSDコントローラLSIの要素回路について動作確認をすることによって、本研究開発で新規に開発した機能を盛り込んだSSDコントローラLSIの開発期間を短縮することが可能となる。

現在、評価ボードを用いて本試作品の機能検証をしているがデバッグ中であり、まだ報告できる内容までに至っていない。

### 2-4-2 SSDコントローラLSIのレイアウト設計

2-2節で述べた機能を全て盛り込んだLSIのレイアウト設計を行った。レイアウト図面を図2-15に示す。

現時点においては、まだ機能検証と物理検証が部分的に終了しており、検証結果から、回路設計及びレイアウト設計にフィードバックをかけている。スケジュール通り、順調な進捗状況である。

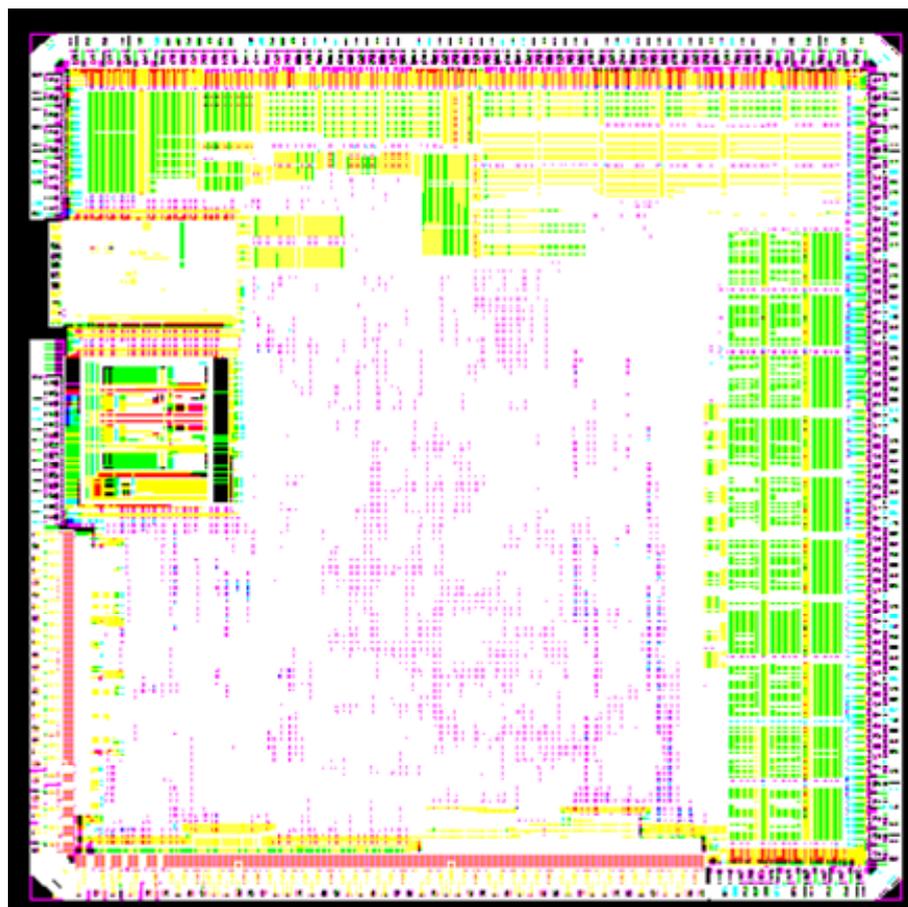


図2-15 SSDコントローラLSIのレイアウト図面

配置位置に関しては、給電、ノイズ、デッドスペース削減を考慮し設計した。

#### 2-4-2-1 PLL回路のレイアウト設計

SSDコントローラLSIのうち、PLL回路のレイアウト図を図2-16に示す。デジタル回路はレイアウトツールを用いた自動配置配線によってレイアウトされるが、PLL回路はアナログ回路であり、全てマニュアルレイアウトである。

PLL 回路以外では、レジスタアクセス用のバス回路、テスト回路、ESD 保護素子回路から構成されている。

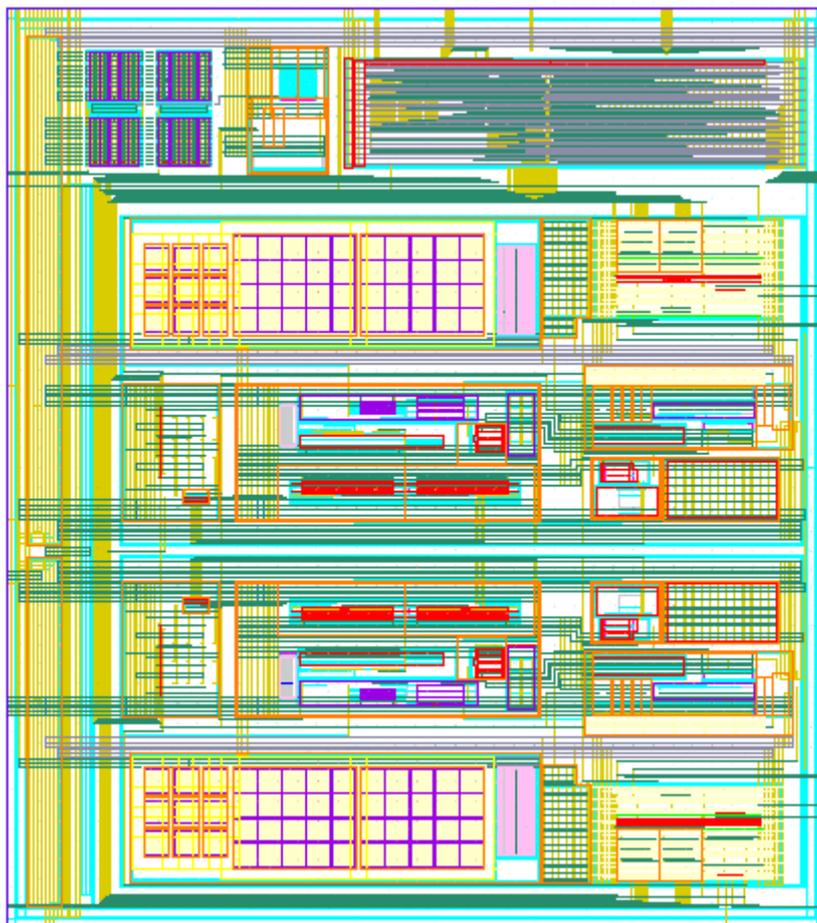


図2-16 PLL 回路のレイアウト図

## 2-5 SSDコントローラLSIとキャッシュ・メモリのワンチップ化に関する検討

DRAMとのワンチップ化、FeRAMやMRAMといった不揮発メモリとのワンチップ化、不揮発メモリとのワンパッケージ化を検討した。しかしながら、DRAMを外付けとする場合と比較して、歩留まりを含めたコスト面、メモリ容量に比例する速度性能面で優位性を見出すことができなかった(図2-17)。従って、今回はSSDコントローラとキャッシュ・メモリのワンチップ化は見送ることとした。

但し、コントローラ内部に小容量のSRAMを持ち、NANDフラッシュ・メモリの一部をキャッシュ・メモリとして使用することで容量不足を補うという解は存在する(図2-18)。高速で書換え回数が無制限なSRAMの特徴と、大容量というNANDフラッシュ・メモリの特徴をうまく組み合わせることにより、外付けDRAMを省略することは可能であると考えている。この構成を実現するには、コントローラやファームウェアを含めたシステム全体を見直す必要があり、今後の重要な研究課題の一つである。

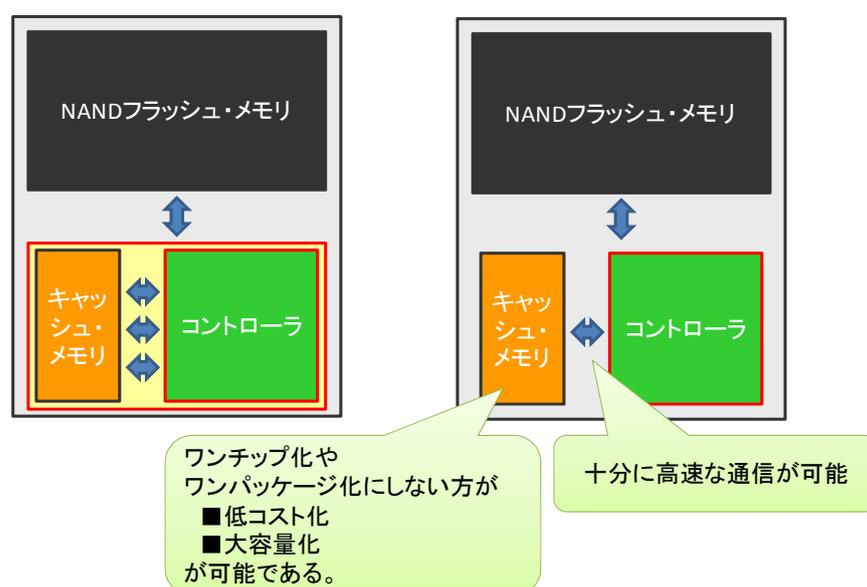


図2-17 キャッシュ・メモリのワンチップ化に関する検討

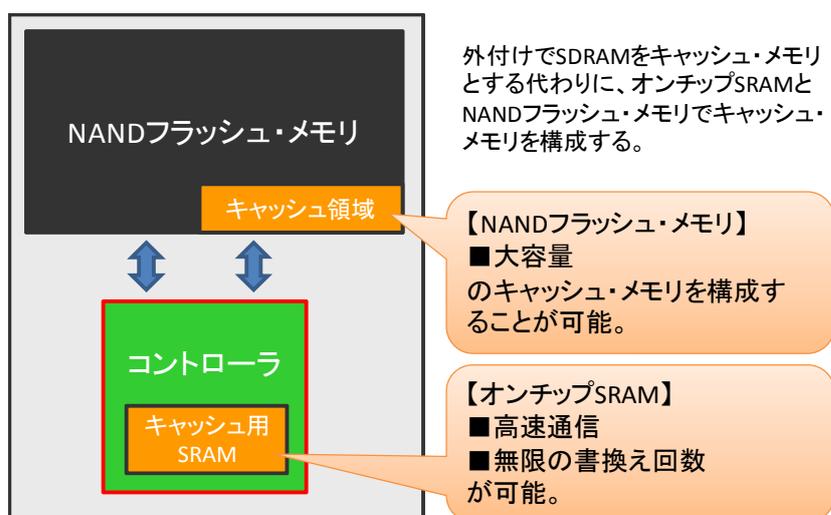


図2-18 外付けキャッシュ・メモリをなくす代替案

## 第3章 全体総括

### 3-1 研究開発成果のまとめ

#### ■SSD コントローラ LSI 向け信号処理技術の開発

SSD ボードを使用して得た NAND フラッシュ・メモリのエラー解析結果を使って、NAND フラッシュ・メモリ特有のエラーの特徴を抽出した。その特徴のあるエラーを強力に訂正することが可能な符号化技術 WCC を開発することに成功した。WCC を使用することにより、従来の BCH 符号に比べてエラー数が 50%以下にまで改善することが専用評価ボードを使った検証で確認された。

#### ■SSD コントローラ LSI の基礎回路の試作

SSD コントローラ LSI の基礎回路のみの試作品を作製した。これは量産品質ではなく、回路の動作を確認するためのものである。現在、試作品評価ボードを用いた測定評価を実施中である。

#### ■SSD コントローラ LSI の設計開発

SSD コントローラ LSI の試作品を量産品質で作製できるよう、試作品の回路を設計・開発した。シミュレーションの結果では、従来製品の 2 倍の通信速度を達成している。まだ検証項目と上記試作品のフィードバックをする必要があるが、スケジュールに遅れは出ていない。

### 3-2 今後の課題

#### ■SSD コントローラ LSI の試作

量産品質で回路設計を行った SSD コントローラ LSI の試作が急務である。本試作品が事業化展開に向けて、とても重要となってくる。

SSD コントローラ LSI はファームウェアがないと動作しないため、ファームウェアの開発も喫緊の課題である。また、試作品の測定評価を行い、シミュレーション通りの性能が出るかの確認を行う必要がある。

#### ■超低電力技術の開発

WCC を用いた、SSD の超低電力化を実現できる可能性があることが分かっている。システムレベルでの開発を進め、本技術を確立したのち、回路設計及び試作品の作製が今後の大きな課題となる。20%以上の省電力化を目標とする。

#### ■外付けキャッシュ・メモリスの SSD 開発

SSD の低コスト化、高速化を促進できるよう、外付けキャッシュ・メモリが不要な SSD コントローラ LSI の開発を行う。現時点では、外付け SDRAM が最適なソリューションであるとの認識だが、オンチップ SRAM と NAND フラッシュ・メモリの一部領域をキャッシュ・メモリとして活用する方法に関しても、検討の余地がある。

### 3-3 事業化展開

すでに国内外の SSD メーカーを訪問し、SSD コントローラ LSI へのニーズを収集している。各社、SSD コントローラ LSI の新規参入には好意的であり、すぐにも試作品を評価したいとコメントをもらっている。

SSD メーカーが新規の SSD コントローラ LSI を採用するにあたって、特に気にかけているのは、パソコンなどへの接続信頼性や SSD としての性能評価指標についてである。コンプライアンス試験などを請け負っている検証企業と連携して、自社での評価だけでなく第三者による評価も実施することにより、SSD メーカーへ製品の信頼性をアピールしていく計画である。

また、学会などにも積極的に参加し、本研究開発の成果及び弊社の技術力を紹介する。業界内での知名度を上げることにより、よりスムーズな事業化展開を目論んでいる。