

平成 2 1 年度補正予算事業
戦略的基盤技術高度化支援事業

「自律型ロボット用
高性能 AD コンバータデジタル・アシストの研究開発」

研究開発成果等報告書

平成 2 2 年 6 月

委託者 東北経済産業局

委託先 財団法人みやぎ産業振興機構

目 次

第 1 章 研究開発の概要

- 1 - 1 研究開発の背景・研究目的及び目標
- 1 - 2 研究体制（研究組織・管理体制、研究者名、協力者）
- 1 - 3 成果概要
- 1 - 4 当該プロジェクト連絡窓口

第 2 章 本論 デジタル・アシストの研究開発

- 2 - 1 デジタル・アシストの設計
- 2 - 2 デジタル・アシストの検証

第 3 章 本論 デジタル・アシストシステムの研究開発

- 3 - 1 デジタル・アシストシステムの設計
- 3 - 2 デジタル・アシストシステムの検証

第 4 章 本論 AD コンバータの仮実装（FPGA）及び評価

- 4 - 1 AD コンバータの仮実装の作製
- 4 - 2 AD コンバータ仮実装の評価

第 5 章 全体総括

第 1 章 研究開発の概要

1 - 1 研究開発の背景・研究目的及び目標

(1) 実施計画の細目 (手法・手段・研究場所等)

1) 研究の目的

自律型ロボットは、センサとアナログ回路による制御が必須であり、数多くの AD コンバータが実装されている。半導体の微細化技術が進むにつれ、高速処理を実現できるようになったが、反面、センサ等に用いられるアナログ回路の安定した電気的特性を得ることが困難な状況になっている。本研究では、アナログ回路の電気的特性を補完するための電気的特性解析、ノイズ除去、異常状態判定をデジタル・アシスト回路で実現させ、パラメータ設定によってデジタル・アシスト回路を自動生成するシステムとそのシステムを使用したチップの開発を目的とする。

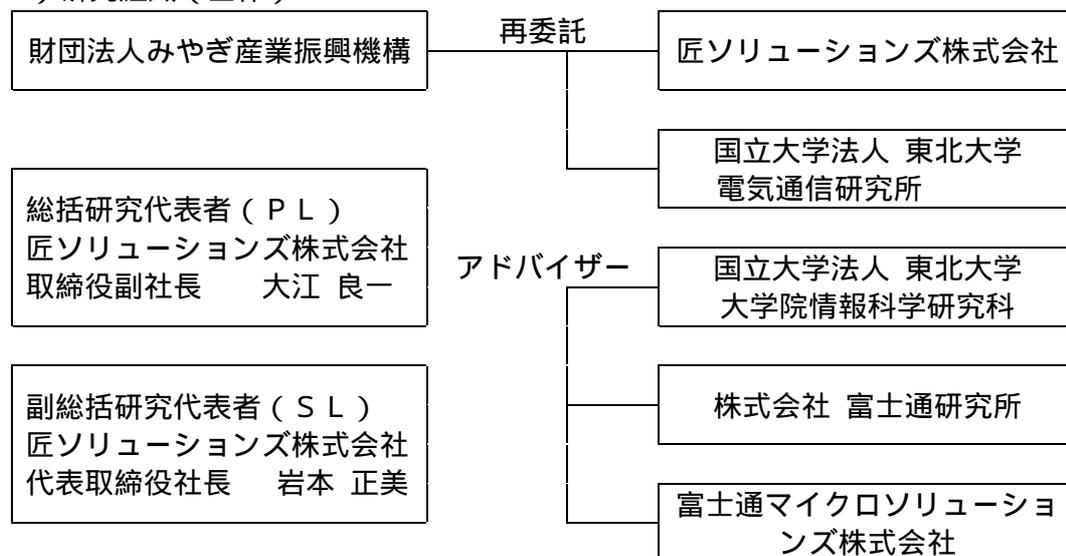
2) 研究の概要

現在自律型ロボットに使用されている AD コンバータの高速処理と、ノイズの影響等による誤動作を防ぎ安全性・信頼性を確保するとともに、低コスト・低電力化を実現するためにデジタル・アシストの研究開発を行う。また、AD コンバータの設計段階でのミスの混入や設計期間の短縮を図るため、設計を自動で行うシステムを構築し、パラメータの設定のみで高性能・高品質の AD コンバータが設計できる環境を顧客に提供する。これにより、ノイズ発生率 -20[dB]以下、利得、オフセット・ミスマッチ ± 1 [LSB]以下、クロックジッタ 10[psec]以内の AD コンバータを、従来型に比べ、面積 1/5 以下、消費電力 1/10 以下、テストコスト 1/3 以下で実現することを目標とする。

1 - 2 . 研究実施体制

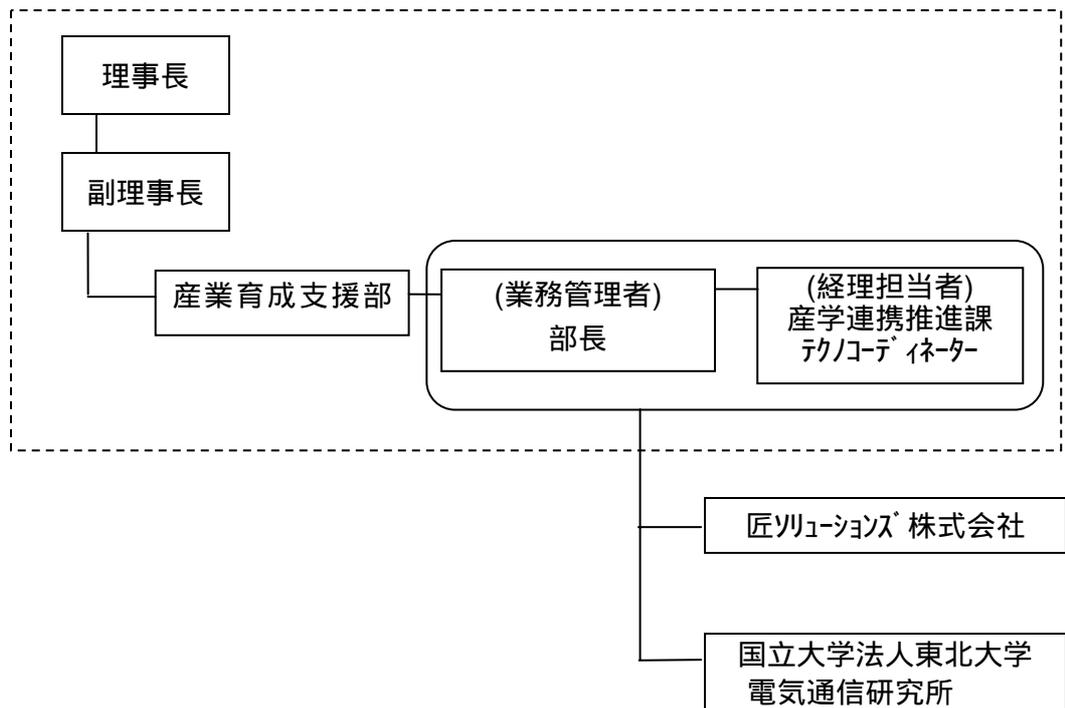
(1) 研究組織及び管理体制

1) 研究組織 (全体)



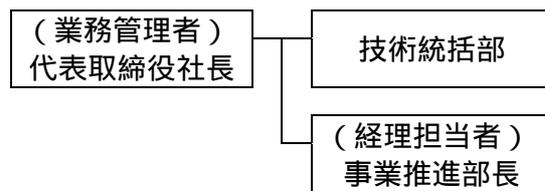
2) 管理体制

管理法人 [財団法人みやぎ産業振興機構]

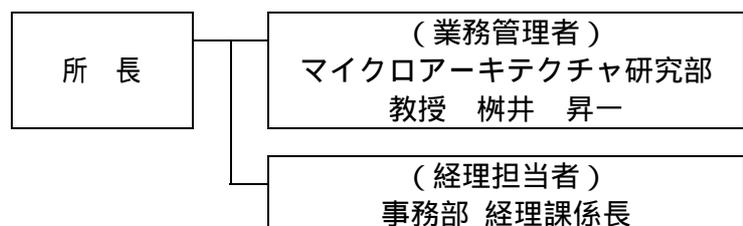


(再委託先)

匠ソリューションズ株式会社



国立大学法人 東北大学電気通信研究所



(2) 研究員及び管理員(役職・実施内容別担当)

【総括事業代表者(PL)】(プロジェクト管理員)

氏名	所属・役職
大江 良一	匠ソリューションズ株式会社・取締役副社長、事業推進部長

【管理法人】財団法人みやぎ産業振興機構
管理員(プロジェクト管理員)

氏名	所属・役職	実施内容
吉田 徹	産業育成支援部 ・部長	
町田 博	産業育成支援部産学連携推進課・テクノ・デザイナー	
引地智(*)	産業育成支援部産学連携推進課・テクノ・デザイナー	

(*)平成22年4月より、八重樫順一が引き継ぐ。

【再委託先(研究員)】

匠ソリューションズ株式会社

氏名	所属・役職	実施内容
大江 良一	取締役副社長・事業推進部長	: PL
岩本 正美	代表取締役社長	: SL
堀米 春輝	技術統括部・研究員	
斎藤 潤	技術統括部・研究員	
山川 完司	技術統括部・研究員	
カサハラ ヴァイカト	技術統括部・研究員	
佐藤 崇	技術統括部・研究員	
宮川 誠司	技術統括部・研究員	

国立大学法人 東北大学電気通信研究所

氏名	役職・所属	実施内容
榎井 昇一	教授	

(3) 経理担当者及び業務管理者の所属、氏名

【管理法人】

財団法人みやぎ産業振興機構

(経理担当者) 産業育成支援部 産学連携推進課 テクノ・デザイナー 町田 博
(業務管理者) 産業育成支援部 部長 吉田 徹

【再委託先】

匠ソリューションズ株式会社

(経理担当者) 取締役副社長・事業推進部長 大江 良一
(業務管理者) 代表取締役社長 岩本 正美

国立大学法人 東北大学電気通信研究所

(経理担当者) 経理課経理係長 清野 彰
(業務管理者) 教授 榎井 昇一

(4) 他からの指導・協力者名及び指導・協力事項

研究推進会議 委員

氏名	所属・役職
大江 良一	匠ソリューションズ株式会社・取締役副社長、事業推進部長
岩本 正美	匠ソリューションズ株式会社・代表取締役社長
堀米 春輝	匠ソリューションズ株式会社技術統括部・研究員
斎藤 潤	匠ソリューションズ株式会社技術統括部・研究員
山川 完司	匠ソリューションズ株式会社技術統括部・研究員
カサル カイカト	匠ソリューションズ株式会社技術統括部・研究員
佐藤 崇	匠ソリューションズ株式会社技術統括部・研究員
宮川 誠司	匠ソリューションズ株式会社技術統括部・研究員
榎井 昇一	国立大学法人東北大学電気通信研究所・教授
吉田 徹	(財)みやぎ産業振興機構 産業育成支援部・部長
村上 信幸	(財)みやぎ産業振興機構 産学連携推進課・課長
熊谷 圭太(*)	(財)みやぎ産業振興機構 産学連携推進課・副参事
町田 博	(財)みやぎ産業振興機構 産学連携推進課・テクノディレクター
引地 智(**)	(財)みやぎ産業振興機構 産学連携推進課・テクノディレクター
青木 孝文	国立大学法人 東北大学大学院情報科学研究科・教授 / アドバイザー
土屋 真平	株式会社 富士通研究所・取締役 / アドバイザー
助村 隆郎	富士通マイクロソリューションズ株式会社統括部長 / アドバイザー

(*)平成 22 年 4 月より碓井聡が引き継ぐ。(**)平成 22 年 4 月より八重樫順一が引き継ぐ。

アドバイザーの役割

アドバイザー	主な指導・協力事項
青木 孝文	自立型ロボットの研究動向、センサ回路技術
土屋 真平	デジタル・アシスト回路技術、AD コンバータ回路技術
助村 隆郎	エンドユーザからの要望の吸い上げ

1 - 3 成果概要

デジタル・アシストの研究開発

SoC デバイスのプロセスの微細化に伴い、アナログ回路設計において、現在手法による設計では安全性、信頼性において要求を実現するような設計を行う事が困難となっている。このため、このような要求を実現するアナログ回路設計を行うためには、デジタル回路でアナログ特性を補正する技術を使用した回路設計が必須となってくる。これを踏まえ、自律型ロボット向けのセンサシステムを実現する上で重要となる AD コンバータ回路を、デジタル回路でアナログ特性を補正する技術を使用して設計を行い、精度および信頼性の分析・研究を行った。本研究開発では、そのような安全性、信頼性を確保するために Time Interleaving AD コンバータのノイズの発生を 20db 以下、利得・オフセットのミスマッチの発生を 1 LSB 以下、クロック・ジッタの発生を 10psec 以下を目指した。東北大と匠ソリューションの研究を通し、詳細なデジタル・アシストのアーキテクチャ及び回路を確立し、本研究にて購入したシミュレーションツールによる検証により、回路の不具合が無く、ノイズの発生 20db 以下、利得・オフセットのミスマッチの発生 1 LSB 以下を達成する事ができた。

しかし、クロック・ジッタに関する検討は以下の通り、今後の課題となった。理論上は、クロックジッタの発生を 10psec 以下にする事は可能だが、平成 21 年度研究の AD コンバータの仮実装(FPGA)では、FPGA 内部でクロック制御ができる DCM(digital clock manager)モジュールの制約上の理由から、FPGA のデバイス自体がクロックジッタの制御が 200ps までしかできないため、クロック・ジッタに関しては継続して平成 22 年度以降の研究となる、LSI 実装のフェーズで技術の確立を行いたいと考えている。

また、補正処理に関しては、補正演算部分の演算精度を上げる事により、高性能な AD コンバータが作製できる事が明らかになった。さらに、不必要なノイズだけでなく、必要なデータ成分までも取り除いてしまう理由からデジタル・フィルタの必要がなく、また、FFT を使用した補正処理のみで十分な結果が得られる事も明らかになった。

一方、補正処理時間の問題が課題として挙げられた。2msec 以下を目標としたが、現状 5msec となっている。これを改善するために平成 22 年度以降の研究では、補正実施時に評価する FFT スペクトルの周波数軸が限られている性質を利用し、FFT 計算量を抜本的に削減する手法を研究することを考えている。

デジタル・アシストシステムの研究開発

現在の手作業による開発では、複雑な作業による認識違い、計算ミス、見逃し、勘違い等の理由から、ミスの混入が多くなり安全性、信頼性が落ちてしまうという課題があり、それを解決するために、デジタル・アシストの研究開発によって得られた AD コンバータ回路を、その仕様に合わせてパラメータを設定するだけでデジタルアシスト回路が生成されるシステムを構築することを目指し、VBA 言語を利用してパラメータを設定するだけでデジタルアシストが生成されるシステムを確立した。様々なパラメータを設定した回路のシミュレーションによる検証にて、検証率 100%を達成し、不具合が無い事を確認した。また、デジタルアシストシステムを実現するための、集積回路設計環境を立ち上げた。さらに、アナログ回路特性の個別補正を実現するために補正データを蓄積するための不揮発メモリの設計を行っている。

AD コンバータの仮実装 (FPGA) 及び評価

デジタル・アシスト回路を実際にデバイスとして実装して動作させるために、試作段階として FPGA に実装し、実装した回路でも安全性、信頼性を確保するために Time Interleaving AD コンバータのノイズの発生を 20db 以下、利得・オフセットのミスマッチの発生を 1 LSB 以下を目指した。また、消費電力の 1/10 以下を目指した。評価用に FPGA 基板を設計し、試作品の製作を行い、評価を進めた。

FPGA は何度もプログラミングすることができる LSI であり、この段階の分析での不具合をすぐさまフィードバックできることが可能であるため、何度もデバックと実装を繰り返す事によって、デジタルアシスト回路に関しては最適化の見通しが得られた。Time Interleaving AD コンバータのノイズの発生を 20db 以下、利得・オフセットのミスマッチの発生を 1 LSB 以下、また、消費電力の 1/10 以下を達成する事ができた。

また、ハードウェアサイズに関してだが、今回の実装先が FPGA である事、研究用に余剰な回路を実装している事により 200K ゲート + 700KbRAM 程のサイズ (計画の 3 倍以上) になっている。ハードウェアサイズの小型化は、平成 22 年度以降の研究である、LSI 実装のフェーズで最適化する事を考えている。

1 - 4 当該プロジェクト連絡窓口

財団法人みやぎ産業振興機構

〒980-0011 宮城県仙台市青葉区上杉一丁目14番地2

Tel : 022-225-6636 Fax : 022-263-6923

e-mail : koudo@joho-miyagi.or.jp

産業育成支援部 部長 吉田 徹

産業育成支援部産学連携推進課 村上信幸、熊谷圭太(*)、町田博、引地智(**)

(*)平成22年4月より碓井聡が引き継ぐ。

(**)平成22年4月より八重樫順一が引き継ぐ。

第 2 章 デジタルアシストの研究開発

(実施内容)

近年の SoC デバイスのプロセス微細化に伴い、アナログ回路設計において、ノイズの影響等により、安全性、信頼性において要求を実現するような設計を行う事が困難となってきた事が問題となっている。

これを踏まえ、自律型ロボット向けのセンサシステムを実現する上で重要となる AD コンバータ回路を、デジタル回路でアナログ特性を補正する技術を使用して設計を行い、精度及び信頼性の分析・研究を行った。なお、東北大学は、 - 1 デジタルアシスト設計を分担し、デジタルアシストの方式を実現する事を目指した。また、2010 年 2 月には回路設計に関する最新の研究成果が報告された ISSCC(International Solid-State Circuit Conference)の国際会議に出席し、新たに提案されたドキュメント構成技術に関する情報を得た。また、同国際会議に出席する AD コンバータ回路設計の世界的権威である Stanford 大学の Wooley 教授に当概研究開発に関する情報についてアドバイスを求め、本研究事業のデジタルアシスト設計に関するコンセプトの優位性・独立性を確認した。また、本研究の成果を期間中に特許出願するに際し、これらの結果を基に特許クレームの見直しを行い、権利化を確保した。

以上に関する具体的目標を下表に示す。

表 2 . 1 デジタル・アシスト研究の具体的目標

	本研究目標
シミュレーション	エラー 0
FPGA 基板評価	エラー 0
ノイズ発生率	20db 以下
利得、オフセットのミスマッチ	1LSB 以下
クロックジッタ	10psec 以下
AD コンバータの面積	1/5 以下
AD コンバータの消費電力	1/10 以下
テストコスト	1/3 以下
キャリアレーション時間	2msec 以下

2 - 1 デジタルアシストの設計

(A) AD コンバータにおけるアナログ回路の特性を補正するようなデジタル回路について研究し、設計仕様に関するドキュメント構成を確立した。更に (B) 得られたドキュメント構成に基づいてデジタル・アシスト回路を設計した。

(A) デジタルアシストのアーキテクチャの確立

デジタルアシストにおける「ノイズ成分解析」は、下記を考えればよい。

Offset に関わる Spurious: $fs \cdot k/M$

Gain Error に関わる Spurious: $fin+fs \cdot k/M$ と $fs-(fin+fs \cdot k/M)$

Phase Skew に関わる Spurious: $fin+fs \cdot k/M$ と $fs-(fin+fs \cdot k/M)$

Gain Error と Phase Skew は、同じ周波数の位置に現れるが、分離は可能である。
上記の Offset、Gain Error、Phase Skew の Mismatch を合わせこむことで補正を行う。

実際に、Matlab を用いてデジタルアシストのモデルを作成しシミュレーションを行った。
下記がその結果である。

1000 個の AD コンバータに対する、ENOB (Effective Number Of Bit) のヒストグラムである。Mismatch は Random と仮定: $\text{avg}(\text{om})=20\text{LSB}$, $(\text{om})=1\%$, $\text{avg}(\text{am})=1\text{LSB}$, $(\text{am})=1\%$

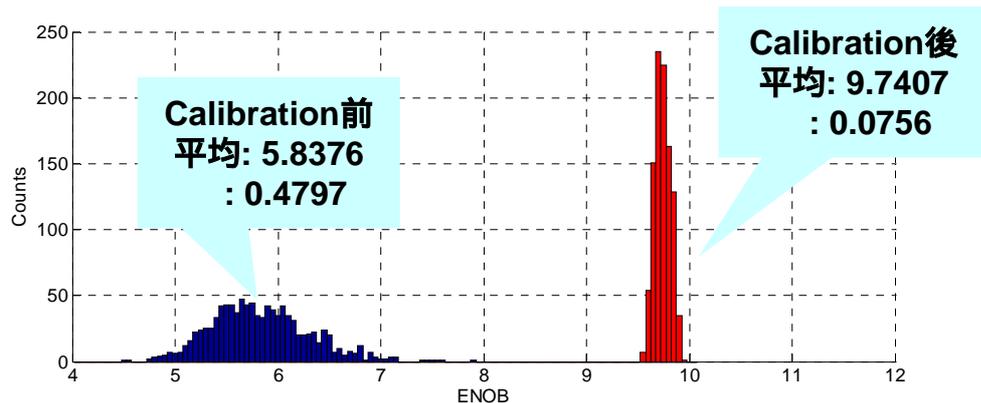


図 2 - 1 . 1 Calibration 結果の検証(Mat lab 解析)

ENOB とは、「Effective Number Of Bits」であり、有効ビット数を表す。上記シミュレーションでは、AD コンバータを 10 ビットと想定しているので ENOB が 10 に近づくほど AD コンバータが高品質であるということを意味する。

この結果から、ENOB の平均が 5.8376 から Calibration(補正)後に 9.7407 に上昇していることから、本研究のアーキテクチャが確立され、補正方法が正しく効果的であることが実証された。

(B) 回路設計

前項で確立したアーキテクチャを具体化する為の回路を検討した。
本アーキテクチャは SoC 化を最終目標としているが、平成 21 年度研究ではその試作段階としてボード(基板)上で実現することとする。試作段階ではアーキテクチャの検証が目的となる為、パラメータなどを柔軟に変更できる方が望ましい。そこで、ボード上に FPGA を搭載し、アーキテクチャは FPGA 内に実装する事とした。FPGA は何度も際プログラミング可能な LSI であるため、アーキテクチャの基礎検証という目的に合致する。

一方、AD コンバータ及び補正回路は FPGA とは別に、独立した回路部品として基板上に実装した。AD コンバータを独立させた理由は、これにより AD コンバータが交換可能となり種々の AD コンバータについて本アーキテクチャの有用性を実証する事が可能になると判断した為である。補正回路については、FPGA がデジタル信号を処理するデバイスである事から、アナログ信号を直接的に補正・制御する事が不可能な事による。

下図は、設計した FPGA の内部のブロック図である。

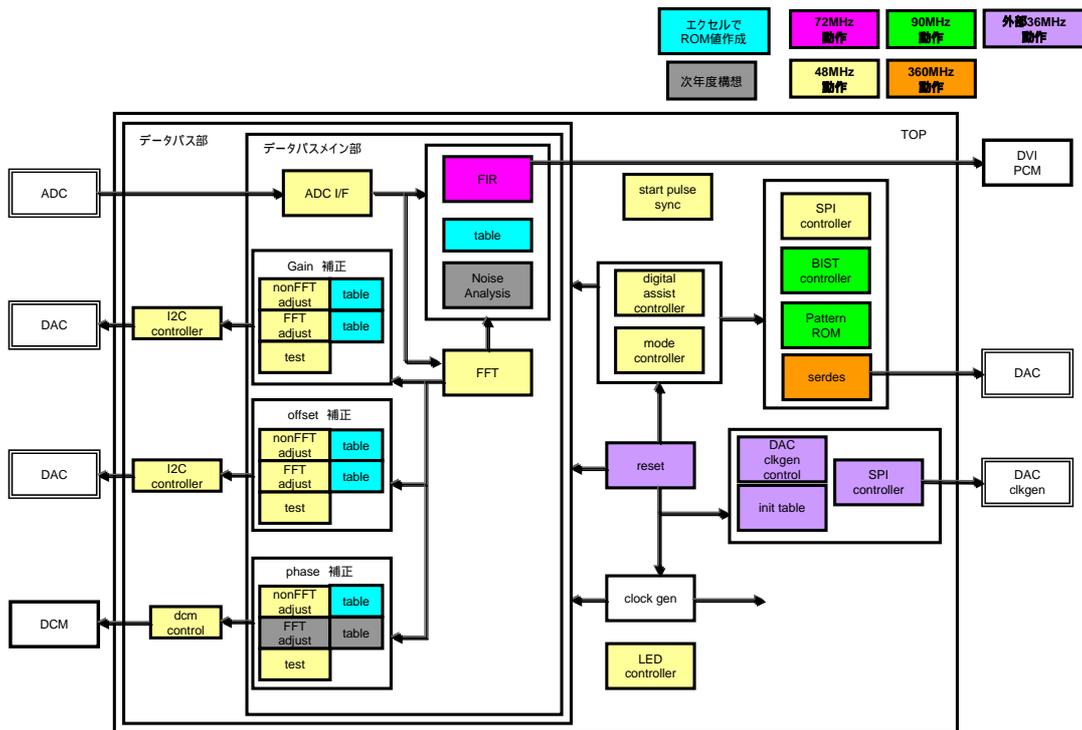


図 2 - 1 . 2 FPGA 内部ブロック図

2 - 2 デジタルアシストの検証

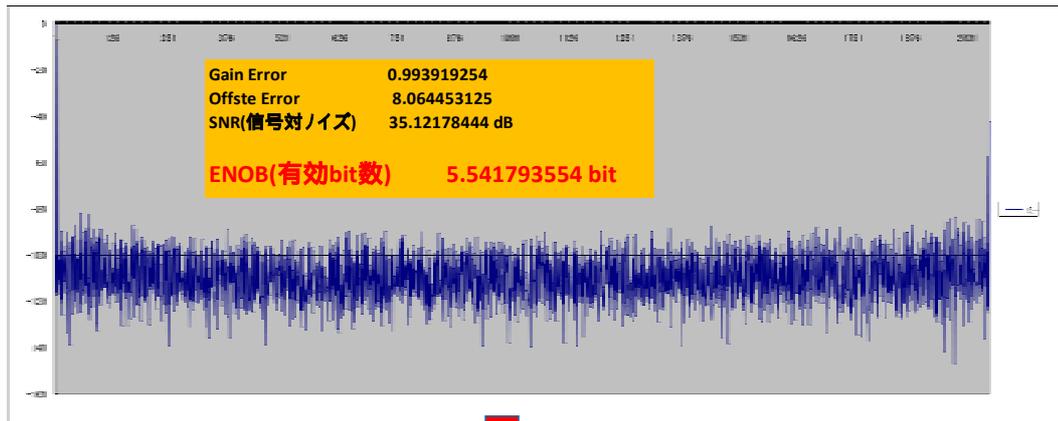
(C) 設計したデジタル・アシスト回路が目標どおりの性能を得られているかどうかを確認するための検証項目及び検証手法について検討し、本事業にて購入したシミュレータを使用して検証を実施し、研究及び信頼性の分析を行った。

(C) 検証結果

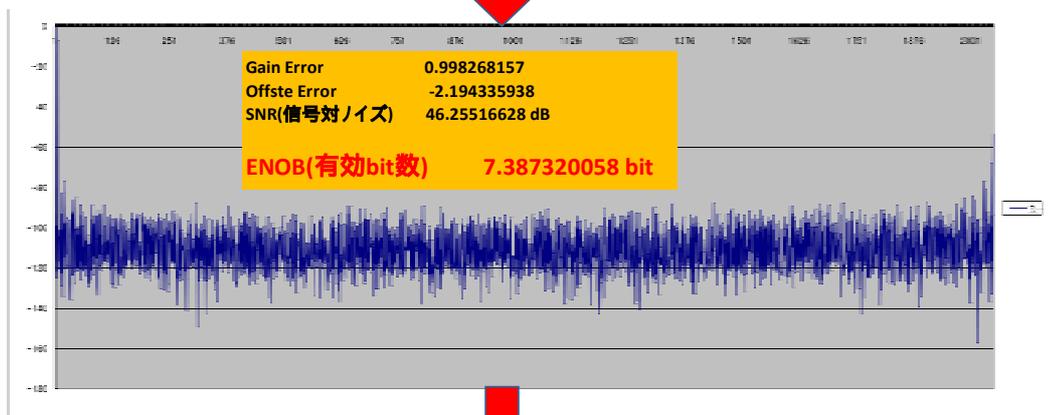
RTL シミュレーションでのノイズの測定結果を下記に示す。

下記は、シミュレーションを行った際の FFT 結果である。ノイズが十分に補正されている事が、SNR(signal-noise ratio)、ENOB の値からわかる。

初期



キャリブレーション1回目



キャリブレーション2回目

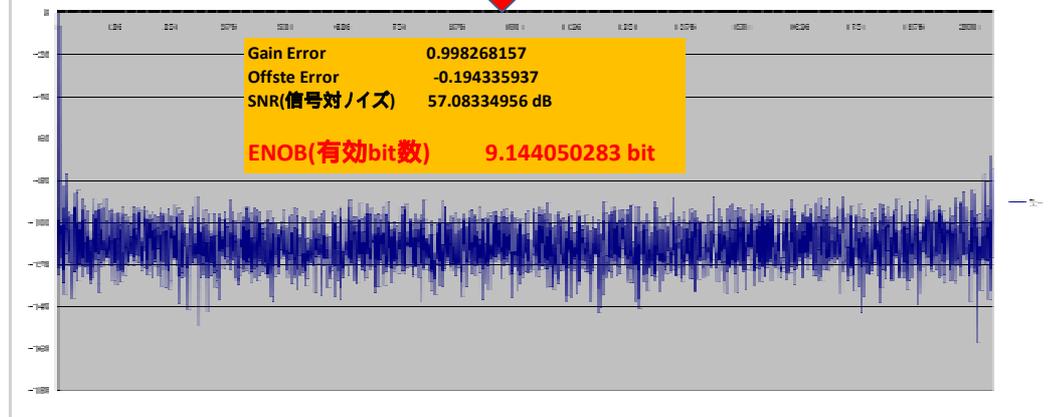


図 2 - 2 . 1 RTL シミュレーション FFT 結果

また、下記は、FFT を使用して補正を行った結果である。

また、この結果から回路の不具合が無く、ノイズの発生 20db 以下、利得・オフセットの mismatches の発生 1 LSB 以下を達成する事ができた事がわかる。

表 2 - 2 . 1 RTL シミュレーション補正結果

S.No	ゲインエラー(比率)				オフセットエラー(LSB)			
	初期	補正1回目	補正2回目	補正3回目	初期	補正1回目	補正2回目	補正3回目
1	1.023638	1.000142	1.00013	1.000142	-21.9951	11.99951	-0.00049	-0.00049
2	0.994045	1.000121	1.000121	1.000121	7.99707	-3.00098	-0.00098	-0.00098
3	1.017557	1.001249	1.000039	1.000027	-20.9946	8.64209	-0.00098	-0.00098
4	0.981484	1.000142	1.00013	1.000142	-10.4238	-10.0005	-0.00049	-0.00049
5	1.002475	1.002464	1.000121	1.000121	1.868164	0.908203	-0.00098	-0.00098
6	1.029436	1.000039	1.000039	1.000027	3.013184	15.99902	-0.00098	-0.00098
7	0.988828	0.998861	0.999998	1.000009	25.98535	12.39258	0.171875	0.171875
8	1.002697	1.000126	1.000126	1.000126	3.747559	1.055176	0.055176	0.055176
9	0.982733	0.99994	0.999952	0.99994	33.98291	-8.88623	0.11377	0.11377
10	0.977162	0.999554	0.999542	1.00013	-4.00537	-11.7202	0.279785	-0.00049
11	0.956479	1.000055	1.000055	1.000121	-18.2109	-22.9565	0.043457	-0.00098
12	0.973752	0.999814	0.999826	1.000039	-4.2998	-13.8818	0.118164	0.999023
13	1.01416	1.000142	1.00013	1.000142	-16.2373	6.999512	-0.00049	-0.00049
14	0.998787	1.000121	1.000121	1.000121	2.556641	-1.00098	-0.00098	-0.00098
15	0.990646	1.000027	1.000039	1.000027	-7.2168	-5.00098	-0.00098	-0.00098
16	1.010582	1.000926	1.00013	1.000142	4.622559	4.803223	0.999512	-0.00049
17	0.995261	1.000121	1.000121	1.000121	0.378906	-2.00098	-0.00098	-0.00098
18	1.012842	1.000027	1.000039	1.000027	1.361328	6.999023	-0.00098	-0.00098
19	0.989783	1.000051	1.000039	1.000051	17.37646	-4.92529	-0.92529	0.074707
20	1.003665	1.000789	1.00016	1.00016	18.13867	1.65918	-0.03125	-0.03125
21	0.987363	0.999679	0.99969	0.999679	19.50684	-6.75	0.25	0.25
22	1.011693	1.000434	1.000422	1.000434	3.013672	5.736816	-0.26318	0.736816
23	1.002178	1.00028	1.00028	1.00028	-3.20264	0.808105	-0.19189	0.808105
24	1.013982	1.000463	1.000475	1.000463	5.882324	6.645508	-0.35449	0.645508
25	1.007345	1.000142	1.00013	1.000142	0.402832	3.999512	-0.00049	-0.00049
26	0.994045	1.000121	1.000121	1.000121	-3.00293	-3.00098	-0.00098	-0.00098
27	1.004894	1.000027	1.000039	1.000027	-9.38086	1.999023	0.999023	-0.00098
28	1.009524	1.000142	1.00013	1.000142	-1.78467	4.999512	-0.00049	-0.00049
29	0.997767	1.000121	1.000121	1.000121	-4.87012	-1.00098	-0.00098	-0.00098
30	0.993966	1.000027	1.000039	1.000027	-0.00293	-3.00098	-0.00098	-0.00098
平均	1.012152	1.000381	1.000165	1.000159	12.72158	8.247378	0.331066	0.3014

S.No	SNR(DB)				ENOB(Bits)			
	初期	補正1回目	補正2回目	補正3回目	初期	補正1回目	補正2回目	補正3回目
1	26.40857	31.8171	53.56257	53.56257	4.094444	4.992872	8.604716	8.6047164
2	35.19816	43.80546	61.24834	61.24834	5.554456	6.984258	9.879722	9.8797226
3	26.88804	34.63864	53.57474	53.57474	4.174092	5.461331	8.606782	8.6067818
4	32.25449	33.38719	53.56257	53.56257	5.065504	5.253683	8.604716	8.6047164
5	47.37431	52.07241	61.24834	61.24834	7.573934	8.348473	9.879722	9.8797226
6	35.9184	29.33129	53.57474	53.57474	5.674106	4.579947	8.606782	8.6067818
7	25.13237	31.53027	52.7581	52.7581	3.882449	4.945112	8.467572	8.467572
8	41.83954	51.92878	58.27843	58.27843	6.657326	8.325367	9.353219	9.3532188
9	22.76106	34.49041	52.85013	52.85013	3.488532	5.436838	8.479443	8.4794426
10	36.78299	32.21259	52.59527	53.56257	5.817744	5.058559	8.443236	8.6047164
11	26.99338	26.41039	58.4961	61.24834	4.19159	4.094742	9.413243	9.8797225
12	35.79389	30.7553	52.91641	50.49555	5.653265	4.816474	8.494227	8.0954492
13	29.08603	36.44304	53.56257	53.56257	4.539194	5.761296	8.604716	8.6047164
14	45.0895	52.75822	61.24834	61.24834	7.195456	8.471173	9.879722	9.8797226
15	35.76299	39.28367	53.57474	53.57474	5.648301	6.233155	8.606782	8.6067818
16	38.91806	39.60677	50.48739	53.56257	6.172369	6.285592	8.094073	8.6047164
17	51.29661	47.2292	61.24834	61.24834	8.22506	7.552941	9.879722	9.8797226
18	42.66673	36.44388	53.57474	53.57474	6.79476	5.761436	8.606782	8.6067818
19	28.57629	39.46766	50.47043	52.84753	4.454528	6.263544	8.08908	8.4822365
20	28.34877	48.55996	58.25879	58.25879	4.416737	7.773714	9.35595	9.3559498
21	27.54812	36.82254	52.62466	52.62466	4.283698	5.82426	8.446189	8.4461885
22	40.96914	38.01226	52.58009	51.12367	6.512663	6.021778	8.436386	8.1960161
23	42.99157	53.45057	57.80961	53.45057	6.848159	8.57687	9.284661	8.5768699
24	36.73525	36.77122	52.3401	51.43535	5.809497	5.815723	8.398609	8.2489564
25	47.27598	41.13375	53.56257	53.56257	7.559289	6.54047	8.604716	8.6047164
26	42.9067	43.80546	61.24834	61.24834	6.834669	6.984258	9.879722	9.8797226
27	33.8887	46.47191	50.49555	53.57474	5.336867	7.427165	8.095449	8.6067818
28	43.83293	39.28565	53.56257	53.56257	6.988558	6.233484	8.604716	8.6047164
29	39.58118	52.75822	61.24834	61.24834	6.281942	8.471173	9.879722	9.8797226
30	48.6088	43.44129	53.57474	53.57474	7.78077	6.923771	8.606782	8.6067818
平均	36.58095	40.1375	55.20459	55.30825	5.783665	6.373982	8.872905	8.891122

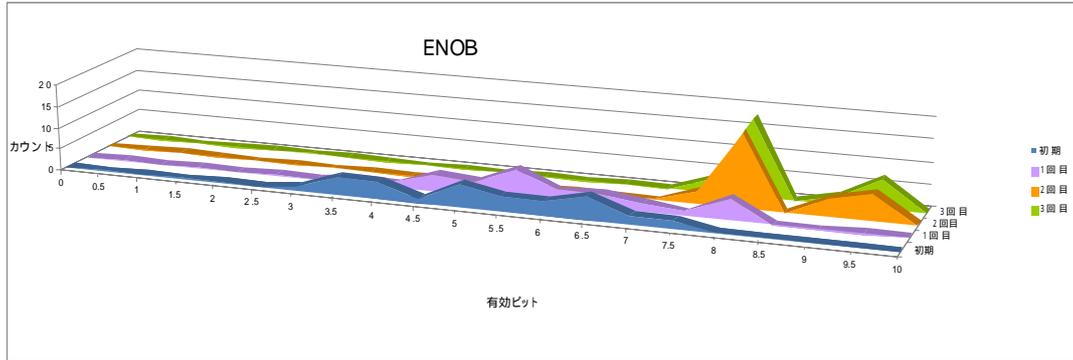


図 2 - 2 . 2 RTL シミュレーション補正結果

第 3 章 デジタルアシストシステムの研究開発

(実施内容)

前章にて報告した技術を利用した AD コンバータのデジタル補正回路を、ユーザーが必要なパラメータを設定することによってデジタルアシスト回路の自動生成を行い、安全性・信頼性を損なうことなく要求された特性を容易に実現可能とするシステムを構築した。本システムから設計された AD コンバータデジタル・アシスト回路は、自律型ロボットに多数使用されるセンサーに用いられ、ノイズ発生率、利得・オフセットのミスマッチ、クロックジッタを抑える事を可能としている。

本研究では、現在の手作業による開発では、複雑な作業による認識違い、計算ミス、見逃し、勘違い等の理由から、ミスの混入が多くなり安全性、信頼性が落ちてしまうという課題があり、それを解決するために、AD コンバータの仕様に合わせてパラメータを設定するだけでデジタルアシスト回路が生成されるシステムの構築を行った。

3 - 1 デジタルアシストシステムの設計

(D) デジタル・アシスト回路を自動設計するために必要なパラメータや、その実現方法について検討を行い、デジタル・アシストシステムの詳細ドキュメントを決定し、システムを構築した。

(D) システム設計

前章に述べた技術を利用した AD コンバータのデジタル補正回路を、ユーザーが必要なパラメータを設定する事によってデジタルアシスト回路の自動生成を行った。具体的にパラメータとは、例えば出力ビット数など、仕様上定量的に定義されているものを表す。そのパラメータを VBA のプログラミング言語からなるプログラムを介してデジタルアシスト回路を HDL と呼ばれるハードウェア記述用言語として生成した。

下記図は、本研究で作成したデジタルアシストシステムのパラメータ設定を行う操作画面である。

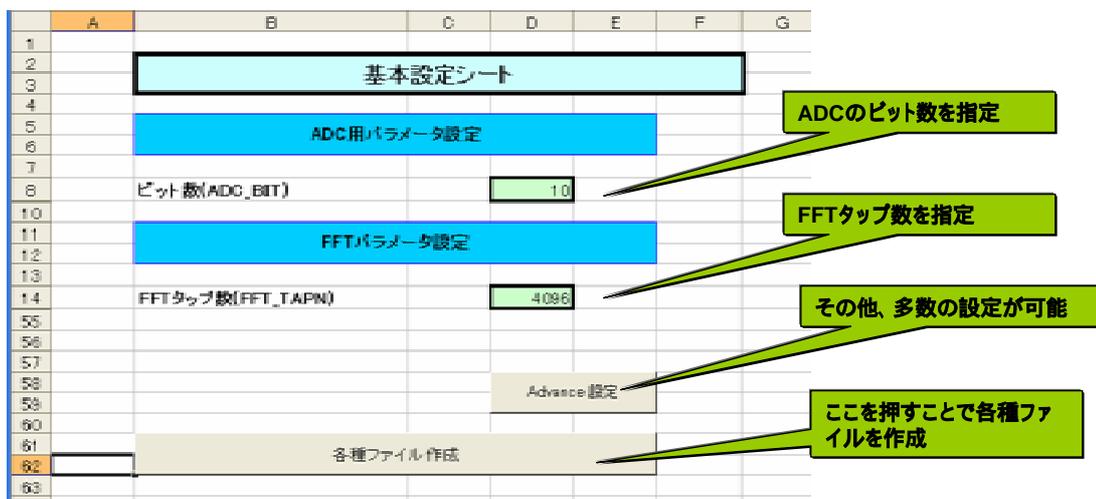


図 3 - 1 . 1 デジタルアシストシステム

また、デジタルアシストシステムを実現するための、0.18um テクノロジーを利用した集積回路設計環境を立ち上げた。

アナログ回路特性のばらつきを個別に補正するため、Calibration 情報を蓄積する CMOS-Based 不揮発フリップフロップの実現を検討し、0.18um テクノロジーでの設計を終えている。

3 - 2 デジタルアシストシステムの検証

(E) 自律型ロボット用製品としての実用性を考慮して、生成されるデジタル・アシスト回路の性能やパラメータ設定等の操作性などについて検証した。なお、顧客の要望をより反映させるため、メーカーとの技術打ち合わせ及び共同での検証実験を行った。

本システムで出力したデジタルアシスト回路に対し第 2 章でのシミュレーション検証と同様、パラメータを変更して出力した各回路に対してのシミュレーションを行った。

デジタルアシストシステムの検証条件を作成し、本検証では、この条件をすべて確認がとれた事で、作成したデジタルアシストシステムが、検証率 100%を達成し、不具合等の問題が無いことを確認した。

第 4 章 AD コンバータの仮実装 (FPGA)

(実施内容)

第 2、3 章の課題、または、アナログ技術とデジタル技術の融合における課題を解決するためには、第 2、3 章を通して開発した回路を、実際にデバイスとして実装し動作検証を行うことが必要となる。

当概研究では、タイムインターリーブ方式 AD コンバータの動作確認及び性能分析を目的に、デジタル・アシスト回路を搭載した FPGA 基板 (以下、AD コンバータ仮実装評価基板) を設計・試作し、評価を行った。

また、第 2、3 章で設計した AD コンバータ回路に対し、デジタルアシスト回路の使用時 / 未使用時の比較を行うことで、高速処理、安全性、信頼性が保たれているかの研究、分析を行った。

4 - 1 AD コンバータの仮実装の作製

(F) 本研究で開発した AD コンバータ仮実装評価用基板は、基本的には図 2 - 1 . 3 に記載した回路ブロック図を具現化した物に評価用の各種機能を追加したものである。本基板の開発は、部品選定・回路設計を匠ソリューションズ(株)が行い、パターン設計(アートワーク)及び基板製造を外注している。

(F) 評価用基板作成

以下に、開発した AD コンバータ仮実装評価用基板の写真を示す。



図 4 - 1 . 1 AD コンバータ仮実装評価用基板
(MAIN 基板 + SUB 基板勘合状態)

4 - 2 AD コンバータの仮実装の評価

(G) FPGA に実装して、アナログデータを処理した上で、デジタル・アシストを実装した場合と、実装しなかった場合の比較を行い、高速処理、安全性、信頼性に関して分析を行った。

(G) 評価

AD コンバータにおいてデジタルアシスト「あり」と「なし」での効果を比較する事で、精度向上を確認した。これは、予め回路内の信号レベルをSDカードに書き込みモニタできるように回路を追加し、それを確認する事で行った。

下記に、仮実装 (FPGA) での補正結果を下記に示す。

図4 - 2 . 2 中の初期の値が補正「なし」に相当し、図中の補正 * 回目が補正「あり」にあたる。ゲインエラー、オフセットエラーが減り、ENOB が上昇している事から評価基板上でも補正ができている事を確認した。

ただし、下記結果は AD コンバータ以外で発生している基板上的ノイズ (電源ノイズ、アンブノイズ等) を 0 として考えた場合の結果であるため、実測値そのものではない。したがって、AD コンバータのノイズ補正に特化した場合の結果である。

	ゲインエラー (比率)			オフセットエラー (LSB)			ENOB(bit)		
	初期	補正1回目	補正2回目	初期	補正1回目	補正2回目	初期	補正1回目	補正2回目
平均	1 ± 0.005252	1 ± 0.002438	1 ± 0.000156	12.95115	4.545485	0.400045	5.612968	7.161697	8.620326

図4 - 2 . 1 仮実装補正結果

以上の結果から、Time Interleaving AD コンバータのノイズの発生を 20db 以下、利得・オフセットのミスマッチの発生を 1 LSB 以下を達成する事ができたといえる。

また、ISE 合成の結果より消費電力の 1/10 以下を達成していることも確認している。

第5章 全体総括

下記は、平成21年度研究の目標達成度である。部分的な課題は若干あるが、概ね目標どおりの結果が得られていると考えている。

表5.1 目標達成状況

	本研究 目標	平成21年 度成果	状況	備考
シミュレーション	エラー0	エラー0	達成	平成21年度の研究成果で達成
FPGA 基板評価	エラー0	エラー0	達成	平成21年度の研究成果で達成
ノイズ発生率	20db 以下	20db 以下	達成	平成21年度の研究では、シミュレーションより算出 平成22年度以降では、LSIで実証。
利得、オフセットのミスマッチ	1LSB 以下	1LSB 以下	達成	平成21年度の研究では、シミュレーションより算出 平成22年度以降では、LSIで実証。
クロックジッタ	10psec 以下	200psec 以下	本事業で実施	平成21年度の研究では、200ps 以下 平成23年度以降に10ps 以下抑制が可能
AD コンバータの面積	1/5 以下	未実施	本事業で実施	平成21年度の研究では、未実施。 (デジタルアシスト部 200Kgate + 700KbRAM) 平成22年度以降の研究で実施
AD コンバータの消費電力	1/10 以下	1/10 以下	達成	平成21年度の研究では、机上計算で実証 平成22年度以降の研究では、LSIで実現
テストコスト	1/3 以下	未実施	本事業で実施	平成21年度の研究では未実施 平成22年度以降の研究で実施
キャリブレーション時間	2msec 以下	5msec	本事業で実施	平成21年度の研究では5msec を要する 平成22年度以降の研究で、2msec 以下実現

また、平成21年度研究から生じた課題を具体的に下記に示す。

キャリブレーション速度の高速化

現在までの研究では、キャリブレーション時間が約 5msec かかっている。川下産業のニーズに応えるためにキャリブレーションに掛る時間を 2msec 以下とする。そのために、現在行っている FFT の高速化を行う必要がある。改善案としては、下記が挙げられる。

現状の FFT の処理が、Ch0 をリファレンスとした 4 個の AD コンバータに対して、Ch0 と Ch1、Ch0 と Ch2、Ch0 と Ch3 の 2 本の信号の合成波に対して合計 3 回の FFT が必要となる課題に対し、Ch0 から Ch3 の 4 本の合成波により一回の FFT で実現する手法を確立（補正の手法や計算方法が複雑となる）する、

キャリブレーション実施時に、評価する FFT スペクトルの周波数軸が限られている性質を利用し、FFT 計算量を抜本的に削減する手法を研究する。

ハードウェアサイズの最適化

現在までの研究では、デジタル部の回路規模は 200K ゲート + 700KbRAM となっている。更に、回路規模を最適化し、AD コンバータの面積を目標値の 1/5 以下とする。

クロックフェーズ（ジッタ）補正の FFT 使用化

現在までの研究では、クロックフェーズ（ジッタ）補正を FFT の結果は使用せずキャリブレーションを行っている。FFT を介してキャリブレーションを行うことで目標に掲げている 10psec 以下を目指す。

再構成可能なデジタルフィルタの再考

平成 21 年度の研究では、利得・オフセットの補正後、再構成可能なデジタルフィルタでノイズを除去する手法は、有効性が期待できないという研究結果が出ている。再構成可能なデジタルフィルタを使用しなくても、FFT を用いて高精度な利得・オフセットの補正を行うことで、ノイズ発生率を-20db 以下に抑え、利得・ミスマッチを 1 LSB 以下に抑えることが可能である。

特許化戦略、ノウハウ蓄積による技術の差別化については、下記のとおり実施した。
平成 21 年度研究で培った AD 変換器デジタルアシスト、デジタルアシストシステムにおいての特許を出願中である。

今後の事業化計画については、以下のとおりである。

(1) 項目及び成果目標

製品等の名称		試作・評価・量産プラットフォーム				
開発事業者		匠ソリューションズ株式会社				
スケジュール	事業終了後の経過年数	1 年目	2 年目	3 年目	4 年目	5 年目
	サンプルの出荷	→				
	追加研究	→	→			
	製品の生産（修正含）	→				→
	製品の販売	→				→
	川下産業評価	→	→			
売上見込	売上高（千円）	0	20000	100000	300000	500000
	販売数量（件）	0	1	5	15	25
	売上高の根拠	<p>今後の市場の動向を踏まえた上で、今後より一層の LSI の微細化が進み、デジタルアシストされた高精度の AD コンバータのニーズが高まる事は間違いなく、本研究成果はそのニーズに十分に応えたものとなっている。</p> <p>また、本事業のアドバイザー企業 2 社との連携にて本研究の成果が評価されれば、多方面の企業への本事業の導入が比較的容易に行われると考えている。</p> <p>また、初期導入のリスクを軽減するために評価版の無償提供も積極的に行う。</p> <p>本研究の成果は、アドバイザーである富士通研究所（携帯電話への適用）をはじめ、シャープ様（液晶テレビへの適用）、GE エレクトロニクス様（医療機器への適用）、日産様（車載用アクティブ・セーフティシステムへの適用）、富士フィルム様（デジタルカメラへの適用）等、システムメーカ、自動車メーカから注目されている。</p>				

(2) 実施体制の改善・変更等

今後の市場の動向を踏まえた上で、今後より一層の LSI の微細化が進み、デジタルアシストされた高精度の AD コンバータのニーズが高まる事は間違いなく、本研究成果はそのニーズに十分に応えたものとなっている。

また、本事業のアドバイザー企業 2 社との連携にて本研究の成果が評価されれば、多方面の企業への本事業の導入が比較的容易に行われると考えている。

また、初期導入のリスクを軽減するために評価版の無償提供も積極的に行う。

本研究の成果は、アドバイザーである富士通研究所（携帯電話への適用）をはじめ、シャープ様（液晶テレビへの適用）、GE エレクトロニクス様（医療機器への適用）、日産様（車載用アクティブ・セーフティシステムへの適用）、富士フィルム様（デジタルカメラへの適用）等、システムメーカ、自動車メーカから注目されている。

（３）事業化への取り組み

AD コンバータ回路の動作をデジタルアシスト技術で補正し、アナログ信号に含まれる信号成分を損なわずにデジタル信号に変換する高性能 AD コンバータの試作、評価、量産の統合プラットフォームとして販売を行う。

本事業で開発する AD コンバータは画像認識システム以外の用途(例えば音声認識システム)にも使用可能であり、回路データそのものに IP (知的財産)としての需要が期待できる。

開発した高性能 AD コンバータは次に示す 3 種類の提供方法で順次各川下産業へと提供する。

- ・「評価用基板」の無償提供（基板を量産化したもの）
- ・デジタルアシスト回路（FPGA 用暗号データ）の無償提供
- ・デジタルアシスト回路（LSI 用非暗号データ）の有償ライセンス提供

導入リスクを緩和するために、無償で試作評価基板、並びに暗号化を施した FPGA 用のデジタルアシスト回路データを提供する。そこで、一定の評価を得られた後に、LSI 用のデジタルアシスト回路データを年間ライセンス契約を締結し有償提供する。また、ライセンス提供においては、ライセンスキーを発行する事で、不正利用を防止する策をとる。

また、有償ライセンスの単価は、市場価格を考慮し、年 2000 万円に設定する。