

平成 27 年度戦略的基盤技術高度化支援事業

「高性能有機半導体電子回路の印刷技術の開発」

研究開発成果等報告書

平成 28 年 3 月

委託者 近畿経済産業局

委託先 パイクリスタル株式会社

目 次

第1章 研究開発の概要

1-1 研究開発の背景・研究目的及び目標

1-2 研究体制

1-3 成果概要

1-4 当該研究開発の連絡窓口

第2章 大面積塗布プロセスの開発

2-1 大面積塗布材料の検討

2-2 大面積塗布条件の検討

2-3 デバイス間特性バラツキ低減

第3章 有機トランジスタ回路設計技術の開発

3-1 有機トランジスタ回路解析・設計

3-2 有機トランジスタ設計環境の開発

3-3 有機トランジスタ回路デバイスの作成

第4章 全体総括

参考文献

第1章 研究開発の概要

1-1 研究開発の背景・研究目的及び目標

近年 3D プリンタ、CNC 工作機、レーザカッター等の工作機器の性能向上と低価格が進み、もの作りの世界で変革が起きつつある。その最大の特徴は、試作や少量での製造が低コスト且つ短時間で行えることであって、日本においても中小メーカーが、この技術の可能性に注目し始めている。しかし現状では、この技術はあくまでも、材料の加工やモノの造形のための技術であるため、波及する応用分野は限定的である。ここに半導体技術の中核とするエレクトロニクスの分野で、少量低コスト生産が可能な技術が加わると大きな波及効果が生まれると考えられる。

近年、提案者らが開発に成功した、溶液塗布で作製する高性能の有機トランジスタ技術は、印刷で製造する低コスト回路の実現へ向けた道を拓いた。これにより、温度、湿度、照度、ガス、匂いといった環境を計測できる様々な環境センシングデバイスを末端まで普及させる見通しが得られるようになった。将来的には、デバイスのフレームから半導体回路まですべてを印刷プロセスで小ロット生産するなど、全く新しい形態のもの作り市場が形成されることが期待される。

長らくエレクトロニクス産業を支えてきたシリコン CMOS 技術は、開発コストが高く且つ高額な設備投資を伴うため、少品種の大量生産を前提としていた。そのため少量で多様な品種への対応が求められる産業分野では、CMOS 技術の進化を十分に享受することができなかった。昨今、多様な“もの”をセンシングデバイスを介してネットワークにつなげてホストコンピュータにデータを蓄積し、大量のデータを活用したサービスを提供する情報ネットワーク社会の到来が期待されている。しかし、その実現の見通しはたっていない。少品種大量生産を前提とする CMOS 技術だけでは、多様なセンシングデバイスを隅々までに供給することがコスト的に不可能なことが原因である。低コストで少量生産が可能な集積回路技術の構築が望まれる。

本研究は、多様化するセンシングデバイスへのニーズに着目し、印刷可能な高性能有機単結晶トランジスタによる集積回路を実現し、新しい情報ネットワーク社会の基盤を創成することを目的とする。

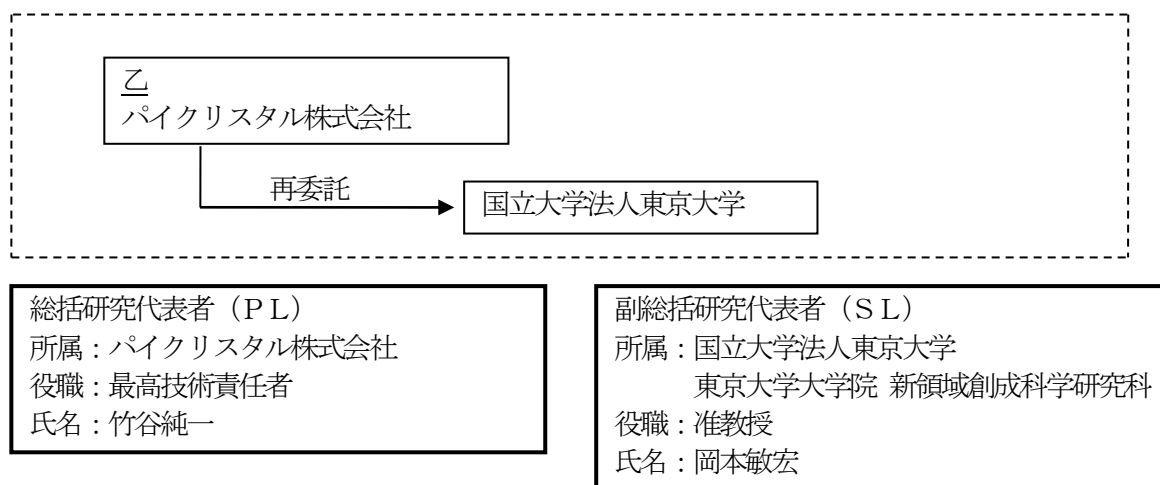
本研究開発では、高性能有機半導体技術と塗布による単結晶膜形成技術をシーズとして、回路デバイスへの応用を可能にするための実用化研究を東京大学と共同で行った。

従来の技術では、トランジスタ回路が作れる規模の有機半導体を形成すると、性能が α -Si より大きく劣り使い物にならないか、コストの高い蒸着法に依存する必要があった。本研究では、 α -Si より高い性能でトランジスタ回路が実現可能な大面積の有機半導体膜を塗布法で形成する技術を確立すると共に、有機半導体で実用的な論理回路やアナログ回路が実現できることを実証した。また、有機半導体の回路設計に適した設計環境の構築を行った。

1-2 研究体制

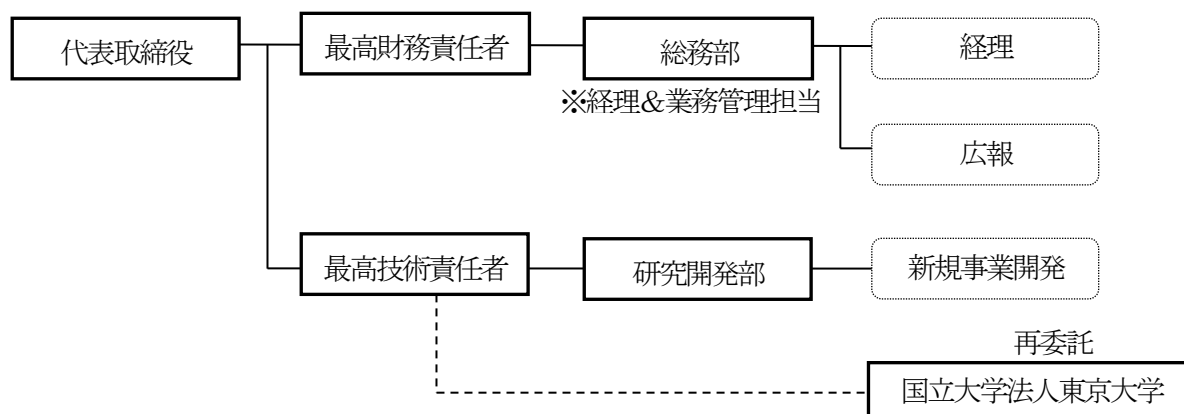
以下に示す体制で研究開発及び管理を行った。

1)研究組織

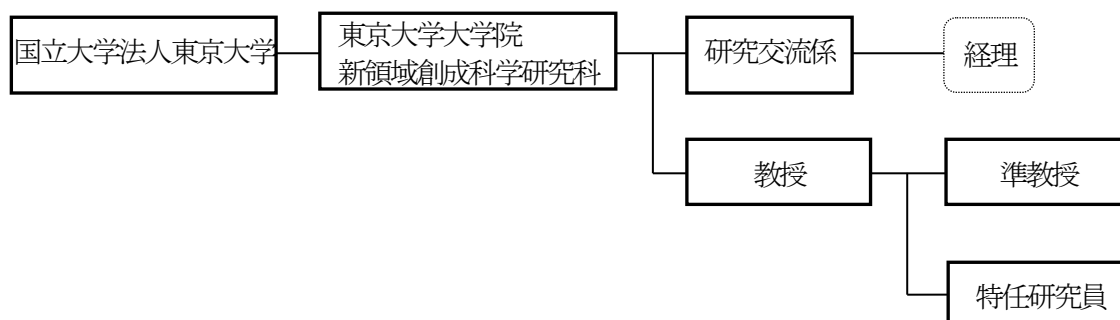


2)管理体制

事業管理機関：パイクリスタル株式会社



再委託先：国立大学法人東京大学



3)研究員

パイクリスタル株式会社	
伊藤 政隆	代表取締役
竹谷 純一	最高技術責任者
山口 清一郎	取締役
工藤 誠	研究開発部 研究員(2013,2014,2015 年度)
柳生 慎吾	研究開発部 研究員(2015 年度)
廣瀬 友里	研究開発部 研究員(2013,2014 年度)
諫早 伸明	研究開発部 研究員(2015 年度)
岸村 眞治	研究開発部 研究員(2014 年度)
国立大学法人東京大学	
岡本 敏宏	東京大学大学院 新領域創成科学研究科 准教授

1-3 成果概要

各テーマの成果概要を以下にまとめる。

大面積塗布プロセスの開発	
大面積塗布材料の検討	1) 有機半導体材料及び溶媒の純度を高めるための技術を開発した 2) 塗布基板表面のクリーニング技術を開発した 3) 塗布基板表面の SAM 処理技術を開発した 4) 有機半導体溶液に PMMA を添加する有機半導体インク技術を開発した
大面積塗布条件の検討	5) CMOS 型有機半導体膜を形成するための P/N 塗り分け技術を開発し、有機半導体膜ラインの幅及びスペースを 1mm まで縮小することを可能にした 6) 上記技術の開発により、4×4 インチ基板への高性能有機半導体の大面積塗布を安定的に行うことが可能になった
特性ばらつき低減	7) 従来技術では移動度のばらつきが 50%以上であったのに対して 20%以下に抑制することが可能になった
論理回路設計・製作	
回路設計・検討	1) 有機半導体に適した回路方式の検討を行った 2) CMOS 型有機半導体による、さまざまな機能回路について設計検討を行った 3) 有機半導体技術に適した、低コストな設計環境を開発した
集積回路デバイスの作成	4) さまざまな要素回路及び機能回路の試作評価を行った、例えば ・ 塗布法による CMOS 型有機半導体として世界初となる D-FF 回路を、10kHz 以上の速度で動作させることに成功、 センサーデバイスへの応用において十分な速度を得た ・ カウンターやレジスタ等のロジック回路で多用される機能回路を試作し正常動作させた ・ 3bit の逐次比較型 AD コンバーターを試作し正常動作をさせた

1-4 当該研究開発の連絡窓口

姓本 憲和

パイクリスタル株式会社

Tel & Fax : 06-7507-1118

norikazu.shomoto@pi-crystal.com

第2章 大面積塗布プロセスの開発

2-1 大面積塗布材料の開発

個体半導体が原子間の強い共有結合の軌道に沿ってキャリアが伝導するのに対して、有機半導体は弱い分子間力によって凝集しており、その弱い π 結合軌道をキャリアが伝導する。我々は、有機半導体におけるキャリアの伝導メカニズムに関する数々の研究を行ってきた[1-11]。これらの研究結果から、分子間の相対的な位置の自由度を少なくして、室温での分子揺らぎを小さくすることが電子のコヒーレンスを高め、高移動度化につながるという、重要な分子設計指針を得ることができた(図 2-1-1)。

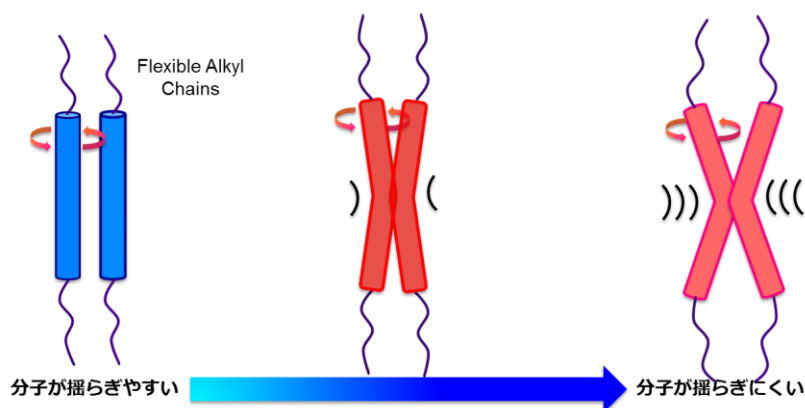


図 2-1-1 分子構造と分子揺らぎの容易性

この分子設計指針に沿って屈曲型の π 共役コアを有する分子群の合成に成功した[12]。それらの分子群の中から、大面積塗布に適した有機半導体材料として C_{10} -DNBDT(図 2-1-2)を見出した。この材料を用いて試作した単結晶トランジスタの移動度は $16 \text{ cm}^2/\text{Vs}$ におよぶ高い値が得られた。

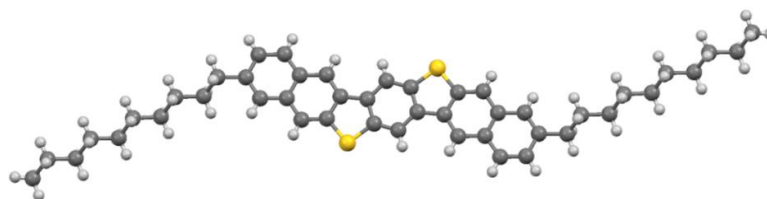


図 2-1-2 C_{10} -DNBDT の分子構造

本研究では C_{10} -DNBDT を中心材料として、大面積且つ高品質な有機半導体塗布膜を得るための材料技術の開発を行った。

2-1-1 材料の純度

高品質な単結晶膜を得る上で、有機半導体材料やその溶媒の純度が重要であることが重要であることが分った。そこで C_{10} -DNBDT の高純度化プロセスを確立し、材料合成のロットに依存していた移動度が、安定して $10 \text{ cm}^2/\text{Vs}$ が得られるようになった。また、溶媒の高純度化にも

着手した。これまでの研究で有機半導体の溶媒として 3-クロロチオフェンが適していることを見出していた。しかし、市販されている 3-クロロチオフェンの製造ロットによっては、広いドメインでの単結晶膜が形成できないことが判明した。そこで、3-クロロチオフェンの蒸留精製技術を立ち上げて、安定的に単結晶膜を形成することを可能にした。

2-1-2 塗布基板の表面処理

有機半導体単結晶膜の塗布では、膜を形成する基板表面の影響を受けるため、成膜表面に対する界面改質は大面積塗布を実現する上で重要な課題である。前処理の手法として、UV 光によるオゾン処理やプラズマ処理などを施したり、絶縁性の高分子絶縁膜や自己組織化単分子膜 SAM(Self-Assembled Monolayer)を基板表面に形成する方法がある。

ボトムゲート・トップコンタクト型の有機トランジスタでは、ゲート絶縁膜上に有機半導体を形成する。有機トランジスタの場合ゲート絶縁膜の選択肢は広いため、それらの絶縁膜種にあまり依存しない SAM による前処理が好ましいと考えた。事前の基礎実験により幾つかある SAM 材料の中で β -PTS(β -フェネチルトリクロロシラン)が、我々の半導体材料との相性が良いことが分ってきた。そこで、C₁₀-DNBDT の大面積塗布を実現することを目的として、 β -PTS による前処理の最適化を行った。

実験では、溶媒、溶液濃度、処理温度や処理時間等をパラメータとし、接触角と AFM による表面粗さの評価により、最適な条件を決定した。図 2-1-3 に室温処理における、処理時間と接触角の関係を示す。溶媒としてトルエンを用いて濃度は 10mM である。図 2-1-4 は最適な条件と従来条件で処理した場合の表面粗さを比較したものである。最適条件で処理した場合は表面の粗さが少なく、均一性が高いことがわかる。

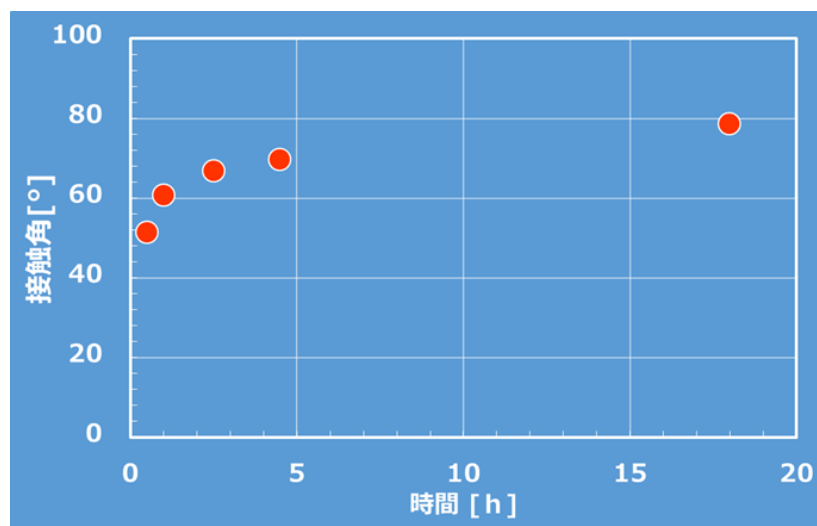


図 2-1-3 β -PTS 処理の最適条件出し実験(接触角の処理時間依存)

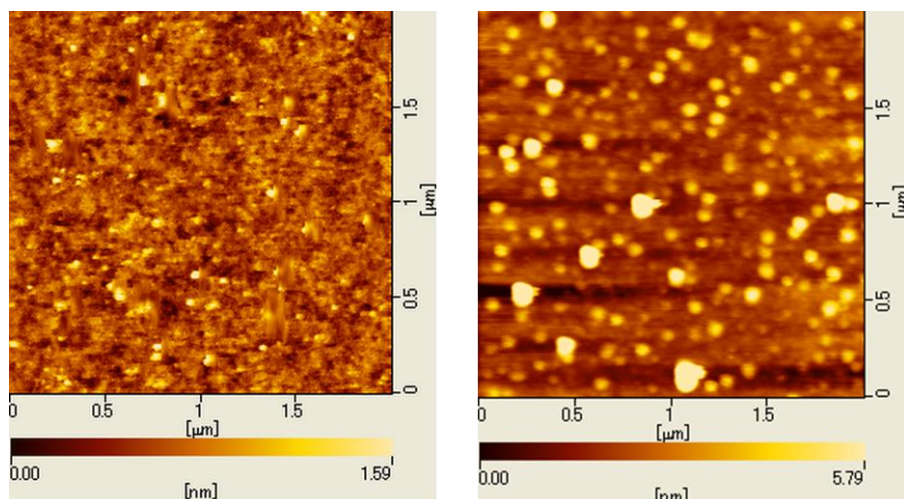


図 2-1-4 β -PTS 処理後の AFM 表面分析結果(左図：最適条件、右図：旧条件)

2-1-3 連続エッジキャスト法と PMMA 添加技術

東京大学が開発した連続エッジキャスト法 (図 2-1-5)は、塗布法により有機半導体単結晶膜を形成する技術で、大面積化を実現するポテンシャルを有している。

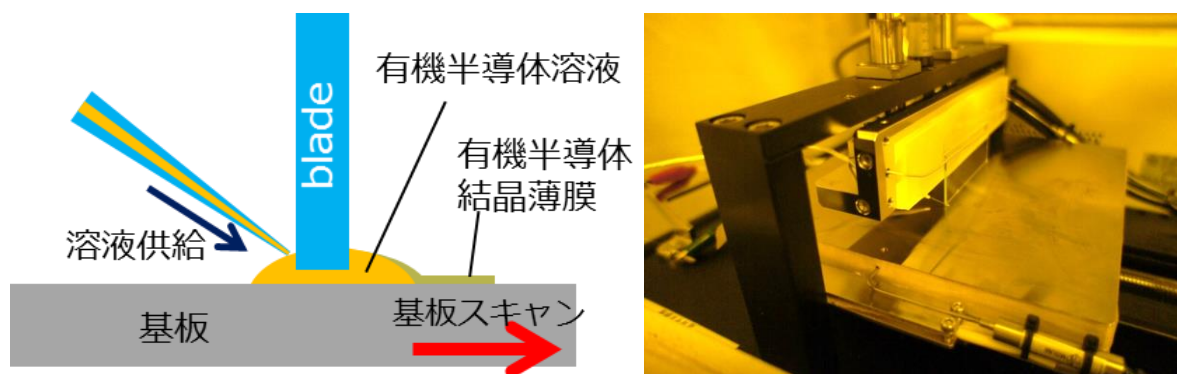


図 2-1-5 連続エッジキャスト法の概念図(左)と装置の写真(右)

通常の塗布プロセスでは有機薄膜を形成する方向が規定されないため、結晶化しやすい有機半導体材料を用いても、ランダムな結晶軸方向をもつドメインが寄せ集まった、多結晶薄膜となる。そこで半導体の結晶化に方向性を持たせるというコンセプトで開発したのがエッジキャスト法である[11](図 2-1-6)。

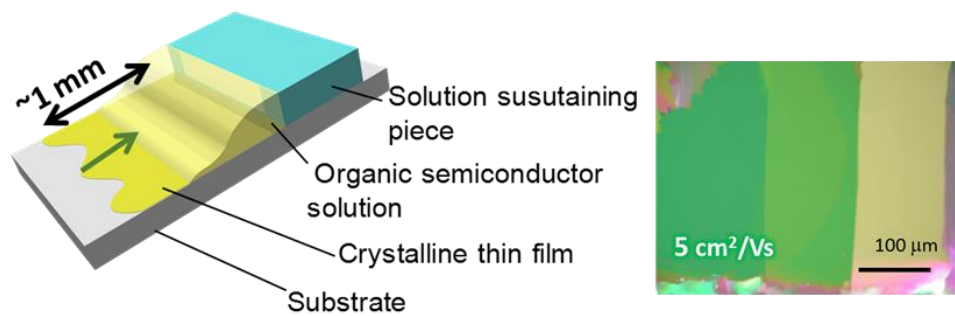


図 2-1-6 エッジキャスト法の概念図(左)と成膜された有機半導体単結晶膜(右)

エッジキャスト法には次の技術的な特徴がある。

- 1) 結晶性長の方向を規定する溶液の乾燥方向を制御することで結晶の配向性を高める
- 2) 分子の自己凝集性を最大限に利用するために自由度の高い溶液表面で結晶成長させる
- 3) 薄膜が基板上で成膜されるのは溶液保持端に限定される

連続エッジキャスト法はこのエッジキャスト法を拡張したものである。単結晶薄膜が基板上に成膜されるのが溶液保持端に限定される中で基板を移動させるため、基板の移動速度と基板上での単結晶薄膜の形成速度を厳密に同期させる必要がある。図 2-1-7 に基板の移動速度を速くした場合に結晶性長が不連続になる様子を示す。

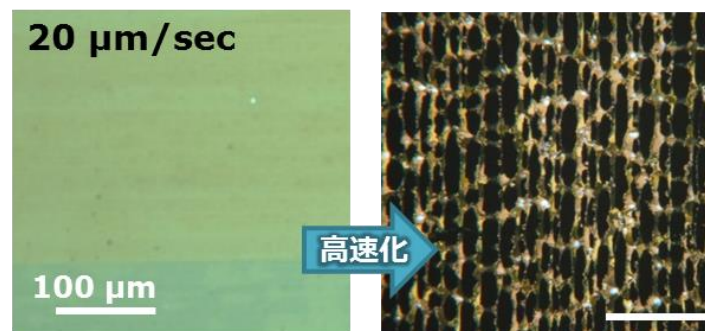


図 2-1-7 基板の移動速度を速くしたことによる単結晶膜化の不連続性

この単結晶膜化の不連続性は図 2-13 を用いて次のように説明できる。

- 1) 半導体溶液の表面で結晶性長が行われ、溶液保持端で単結晶薄膜として薄膜の形成が進む。形成と基板の移動速度が一致している場合は、単結晶薄膜が連続的に形成される。
- 2) 基板の移動が速い場合、単結晶の形成端と半導体溶液の液滴との間のギャップが広がる。
- 3) 単結晶薄膜の成膜端と半導体溶液の液滴とのギャップが広がりすぎると、何らかの外乱をトリガーとして広がった半導体溶液がスリップする。

4) スリップした半導体溶液端を起点として新たな単結晶薄膜の形成が開始される。

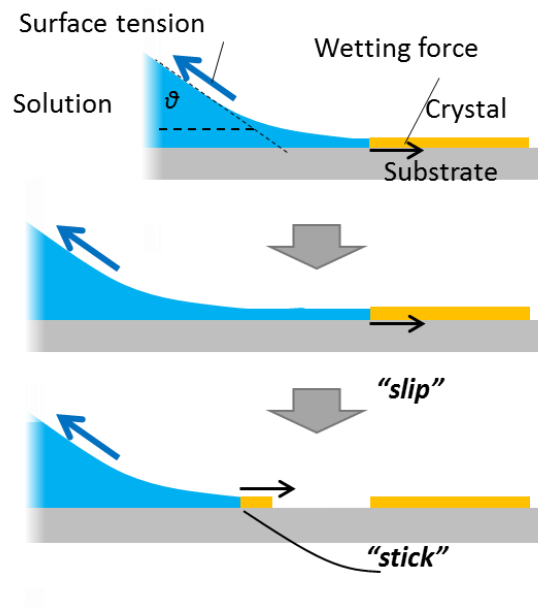


図 2-1-8 連続エッジキャスト法における不連続成膜の概念図

この半導体溶液のスリップによる単結晶薄膜の不連続成長を抑制するために、有機半導体溶液の粘性を高める方法を検討し、高分子材料 PMMA(Poly methylmethacrylate)の添加による連続エッジキャスト法による安定成長に成功した。PMMA は、ポリマーの重量平均分子量 M_w や分子量のばらつきを示す分子量分布 PDI (M_w/M_n) の観点で最適化するために、東京大学で合成と評価を行った。その結果、例えば M_w に関しては 10,000 が最適であることが分った。

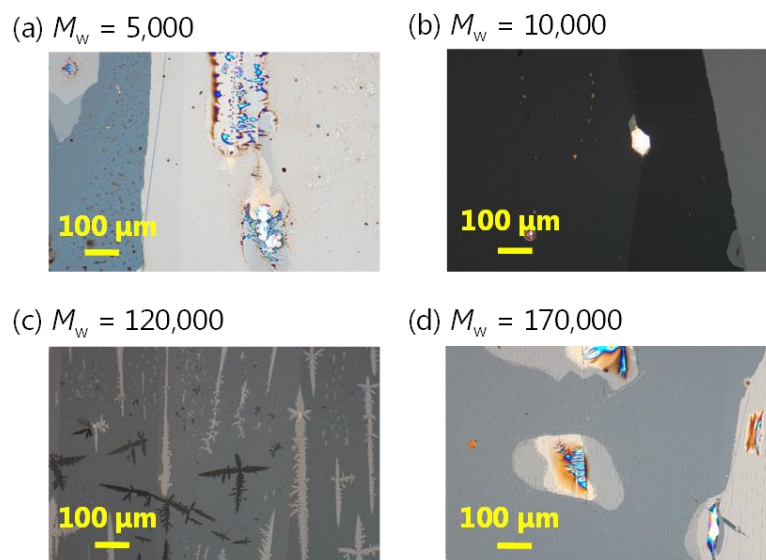


図 2-1-9 各分子量の PMMA を添加した際の最適な製膜条件における膜質の比較
(a) $M_w = 5,000$ 、(b) $M_w = 10,000$ 、(c) $M_w = 120,000$ 、(d) $M_w = 170,000$

2-2 大面積塗布プロセスの開発

東京大学が開発した連続エッジキャスト法を導入し、4×4 インチの基板に安定に高性能な有機単結晶膜を形成するプロセス技術の開発を行った。まずは、C₁₀-DNBDT 等の P 型の有機半導体単結晶膜を安定に形成するためにプロセス条件を最適化し、4×4 インチ基板上での大面積塗布を可能にした。次に、塗布プロセスの CMOS 型対応に取り組んだ。

CMOS(Complementary MOS)回路は P 型と N 型の MOSFET を組み合わせた回路で、電力消費がスイッチング時のみで状態保持には電力を必要としない点と、ロジック回路は外乱に強く回路動作を安定させやすいというメリットがある。有機半導体の実用化においても、回路の CMOS 型化が不可欠だと考え、これに対応できる塗布プロセスの開発を行った。固体半導体の場合には、半導体層に注入する不純物種によって P 型と N 型の領域を作り分けることが可能である。しかし、この方法が適用できない有機半導体の場合、P 型の半導体材料と N 型の半導体材料の両方を使い、所望の領域にそれぞれの型の有機半導体薄膜を形成し分けなければならない。そこで、連続エッジキャスト法で用いるブレードの幅を細くし、ライン状の有機半導体膜を形成し、P 型と N 型の有機半導体を塗り分ける技術の開発を行った。

図 2-2-1 に P/N 塗り分け用に最適化した連続エッジキャストの概念図を示す。有機半導体膜のライン幅はブレードの幅で規定する。現在、1mm 幅の有機半導体膜の細いラインまで安定に形成できる。

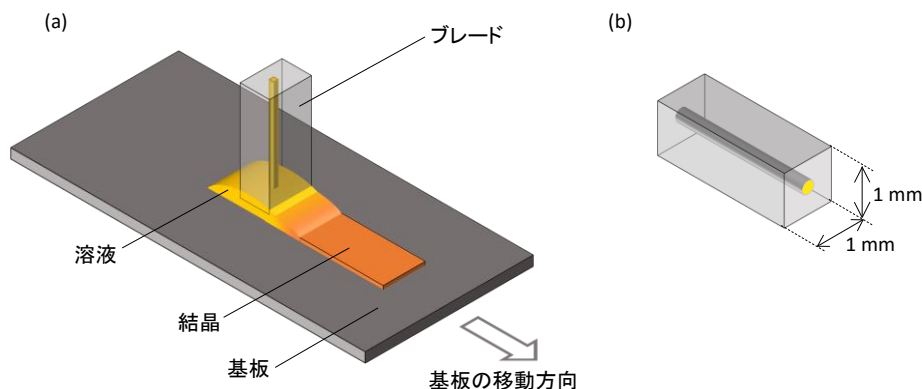


図 2-2-1 細いブレードによる連続エッジキャスト(左図)とブレード(右図)

回路の集積度を高めるためには、有機半導体ライン間のスペースも小さくする必要がある。有機半導体ライン間のスペースを縮小する際に問題となるのは、連続エッジキャストによるスキャン時の半導体溶液の幅の揺らぎである。既に形成済みの隣接半導体に半導体溶液が触れないようにスペースを空ける必要があるが、スキャン時の半導体溶液の幅が揺らぐと、大きめのマージンを持ってスペースを確保しなければならないからである。半導体溶液スキャン時の液滴の分布についてのシミュレーション等を行いブレードに対する最適化や、ブレードのアライメント性の向上等を行って、ライン間のスペースを 1mm まで狭めることが可能となった(図 2-2-2)。

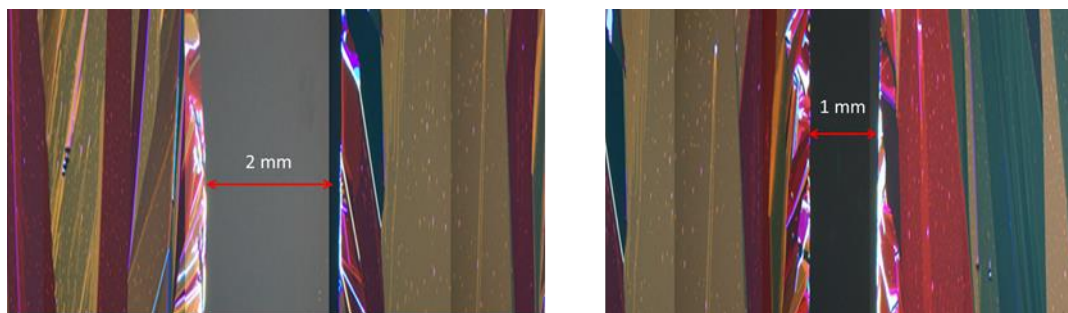


図 2-2-2 半導体ラインのスペース 2mm(左図)と 1mm(右図)で塗布した結果

良好な有機半導体単結晶膜を成膜するためには、連続エッジキャストによる塗布条件、即ち有機半導体溶媒の濃度、添加するポリマーの添加量、基板温度、供給する溶媒の温度、スキャン速度等の最適化が重要である。また、材料の純度も重要な要素であることを確認できた。しかし、これらのパラメータを制御しても、良好な有機半導体単結晶膜を形成できない場合がある。塗布を行う、基板表面の状態も重要であることが種々の実験から確認された。

先に説明した SAM 処理によって、有機半導体の塗布性が大幅に改善されることを見出しているが、同じ SAM 処理を行っても塗布後の結晶性に差がでる場合がある。SAM 処理後の基板と純水の接触角を確認すると、塗布後の結晶性と接触角には相関があり、この接触角が SAM 処理前の基板の清浄度に依存することが分った。そこで SAM 処理前の基板上に残る異物に対するクリーニング処理の方法についての検討も行った。

本研究を通して、安定した有機半導体膜の大面积塗布を実現するために、制御すべき多くの要素とそれらのパラメータや手法等について確立することができた。

2-3 デバイス間特性ばらつき低減

有機トランジスタ回路を安定的に動作させるには、有機トランジスタプロセスの最適化や信頼性の向上による有機トランジスタ自体の特性安定化が重要である。そこで多数の有機トランジスタを一度に試作評価することが可能な TEG を開発し、その試作実験を通して、有機トランジスタプロセスの改善を行った。

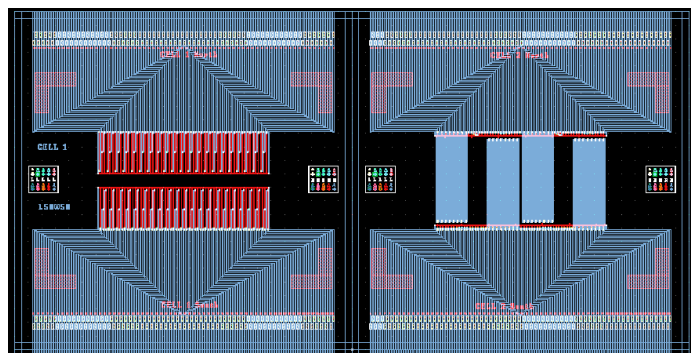


図 2-3-1 有機トランジスタアレイ TEG の例

図 2-3-2 に有機トランジスタアレイ TEG の実験結果を示す。有機半導体塗布の安定化とトランジスタプロセスの改善により、トランジスタ特性のばらつきは従来技術と比較して大幅に軽減された。トランジスタの重要な性能指標である移動で見ると、従来技術では 50% 以上もばらついていたのが 20% 以下に抑制できており、さらなる低減を進めている。

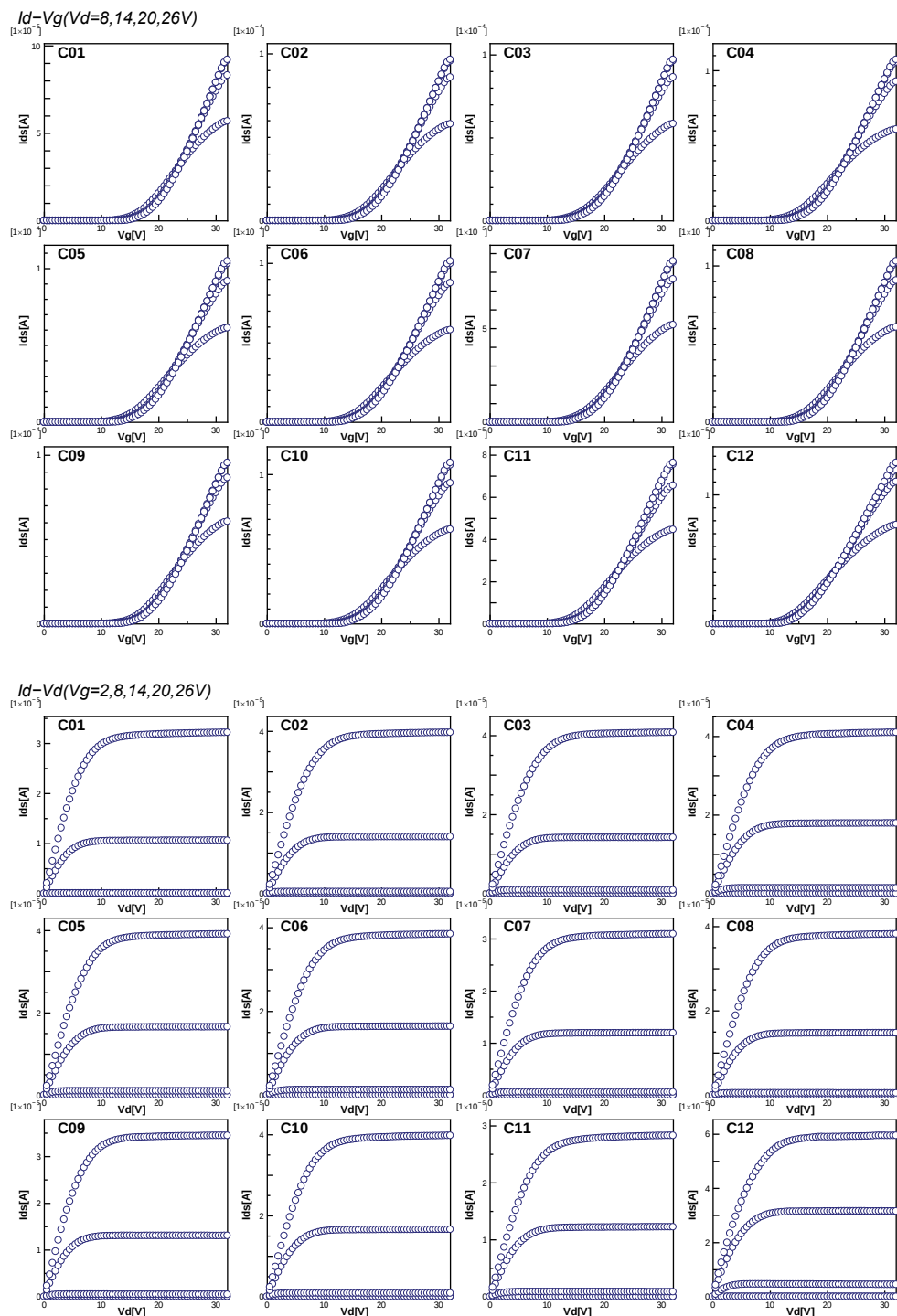


図 2-3-2 有機トランジスタアレイ TEG の実験結果例
(上図)トランスファ特性、(下図)アウット特性

第3章 有機トランジスタ回路設計技術の開発

塗布法による有機半導体技術が回路アプリケーションに適用可能であること実証することを目的として、D-FF(D 型フリップフロップ)回路、カウンタ回路、ADC 回路等の重要な回路要素の設計及び試作評価を行った。同時に有機トランジスタ回路を設計するための技術の構築も行った。

3-1 有機トランジスタ回路解析・設計

有機トランジスタによる回路設計技術を構築するに当たって、ロジック回路の基本部品である Inverter や NAND, NOR 等の基本ゲートの特性解析をシミュレーションや試作実験を通して行った。有機トランジスタの場合 N 型に比べて P 型の移動度が高いという特徴があり、これを活かした回路設計を行う必要がある。NAND と NOR 回路では、P/N 型トランジスタの一方が直列接続で他方が並列接続になる(図 3-1-1)。直列接続の場合、個々のトランジスタに印加される電圧が小さくなるため電流駆動力が小さくなり、ゲート遅延への影響も強くなる。

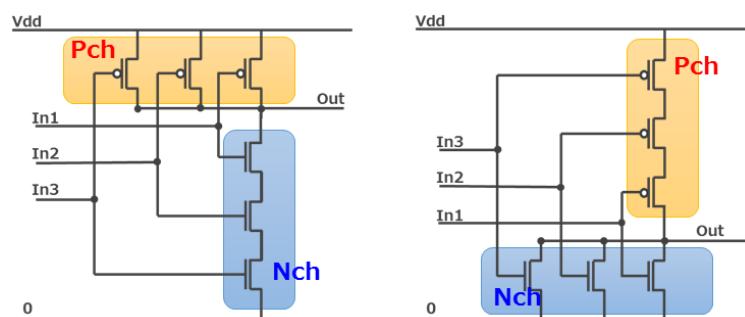


図 3-1-1 3 入力の NAND(左)及び NOR 回路のトランジスタ接続(右)

そこで P 型トランジスタを直列接続する NOR 回路の方が有利であると考え、シミュレーションによる確認を行った。シミュレーションでは N 型トランジスタのゲート幅を振って、NAND と NOR のゲート遅延の比較を行い、NOR の方が、動作速度と回路面積の点で有利であることを確認した(図 3-1-2)。そこで、有機トランジスタ回路は NOR を主体とした回路構成にすべきという基本方針を確立した。

表 3-1-1 3 入力の NOR と NAND のゲート遅延比較

Wp[um]	Wn[um]	NAND			NOR		
		Gate Delay[us]			Gate Delay[us]		
		UP	Down	Average	UP	Down	Average
50	50	32.06	1.24	16.65	10.37	3.14	6.75
50	100	17.40	1.49	9.45	5.96	3.48	4.72
50	200	10.36	1.78	6.07	3.79	4.12	3.95
50	400	6.96	2.36	4.66	2.71	5.35	4.03
50	600	5.88	2.99	4.43	2.34	6.54	4.44
50	800	5.35	3.66	4.50	2.14	7.70	4.92
50	1000	5.03	4.35	4.69	2.01	8.85	5.43
50	1200	4.82	5.06	4.94	1.91	10.00	5.96
50	1500	4.60	6.14	5.37	1.79	11.72	6.75

D-FF は、入力値の保持や出力をクロックに同期して行う機能回路である。D-FF は回路ブロック間での同期制御や、カウンタ、シフトレジスタ等に使われるロジック回路において非常に重要な役割を担っている。そこで図 3-1-2 に示す NOR を用いた D-FF を設計し有機トランジスタプロセス開発の評価指標と位置づけると共に、これを用いた非同期型や同期型カウンタ回路、或はシフトレジスタ回路等の設計評価を行った。

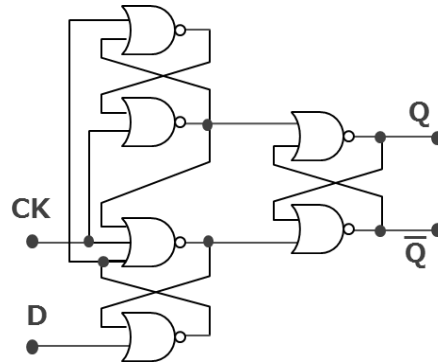


図 3-1-2 NOR で構成した D-FF 回路

有機トランジスタの応用範囲を広げるために、有機トランジスタによるアナログ回路の実現に向けた技術開発を行った。アナログ回路の応用として最も用途が広い AD コンバータの開発を行った。AD コンバータの回路方式として逐次比較型の AD コンバータを選択し、分解能が 8 レベルの回路を設計検討し試作を行った。図 3-1-3 に設計した逐次核型の AD コンバータの回路図を、図 3-1-4 にそのシミュレーション結果を示す。図 3-1-4 の上段は入力信号を、2～4 段目は出力側のレジスタの各ビットの信号レベルをそれぞれ表している。入力信号を 8 レベルに分解してデジタル信号化できている。

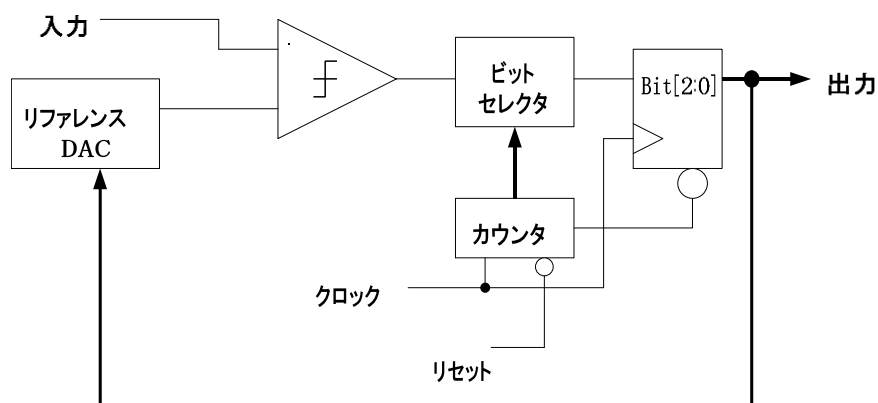


図 3-1-3 逐次比較型 AD コンバータ回路図

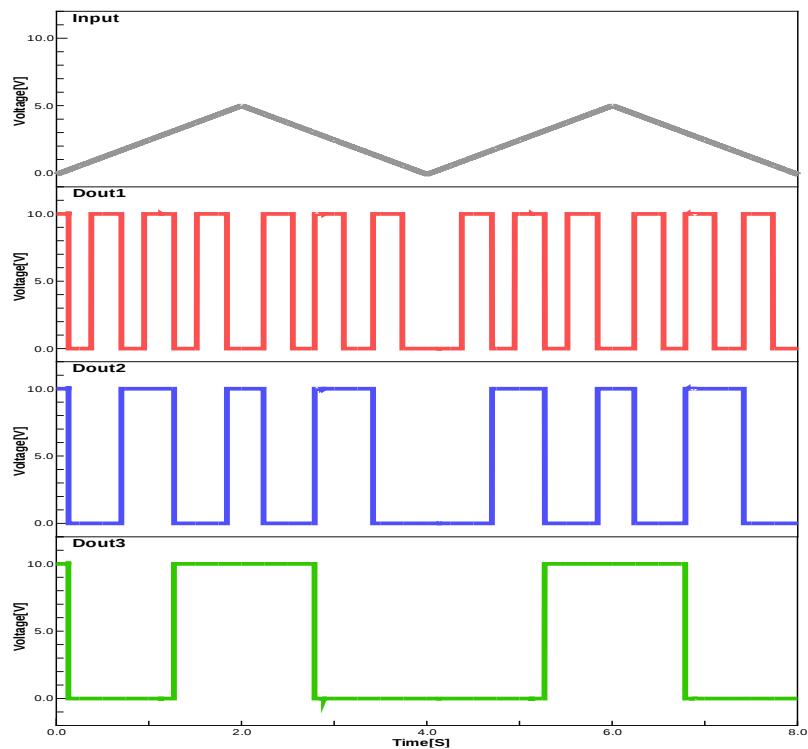


図 3-1-4 設計した逐次比較型 AD コンバータのシミュレーション結果

3-2 有機トランジスタ設計環境の開発

回路設計を実際に行うためには設計環境が不可欠である。設計環境は、使用するトランジスタ回路プロセスで規定されるデザインルールと、各種設計ツールの実行に必要なプロセスファイル(入力デッキ)及び設計ツールでセットとなる。回路設計作業を大きく分けると、トランジスタや抵抗・容量等の構成やパラメータを決める回路設計、それらを実際の空間に配置するためのレイアウト設計、これらの設計の妥当性を確認する設計検証に分けられる。トランジスタ数で 20～30 個程度の回路であれば、設計検証は目視で行えるが、それ以上の規模になると設計検証の環境が必要になる。

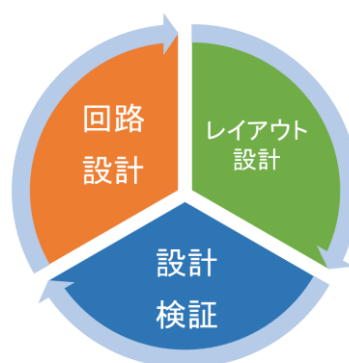


図 3-2-1 回路設計の流れ

一般的に設計ツールは高額であり、特に検証系のツールは 1 ライセンスで数千万円以上するものが多い。低コスト製造が大きな特徴の有機半導体デバイスの設計に数千万円のツールは使

用できない。低コストな設計ツールで環境を構築できなければ、有機半導体の回路応用での事業化は不可能である。そこで本研究開発では、Glade というフリーの設計ツールに直目し評価立上げを行った。Glade はインターネット上でダウンロード可能なレイアウト・検証ツールで、英国の企業によってサポートされており、ライセンスは 10 年以上に渡って無償で提供されている。Glade の主な特徴は次の通りである。

- GDS2、PASIC、LEF/DEF などのデザインデータ・フォーマットに対応
- レイアウト・DRC・LVS・寄生容量抽出がひとつのユーザーインターフェースに統合されている
- 比較的大規模な回路の設計が可能で、100 万インスタンスの読み込みに 72 秒、あるいは 1.5GB の GDS2 を 40 秒で読み込むことができる。(3GHz CPU)
- プラットフォームは Windows32/64、Linux、Mac の各種 OS をサポート
- スクリプトは Python でコードされており、プログラミング技術を活かした汎用性のある記述が可能である

回路シミュレータ(SPICE)と回路図エントリ以外は Glade で設計環境を構築することができた。

以下に、今回開発した有機トランジスタプロセス用の設計環境をまとめる。

設計環境	対応設計ツール	機能・役割
マスクデザインルール	—	使用する製造プロセスにより規定される設計上の様々な制約記載したドキュメント。
回路図エントリ環境	Gateway	回路設計を行う際のツール。素子や回路パーツを GUI 上で配置及び接続することができ、シミュレーション用のネットリストを出力する。
SPICE モデル	SmartSPICE	設計した回路の電気特性をシミュレーションにて確認する。その際に必要なトランジスタ特性を数学的に表現するためのタモデルパラメータ。
回路レイアウト環境	Glade	設計した回路を製造するための具体的なレイアウトを行なう。フォトリソグラフィで使用するフォトマスクのデータになる。
DRC 用プロセスファイル	Glade	作成したレイアウトがマスクデザインルールに従っているかを検証するための環境。
LVS 用プロセスファイル	Glade	回路設計で作った回路とデザインされた回路が電氣的に等価であることを検証するための環境。
LPE 用プロセスファイル	Glade	実際のレイアウトによって決まる配線等による寄生容量や抵抗を抽出し、シミュレーション用ネットリストに反映するための環境。

3-3 有機トランジスタ回路デバイスの作成

塗布法による CMOS 型の有機トランジスタプロセスを確立し、この技術による有機トランジスタ回路の実用性を実証するための回路試作評価を行った。3-1 節で説明したように、有機半導体の大面積塗布技術を評価する基礎回路として D-FF の試作評価を繰り返した。その結果、10kHz 以上の速度で動作させることが可能となっている。塗布法による有機半導体で且つ CMOS 型の D-FF としては世界初の結果である。この D-FF を活用して様々な回路の試作評価を行った。以下その代表例を示す。

同期型カウンター回路

3bit の同期型カウンターを試作した。図 3-3-1 にそのレイアウト図と試作した回路のトランジスタ近傍の写真を示す。図 3-3-2 は試作した回路を評価した結果である。クロックに対して 3bit のカウンタが出力されていることが判る。論理回路中、様々な箇所で使用されるカウンター回路を同期型で作ることが可能であることを示すことができた。

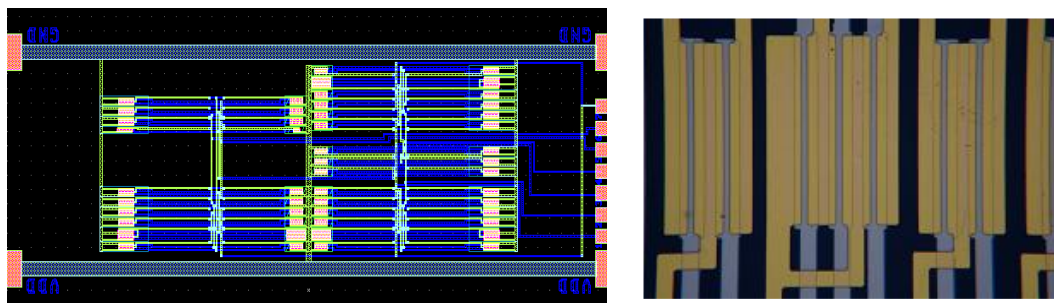


図 3-3-1 同期型カウンター回路
(左図)レイアウト図、(右図)試作した回路のトランジスタ近傍の写真

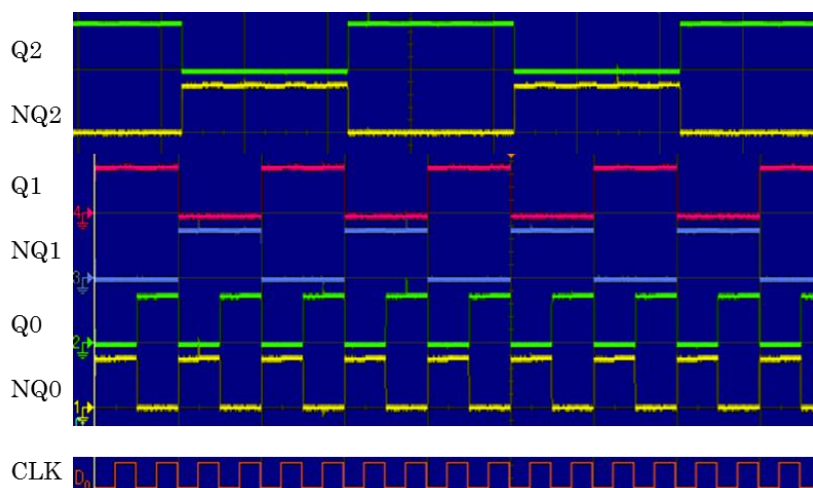


図 3-3-2 試作した同期型カウンター回路の評価結果

コンパレータ回路

逐次比較型の AD コンバータに使用するコンパレータ回路の試作評価を行った。図 3-3-3 にそのレイアウト図を示す。図中、トランジスタ部のレイアウトを切り出して上段に示している。

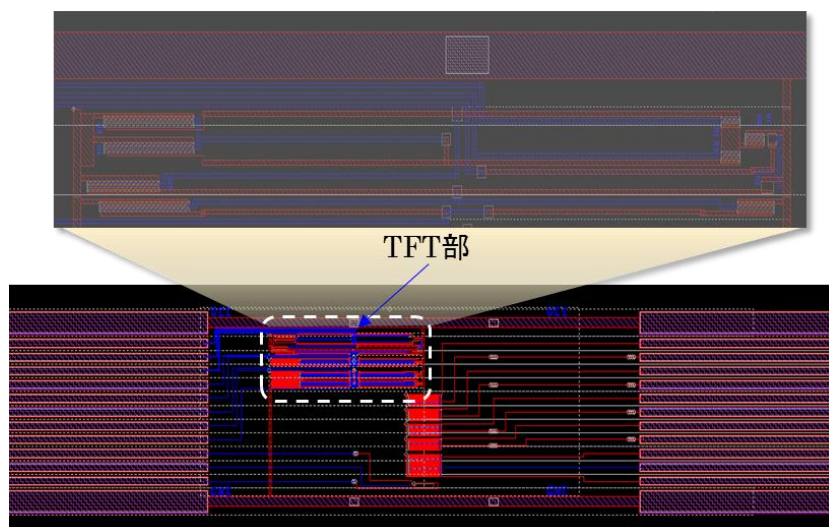


図 3-3-3 コンパレータ回路のレイアウト図

逐次比較型 AD コンバータ

上記カウンタやコンパレータ回路の動作検証ができたところで、逐次比較型の AD コンバータの試作評価を行った。図 3-3-4 に回路ブロック図と評価の際の入出力波形との対応を示し、図 3-3-5 に評価結果を図示する。

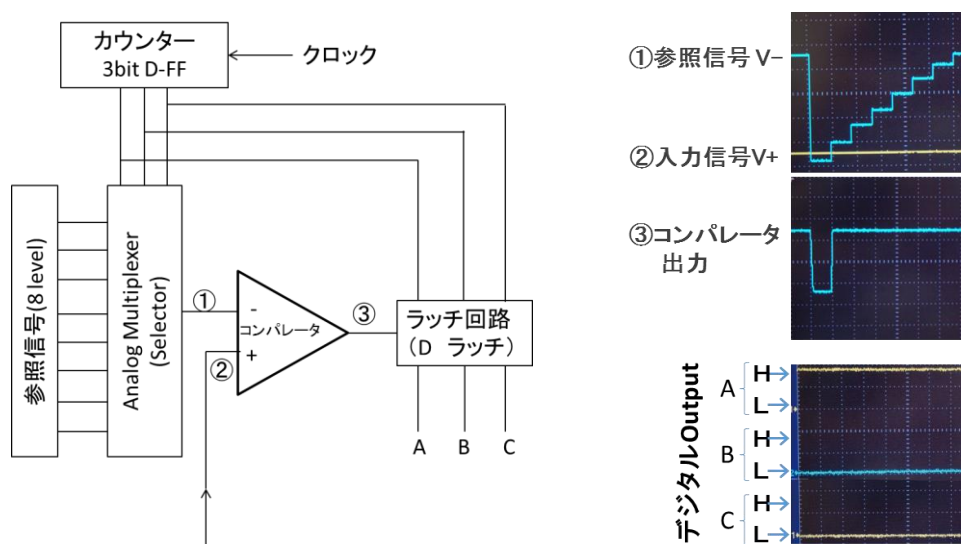


図 3-3-4 試作した逐次比較型 AD コンバータのブロック図と入出力波形の対応図

図 3-3-5 では、入力レベルに応じて 3bit のレジタル値が出力できていることが確認できる。8 レベルの分解能を持つ AD コンバーターを実現できたことを意味する。

逐次比較型 AD コンバーターは比較的シンプルな回路であるため、さらなる多ビット化は容易で、アナログアプリケーションへの展開が可能だと考えている。

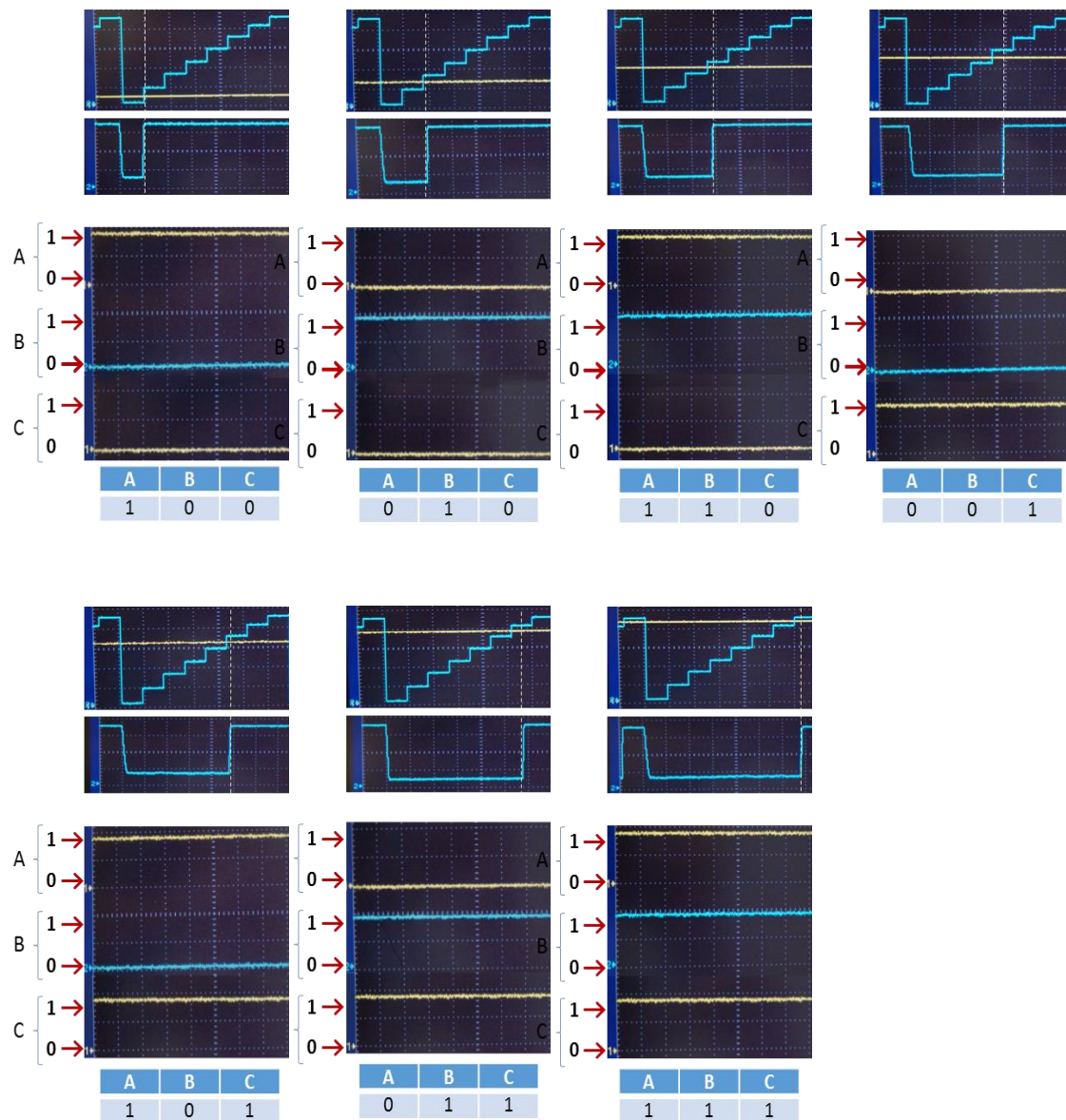


図 3-3-5 試作した逐次比較型 AD コンバータの評価結果

第4章 全体総括

有機半導体で実用的なアプリケーションを実現するための技術開発を行った。従来は不可能であった塗布という低コストなプロセスで高性能な有機半導体を CMOS 型で大面積に形成する技術の開発を行った。この技術をコアとした CMOS 型有機トランジスタプロセスを活用した、CMOS 型有機トランジスタ回路設計技術の開発とこれに必要な設計環境の構築等を行った。具体的には以下の成果を得た。

大面積塗布プロセス関連技術

- 1) 有機半導体材料及び溶媒の純度を高めるための技術を開発した
- 2) 塗布基板表面のクリーニング技術を開発した
- 3) 塗布基板表面の SAM(Self-Assembled Monolayer)処理技術を開発した
- 4) 有機半導体溶液に PMMA を添加する有機半導体インク技術を開発した
- 5) CMOS 型有機半導体膜を形成するための P/N 塗り分け技術を開発し、有機半導体膜ラインの幅及びスペースを 1mm まで縮小することを可能にした
- 6) 上記技術の開発により、4×4 インチ基板への高性能有機半導体の大面積塗布を安定的に行うことが可能になった
加えて従来技術では移動度のばらつきが 50%以上であったのに対して 20%以下に抑制することが可能になった

有機トランジスタ回路設計関連技術

- 1) 有機半導体に適した回路方式の検討を行った
- 2) CMOS 型有機半導体による、さまざまな機能回路について設計検討を行った
- 3) 有機半導体技術に適した、低コストな設計環境を開発した
- 4) 設計したさまざまな要素回路や機能回路の試作評価を行った、例えば
 - ・塗布法による CMOS 型有機半導体として世界初となる D-FF 回路を、10kHz 以上の速度で動作させることに成功した、
これはセンサーデバイスへの応用において十分な速度である
 - ・カウンターやレジスタ等のロジック回路で多用される機能回路を試作し正常動作させた
 - ・3bit の逐次比較型 AD コンバーターを試作し正常動作させた

以上の成果から、印刷による高性能な有機半導体技術で、実用的な回路アプリケーションを実現することが可能であり、多様化するセンシングデバイス等へのニーズに応え得る技術基盤であることを確認できた。

今後は、塗布による有機半導体技術のさらなる高信頼化及び有機半導体回路の高度化・高性能化を加速しながら、具体的なセンシングデバイスへの応用研究に取り組む。センシングデバイスのユーザー企業との連携を行い、早期の市場投入に向けた活動を進めていく。

参考文献

- [1] T. Yamamoto and K. Takimiya, J. Am. Chem. Soc. 129, 2224 (2007).
- [2] H. Ebata, T. Izawa, E. Miyazaki, K. Takimiya, M. Ikeda, H. Kuwabara, and T. Yui, J. Am. Chem. Soc. 129, 15732 (2007); T. Izawa, E. Miyazaki, and K. Takimiya Adv. Mater. 20, 3388 (2008).
- [3] M. J. Kang, I. Doi, H. Mori, E. Miyazaki, K. Takimiya, M. Ikeda, and H. Kuwabara, Adv. Mater. (2011), in press.
- [4] V. Podzorov, E. Menard, A. Borissov, V. Kiryukhin, J. A. Rogers, and M. E. Gershenson, Phys. Rev. Lett. 93, 086602 (2004).
- [5] J. Takeya, K. Tsukagoshi, Y. Aoyagi, T. Takenobu, and Y. iwasa, Jpn. J. Appl. Phys. 44, L1393 (2005).
- [6] T. Sekitani, Y. Takamatsu, S. Nakano, T. Sakurai, and T. Someya, Appl. Phys. Lett. 88, 253508 (2006); Y. Takamatsu, T. Sekitani, and T. Someya, Appl. Phys. Lett. 90, 133516 (2007).
- [7] J. Takeya, J. Kato, K. Hara, M. Yamagishi, R. hirahara, K. Yamada, Y. Nakazawa, S. Ikehata, K. Tsukagoshi, Y. Aoyagi, T. Takenobu, and Y. Iwasa, Phys. Rev. Lett. 98, 196804 (2007).
- [8] M. Yamagishi, J. Soeda, T. Uemura, Y. Okada, Y. Takatsuki, T. Nishikawa, Y. Nakazawa, I. Doi, K. Takimiya, and J. Takeya, Phys. Rev. B 81, 161306(R) (2010).
- [9] T. Uemura, M. Yamagishi, J. Soeda, Y. Takatsuki, Y. Okada, Y. Nakazawa, and J. Takeya, submitted.
- [10] K. Nakayama, Y. Hirose, J. Soeda, M. Yoshizumi, T. Uemura, M. Uno, W. Li, M. Kang, M. Yamagishi, Y. Okada, E. Miyazaki, Y. Nakazawa, A. Nakao, K. Takimiya, and J. Takeya, Adv. Mater. (2011), in press.
- [11] T. Uemura, Y. Hirose, M. Uno, K. Takimiya, and J. Takeya, Appl. Phys. Exp. 2, 111501 (2009).
- [12] T. Okamoto, C. Mitsui, M. Yamagishi, K. Nakahara, J. Soeda, Y. Hirose, K. Miwa, H. Sato, A. Yamano, T. Matsushita, T. Uemura, and J. Takeya, Adv. Mater. in press (published online).