

平成25年度 戦略的基盤技術高度化支援事業

「リアルタイム自己校正型ロータリーエンコーダ」

研究開発成果等報告書

平成26年3月

委託者 東北経済産業局

委託先 公益財団法人 福島県産業振興センター

目 次

第1章 研究開発の概要

1-1 研究開発の背景・研究目的及び目標

1-2 研究体制

1-3 成果概要

1-4 当該研究開発の連絡窓口

第2章 本論

2-1 研究開発の方針

2-2 研究実施内容

- (1)「① 自己校正型高精度位置検出方式の開発」
- (2)「② 小型エンコーダへの組込み技術開発」
- (3)「③ 反射型検出方式およびスリット円板製造工法開発」
- (4)「④ 小型エンコーダへの搭載と商品化」
- (5)「⑤ 研究全体の統括、プロジェクトの管理運営」

最終章 全体総括

第1章 研究開発の概要

工作機械や組み立てロボットの位置決め精度の高度化には、角度測定に広く用いられているロータリーエンコーダの高精度化が不可欠である。機器やロボットに組み込んだ後は不可能と思われたロータリーエンコーダの角度誤差をリアルタイムに評価し、さらにその誤差補正まで行う低価格で小型な次世代ロータリーエンコーダを研究し、角度制御の信頼性確保に貢献できる製品の研究開発を行う。これにより、位置決めに係る技術において達成すべき高度化目標の高精度化、小型化・軽量化、低コスト化のための技術向上と寿命管理技術の向上に 대응することを目的とする。

1-1 研究開発の背景・研究目的及び目標

ロータリーエンコーダの高精度化技術について、従来技術の様に部品の高精密化・高剛性を軸としたハードウェア開発は重要である。本研究の新技術はソフトウェア処理技術によりロータリーエンコーダ自体が角度誤差を検出できる機能を内蔵させた自己校正機能付ロータリーエンコーダによる高精度化を行う。しかし、これまで角度誤差の解析にはコンピュータ（PC）処理が必要であることから、角度信号のリアルタイム性を必要とする工作機械には導入が困難であった。本研究開発では自己校正機能付ロータリーエンコーダのPC処理を必要としないリアルタイム角度誤差処理回路を開発し、小型ロータリーエンコーダの高精度化・低コスト化を実現する。位置決めに係る技術において達成すべき高度化目標に関して、以下の項目を目標値として掲げ研究開発を行う。

・高速化・高精度化のための技術の向上

角度精度 $\pm 1''$ の角度信号を出力できるロータリーエンコーダを開発する。使用時の角度目盛り誤差、軸偏心、経年変化等の誤差を検出し補正することで、角度精度 $1''$ の高精度化を達成する。これまでの自己校正機能付ロータリーエンコーダがPCを用いた後処理であったのに対して、リアルタイム処理回路を開発することで、高速化を実現する。

・小型化・軽量化のための技術の向上

直径 $\phi 40$ mmの小型ロータリーエンコーダの筐体に、自己校正機能を内蔵する技術の開発を行う。

・低コスト化のための技術の向上

製品化を考慮すると、リアルタイム自己校正型ロータリーエンコーダの価格は、約10万円で市販される事が目標である。ロータリーエンコーダ部、リアルタイム処理回路部（コンピュータ+角度誤差補正処理）を一体化したオールインワンを実現することで、小型化と低コスト化を両立させる。

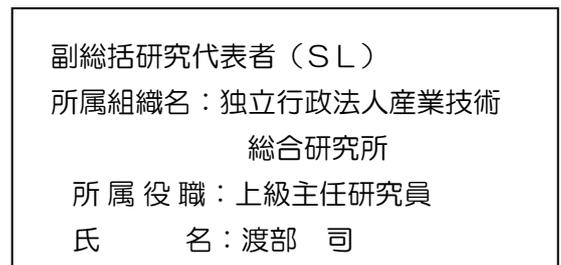
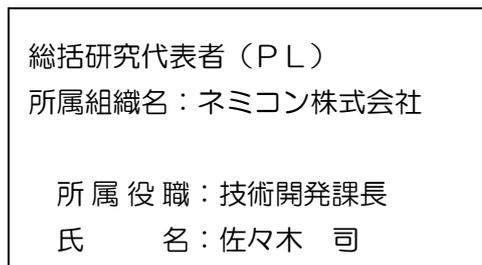
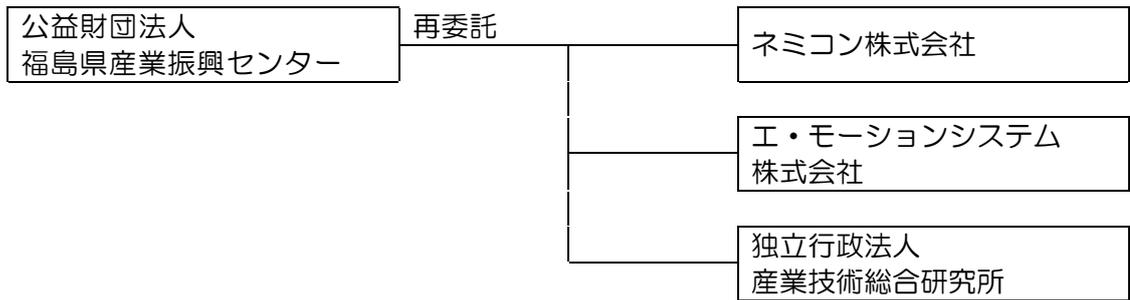
・寿命管理技術の向上

自己校正機能は、使用時に様々な角度誤差要因を検出できる。経年変化による角度誤差までも補正できることから、安全性と信頼性の向上を図ることができる。また自己校正值の変化の変化を記録することにより、工作機械の回転軸の異常を検出することが可能なことから、寿命管理技術に応用することが可能である。以上の寿命管理技術について検討する。

1-2 研究体制

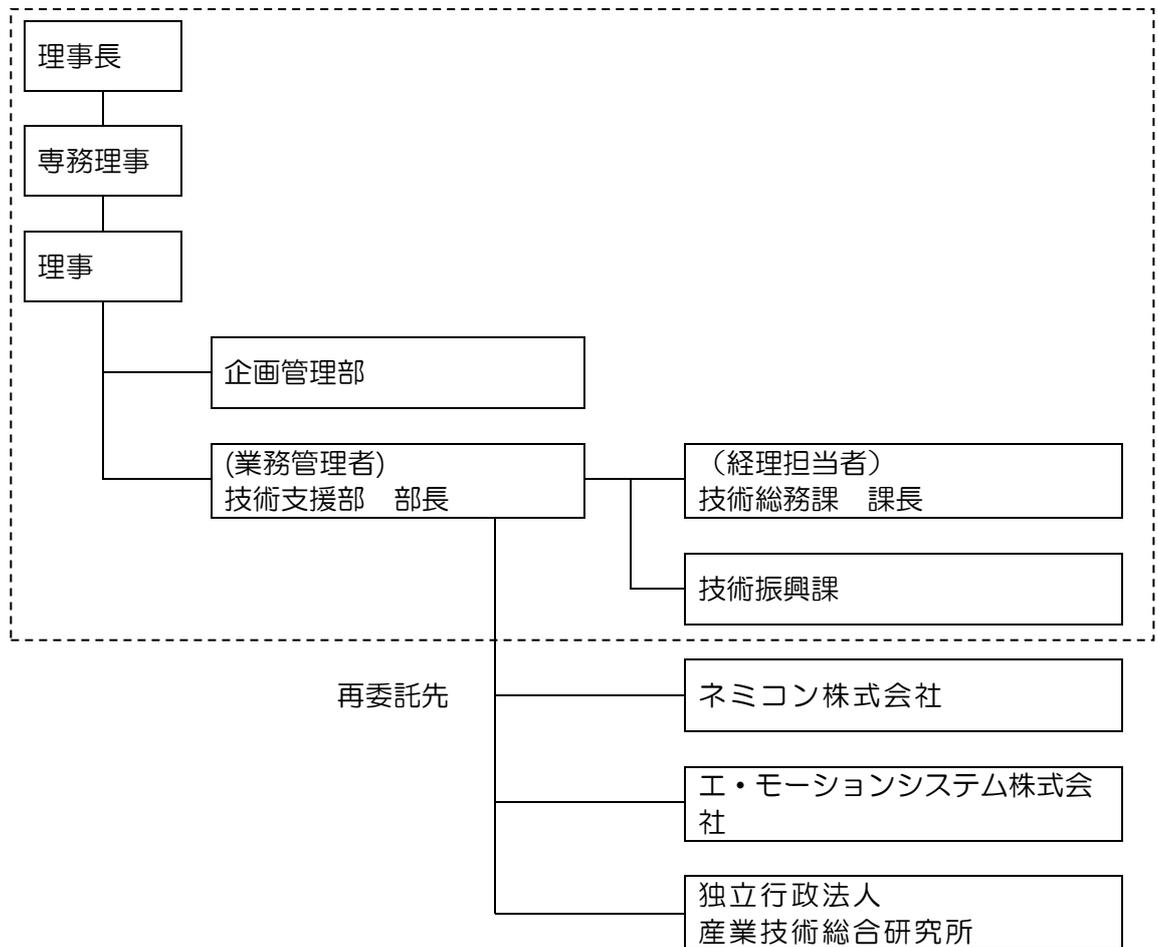
(1) 研究組織及び管理体制

1) 研究組織（全体）

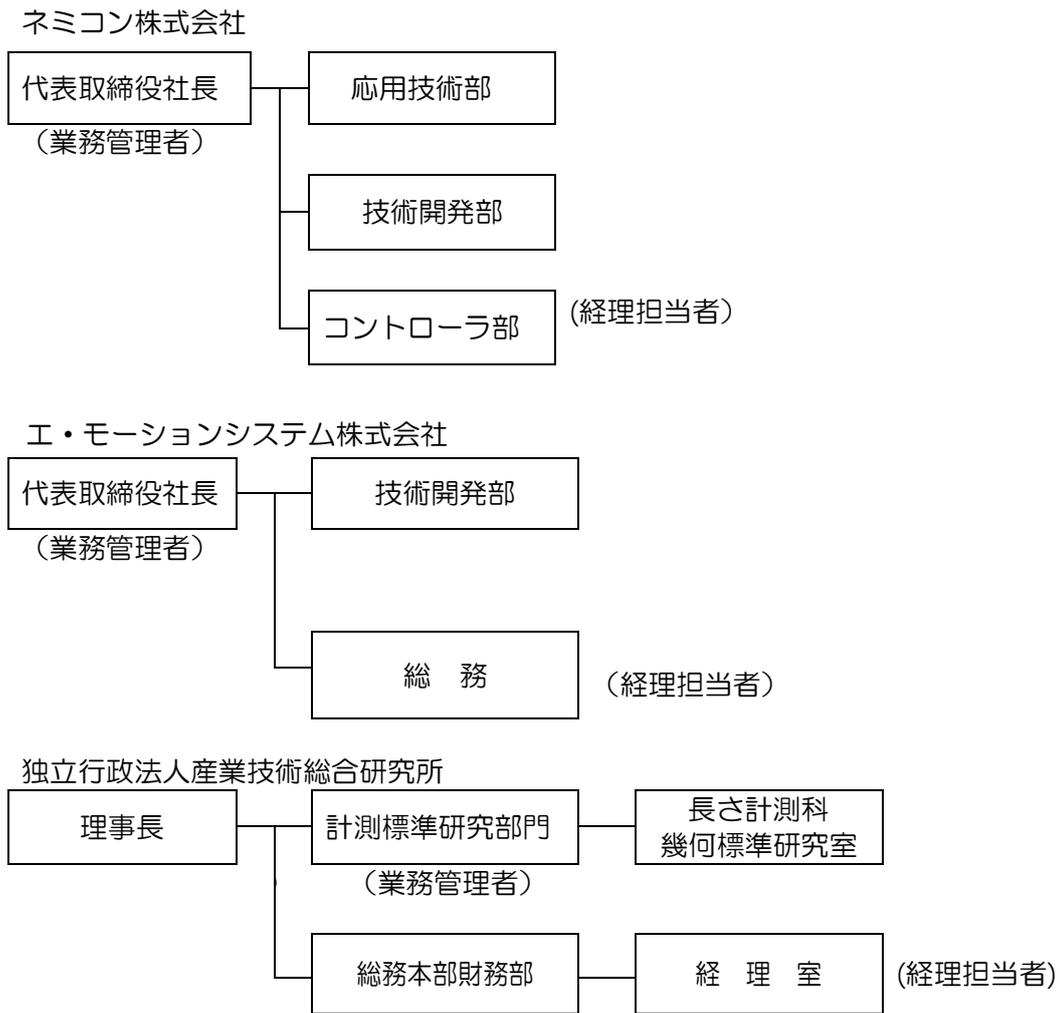


2) 管理体制

① 事業管理機関 [公益財団法人福島県産業振興センター]



②（再委託先）



(2) 経理担当者及び業務管理者の所属、氏名

【事業管理機関】

公益財団法人福島県産業振興センター技術支援部

(経理担当者) 技術支援部 技術総務課 課長

鹿目 敦夫

(業務管理者) 技術支援部 部長

栗花 信介

【再委託先】

エ・モーション株式会社

(経理担当者) 総務 経理

澤田 和子

(業務管理者) 代表取締役社長

大貫 康治

ネミコン株式会社

(経理担当者) コントローラ部 コントローラ(部長)

奥谷 隆

(業務管理者) 代表取締役社長

軒 一夫

独立行政法人産業技術総合研究所

(経理担当者) 総務本部 財務部 経理室長

井佐 好雄

(業務管理者) 計測標準研究部門長

千葉 光一

(3) 他からの指導・協力者名及び指導・協力事項

研究推進会議 委員

氏名	所属・役職	備考
佐々木 司	ネミコン株式会社 技術開発課長	PL 委
渡部 司	独立行政法人産業技術総合研究所 上級主任研究員	SL
大貫 康治	エ・モーションシステム株式会社 代表取締役	委
小倉 康二	エ・モーションシステム株式会社 技術開発部 主任研究員	委
渡部 恵教	エ・モーションシステム株式会社 技術開発部 研究員	委
水船 雅年	エ・モーションシステム株式会社 技術開発部 研究員	委
荻島 哲夫	ネミコン株式会社 応用技術部長	委
羽賀 博	ネミコン株式会社 開発部長	委
宗像 顕夫	ネミコン株式会社 技術開発係長	委
益田 正	静岡理科大学 理工学部機械工学部 教授	アドバイザー
前原 弘之	東芝機械株式会社 制御システム技術部 部長	アドバイザー
大城 勝己	株式会社小坂研究所 精密機器事業部 課長	アドバイザー
江原 史和	株式会社小坂研究所 精密機器事業部 係長	アドバイザー
栗花 信介	公益財団法人福島県産業振興センター技術支援部長	事業管理機関
山崎 智史	公益財団法人福島県産業振興センター技術支援部 技術振興課長	事業管理機関
市川 俊基	公益財団法人福島県産業振興センター技術支援部 技術振興課	事業管理機関

アドバイザー氏名	主な指導・協力事項
益田 正	角度校正原理に関するアドバイス
前原 弘之	市場適用のための企画、仕様、技術指導、課題、要望等のアドバイス
大城 勝己	市場適用のための企画、仕様、技術指導、課題、要望等のアドバイス
江原 史和	市場適用のための企画、仕様、技術指導、課題、要望等のアドバイス

1-3 成果概要

自己校正機能付ロータリーエンコーダのリアルタイム角度誤差処理技術の実現のためにデータ処理部とエンコーダ本体部で次の開発を行った。データ処理部では、まずパルス測定型回路にリアルタイム信号処理機能を追加したリアルタイム校正型回路を FPGA ボードを用いて開発した。さらに基板サイズが 50 mm×50 mm の小型リアルタイム校正用 FPGA ボードを開発した。エンコーダ本体部では、透過型と反射型のセンサヘッドを用いて直径φ86 mm～φ41.4 mm のサイズのスリット板（スケール）を用いて自己校正型ロータリーエンコーダを製作した。エンコーダが出力する角度信号と内挿回路による逡倍後の角度信号の品質評価を行い、φ40 mm のサイズでも角度の高分解能化と高品質な角度信号を出力することが可能なエンコーダを開発した。データ処理部とエンコーダ本体部を結合したリアルタイム自己校正型ロータリーエンコーダを実現した。リアルタイムに出力される角度誤差を、高精度な角度校正装置により測定した角度誤差と比較した結果から、差が約±1"を示し目標の精度を達成していることを確認した。これらの成果をもとに製品価格の分析を行った。エンコーダ構成要素の材料費は 3 万円を切る事が可能であり、製品価格 10 万円は十分実現できることがわかった。当該事業の目標である角度誤差補正を

行う低価格で小型なリアルタイム自己校正型ロータリーエンコーダを実現し、角度制御の信頼性確保に貢献できる製品の研究開発を達成した。

1-4 当該研究開発の連絡窓口

市川 俊基

公益財団法人福島県産業振興センター 技術支援部技術振興課

電話：024-959-1951、メール：ichikawa@f-open.or.jp

大貫 康治

エ・モーションシステム株式会社

電話：03-5437-1160、メール：onuki@e-motionsystem.com

佐々木 司

ネミコン株式会社 技術開発部

電話：0248-32-2361、メール：tsukasa_sasaki@nemicon.co.jp

渡部 司

独立行政法人産業技術総合研究所 計測標準研究部門

電話：029-861-4041、メール：t.watanabe@aist.go.jp

第2章 本論

2-1 研究開発の方針

これまでの自己校正機能付ロータリーエンコーダは、自己校正值を求めるための角度誤差の解析にはPC処理が必要であり、エンコーダとPCの間にある信号処理回路も一時的にデータを保存するメモリ領域や時間クロックを基準とするカウンタ回路等が内蔵されるためサイズが大きく、システム全体規模の大型化は避けられなかった。また、角度誤差検出の高精度化を追求するため自ずとスリット円板（目盛盤）やセンサヘッド（検出素子）も市販の高品質の部品を選定して製作されてきたため高価であった。当該研究ではスリット円板（目盛盤）やセンサヘッド（検出素子）の低価格化と小型化とともに、信号処理回路にこれまでPCが処理していた解析作業も含めることにより、システム全体のダウンサイズと低価格化を実現する。リアルタイム自己校正型ロータリーエンコーダの開発は大きく分けて、4つの技術要素開発からなる。

①自己校正型高精度位置検出方式の開発

自己校正機能付ロータリーエンコーダのリアルタイム処理に関する角度信号処理の原理を開発する。

②小型エンコーダへの組み込み技術開発

自己校正機能付ロータリーエンコーダのリアルタイム処理原理に基づく信号処理回路の設計と開発を行う。当該回路はロータリーエンコーダ組み込み型ばかりでなく外付け型も検討し、数万円で市販できる低コスト化を目標とした開発を行う。

③反射型検出方式とスリット円板製造工法開発

自己校正機能付ロータリーエンコーダを直径 ϕ 40 mmの筐体サイズに収納することを技術的目標値とし、ロータリーエンコーダのセンサの反射型検出方式とスリット円板（目盛盤）製造工法の改良、及び新規開発を行う。

④小型エンコーダへの搭載と商品化

自己校正機能付ロータリーエンコーダの筐体サイズ直径 ϕ 40 mmで、角度精度1"、低コスト化10万円を目標とした総合的な開発を行う。

スリット円板（目盛盤）の寸法が直径約 ϕ 100 mm～ ϕ 40 mmに対して、自己校正機能付ロータリーエンコーダのリアルタイム信号処理に関する原理を開発する。この原理に対応した処理回路とロータリーエンコーダ本体を製作し、その実証実験を行いながら徐々に小型化(ϕ 40 mm)を実施する。

2-2 研究実施内容

(1)「① 自己校正型高精度位置検出方式の開発」

(独立行政法人産業技術総合研究所(主担当)、ネミコン株式会社、エ・モーションシステム株式会社)

独立行政法人産業技術総合研究所で開発した自己校正機能付エンコーダの原理を基礎技術として、これを高度化したリアルタイム信号処理の原理に対して、スリット円板(目盛盤)の寸法、目盛り数、センサヘッド数等を検討し、②で開発するリアルタイム処理回路の原理の決定と③で開発するエンコーダ用の光学検出素子(センサヘッド)とスリット円板(目盛盤)に適した自己校正機能付ロータリーエンコーダの構造決定を行った。②③で開発したロータリーエンコーダを自己校正型角度測定装置を用いて角度精度の評価を行い、スリット円板(目盛盤)の寸法、目盛り数、センサヘッド数の最適化を実施した。

①-1 リアルタイム処理回路の基本方式設計、および高精度・小型・低コスト化の方式検討

これまで実現してきた自己校正機能付ロータリーエンコーダは、図1に示す様に1枚のスリット円板(目盛盤)の目盛位置に複数個のセンサヘッドを等角度間隔に配置し、それぞれのセンサヘッドが検出した角度信号を一旦、データ取得回路内にあるメモリに保存し、コンピュータに転送後に角度誤差(誤差の補正值)を解析する後処理である。従って、自己校正機能付ロータリーエンコーダを内蔵した装置であっても、エンコーダから出力される角度信号はそのままでは高精度化が実現されておらず、ユーザーがコンピュータで解析した角度誤差(補正值)を用いて角度信号に対して補正することでロボットや工作機器の回転制御を行うコントローラ等で利用できる高精度化が実現できていた。

本研究で開発するリアルタイム自己校正型ロータリーエンコーダは、図2に示す様に、図1ではコンピュータが行っていた角度誤差解析をデータ取得回路内で行い、エンコーダから出力される角度誤差を含んだ角度信号に対して補正することで、角度誤差が含まれていない高精度な角度信号を出力する特徴を持つ。

数社の異なる検出感度のセンサヘッドを用い、異なる直径($\phi 100$ mm $\sim\phi 40$ mm)の自己校正機能付ロータリーエンコーダを製作し、それらの角度精度評価を自己校正型角度測定装置を用いて行い、エンコーダの最適な寸法、目盛り数、センサヘッドの数などを決定した。また、センサヘッドが出力する目盛り信号をさらに分割する電気内挿回路の仕様を検討し、最小直径 $\phi 40$ mmにおけるPCを使用しないリアルタイム信号処理の原理を確立した。

本研究で開発するリアルタイム自己校正型ロータリーエンコーダのデータ取得回路の原理では、リアルタイム処理を実現する原理として各センサヘッドからの信号に対して高分解能化する必要があり、図3に示すように電気内挿回路を各センサヘッドに取り付ける原理を考案した。(詳細は特許性があるため本成果報告書では記載しない)

従来の自己校正機能付ロータリエンコーダ

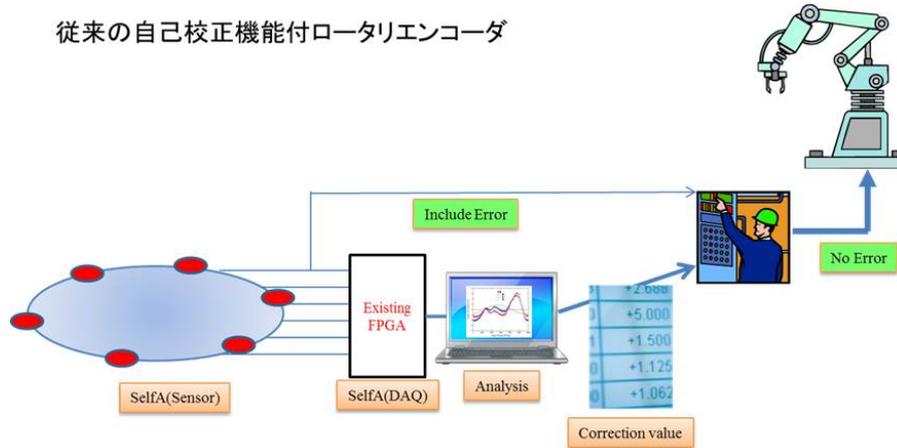


図1 従来の自己校正機能付ロータリエンコーダの全体図
コンピュータを用いて解析し、得られた角度誤差をコントローラ内で補正

新規開発の自己校正機能付ロータリエンコーダ

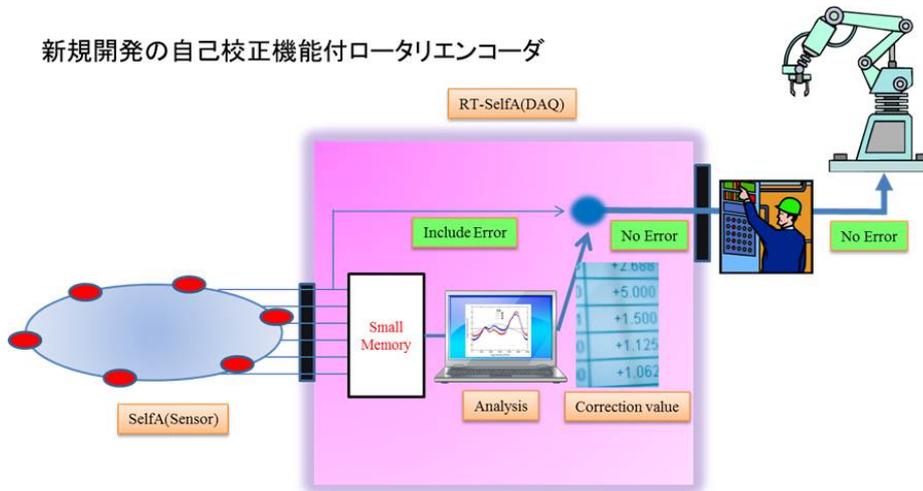


図2 リアルタイム自己校正型ロータリエンコーダ全体図
データ取得回路内で角度誤差を解析し補正した信号を出力

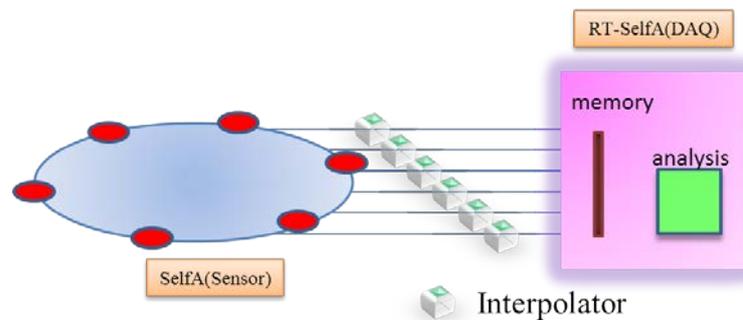


図3 リアルタイム自己校正型ロータリエンコーダの概念図

リアルタイム自己校正型ロータリーエンコーダの原理をもとに、次節②、③で製作するエンコーダ本体と信号処理回路に要求される技術的要求事項の検討を行った。本研究で目標としているリアルタイム自己校正型ロータリーエンコーダの仕様は精度1"、大きさ直径φ40 mmであり、使用する目盛線の角度ピッチを80 μmとする。

1) 分解能<1"

分解能1"以下を実現するためには、 $360^\circ = 1,296,000''$ であるから、最低でも1,296,000パルスの角度信号の分解能が必要である。φ40 mmの円周の長さは $(40 \times 1000) [\mu\text{m}] \times \pi$ で表されるから、分解能<1"を実現するためには角度ピッチが0.097[μm]以下になる必要がある。

$$(40 \times 1,000) [\mu\text{m}] \times \pi \div (360 \times 60 \times 60) [^\circ] = 0.097 [\mu\text{m}]$$

従って、目盛線の角度ピッチを80 μmのスリット円板を用いる場合、さらに825倍の逡倍が必要になる。一般に電気内挿回路により逡倍する場合、分割による誤差がある場合には逡倍率が高くなるほど実質的に原信号の品質、つまりロータリーエンコーダが出力するアナログ信号であるA相とB相によって作成されるリサージュ形状が、真円に近い事が要求される。従って、本事業で求められる電気内挿回路による逡倍には自ずと限界があり、概ね512逡倍と推定される。しかし、ここで必要とされる分解能は825倍の逡倍以上であることから、必要な逡倍率を確保するために、512逡倍されたA相のUP信号のみを用いるのではなく、A相のDOWN信号、さらにB相のUPとDOWN信号も利用することにより、最大512逡倍の4倍まで角度ピッチ間を分割する方法を採用することとした。

これにより、角度ピッチ80 μm×1,500基本目盛でスリット円板を製作した場合、直径が38.2 mmで分割数が1,500基本目盛×512逡倍×4倍=3,072,000パルスの角度信号を出力することになり、分解能0.42"の1"より小さい分解能を達成することが可能になる。

2) 電気内挿回路の誤差<1"

電気内挿回路を用いて基本目盛ピッチを分割する場合、一般的に基本目盛ピッチの数%の内挿誤差を持つといわれている。そこで直径φ40 mmで検討すると基本目盛数が約1,500本であり、この場合は目盛ピッチの角度が864"となることから電気内挿回路の誤差<1"の条件をクリアーするためには、電気内挿回路の誤差を目盛ピッチの0.1%以下にする必要がある。しかし、一般的に電気内挿回路の誤差は目盛ピッチの1%程度であると云われていることから、電気内挿誤差を1%以下にする内挿回路の実現が必要になってくる。この議論については、「(2)「② 小型エンコーダへの組込み技術開発」の②-4 基板実装設計」および「(3)「③ 反射型検出方式およびスリット円板製造工法開発」の実験7」にて報告する。

3) センサヘッドの個性

本研究で開発するリアルタイム自己校正型ロータリーエンコーダは、同一のスリット円板(目盛盤)に複数個のセンサヘッドを等しい角度間隔に配置する必要がある。しかし、実際には等角度間隔に配置することは難しく、低価格に製作するためにはセンサヘッドを一つ一つ位置の微調整する作業を行うことはできない。センサヘッドの個性による精度による影響や、センサがスリット円板に対しての感度の変化が影響する事を確かめた。詳細については、(3)「③ 反射型検出方式およびスリット円板製造工法開発」で報告する。

①-2 評価

①-1の検討結果にもとづき、③で開発したロータリーエンコーダ部と②で開発したリアルタイム信号処理回路を、自己校正型角度測定装置を用いて性能評価し、ロータリーエンコーダ部とリアルタイム信号処理回路の最適化に必要な情報収集を行い、リアルタイム自己校正ロータリーエンコーダの原理確立を行った。

その結果、リアルタイム自己校正ロータリーエンコーダを製作する上で、筐体サイズ直径φ40 mmで、角度精度1"、低コスト化10万円を目標とした総合的な開発を行うためには、図4に示したパラメータを元に製作する事が可能であるとの結果を得ることができた。その他の仕様または、パラメータについては(2)「② 小型エンコーダへの組み込み技術開発」および(3)「③ 反射型検出方式およびスリット円板製造工法開発」にて報告する。

スリット円板	素 材	ガラス
	直 径	φ40 mm
	目盛ピッチ	80 μm
	基本目盛数	1,500本
センサヘッド	基板搭載位置のばらつき	±0.1 mm
	センサヘッド数	7個
逡倍器(電気内挿回路)	分 割	512逡倍×4倍(AB相)
リアルタイム処理回路	回路ロジック	FPGA
	シリアル通信規格	BISS®-C

図4 リアルタイム自己校正型ロータリーエンコーダのパラメータ

(2) 「② 小型エンコーダへの組込み技術開発」

(エ・モーションシステム株式会社(主担当)、独立行政法人産業技術総合研究所、ネミコン株式会社)

リアルタイム処理の原理をふまえて、カウンタ法の方式により角度校正値を取得するパルス測定型回路を開発した。次にパルス測定型回路の評価実験を行い、ロータリーエンコーダの角度誤差をリアルタイムに測定するリアルタイム校正システムを開発した。

- (1) カウンタ法アルゴリズムを採用しエンコーダの角度誤差を常時測定するリアルタイム校正型回路を開発した。
- (2) リアルタイム校正型回路を実装したリアルタイム校正用 FPGA ボードの開発を行い従来の FPGA ボードと比較して 68 %の小型化を実現した。
- (3) リアルタイム校正型回路を実装した FPGA ボードで測定した角度誤差データをシリアル転送する技術を開発した。
- (4) これら開発したリアルタイム校正用 FPGA ボード及びシリアル転送技術と③で開発した自己校正型ロータリーエンコーダを組み合わせた結合実験により、最適なリアルタイム校正型回路の調整を行い、リアルタイム校正システムを実現した。

②-1 自己校正回路のリアルタイム補正方式開発

従来の時間変換法とは異なるリアルタイム処理の原理をふまえて、カウンタ方式によるパルス測定型回路を設計し、エ・モーションシステム(株)製の時間変換法の時間測定型回路を改造することで、パルス測定型回路の FPGA ボードを開発した。パルス測定型回路を実装する FPGA ボードは、各センサヘッドから出力される角度目盛信号に対して、電気内挿による数十倍～数千倍された角度パルス信号を、一旦回路内のメモリに保存する。その後そのデータをコンピュータに出力し解析するためリアルタイム処理ではない。しかし、原理実証実験装置(実験器)(図5参照)を用いて、擬似的にリアルタイム原理の検証を行う事は可能である。パルス測定型回路と時間測定型回路のデータから角度誤差を解析する実験により(図6参照)、両回路による角度誤差の差が $\pm 0.25''$ 程度の差で良い一致を示していることを確認した(図7参照)。これによりリアルタイム補正方式の原理が確認された。



図5 原理実証実験装置(実験器)。センサヘッドを12個設置

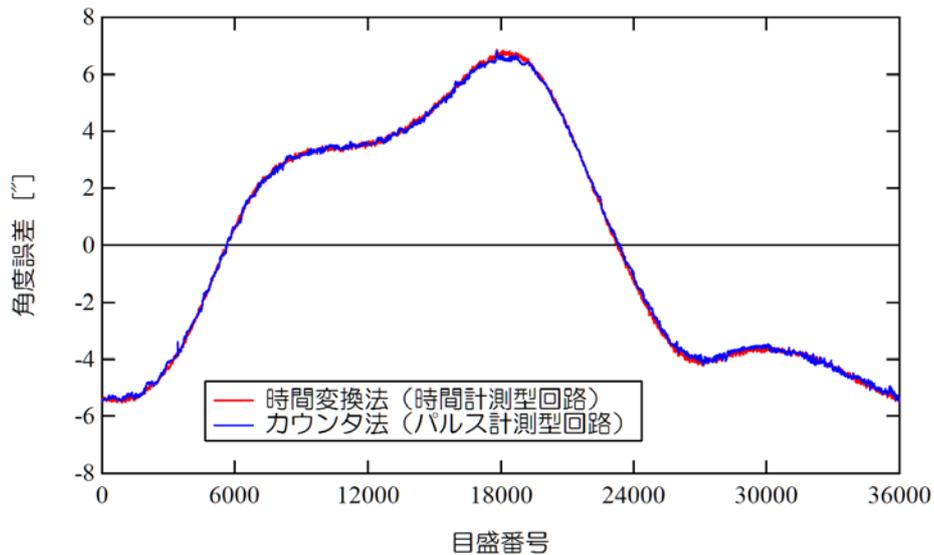


図6 時間変換法とカウンタ法による角度誤差の比較

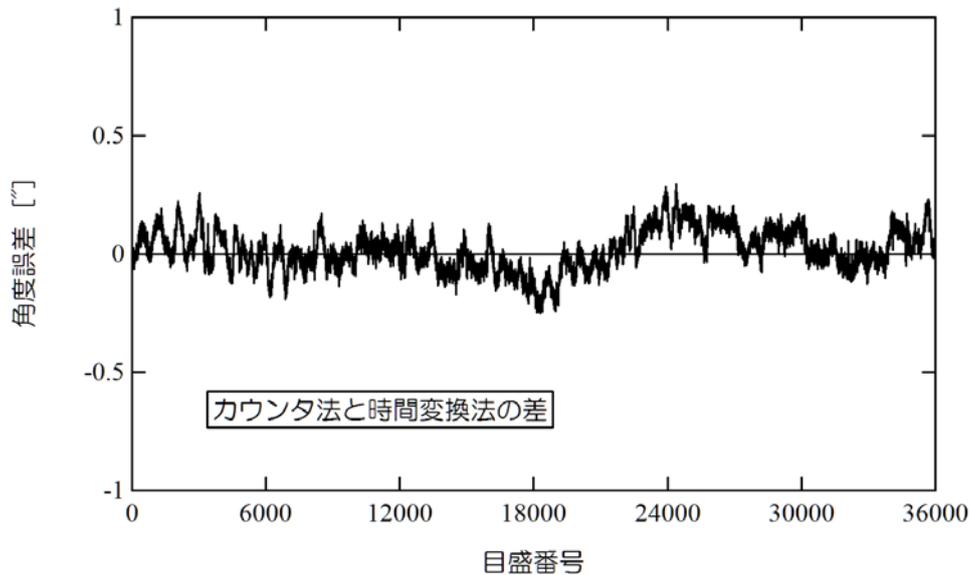


図7 時間変換法とカウンタ法による角度誤差の差

②-2 アルゴリズム開発

FPGAボードを用いて開発したパルス測定型回路を基礎として、リアルタイム校正用アルゴリズムの研究を行い、パルス測定型回路と同様にカウンタ法によるリアルタイム校正型回路の開発に成功した。

パルス測定型回路は、エンコーダ1周分の角度信号データを一旦パルス測定型回路のFPGAボード上にあるメモリに保存し、その保存された角度信号データを外部PCに転送した後、外部PCの解析ソフトウェアにて角度誤差の解析処理を行うため、リアルタイム処理ではなかった。これに対し新たに開発したリアルタイム校正型回路は、ロータリーエンコーダから出力された角度信号データから角度誤差を解析する過程までを回路内で実施し、解析結果のみをメモリに保存する回路である。その解析結果は外部PCに転送表示されるが、PCは結果を表示するだけであり、データ取得から解析に至る全て

の処理をFPGAボード内で実施することになる。解析された角度誤差データはシリアル通信にて転送することでリアルタイムの角度誤差解析及びデータ転送を実現した。なおシリアル転送の開発については、②-4で報告する。

リアルタイム校正型回路のアルゴリズム検証のため、図5に示す原理実証実験装置の自己校正型ロータリーエンコーダに、時間測定型回路とリアルタイム校正型回路をそれぞれ取り付けて（図8参照）比較実験を行った。測定した角度誤差は図9に示す校正データ表示ソフトにてPC画面上に表示される。グラフの横軸はエンコーダが示す角度位置（単位： $^{\circ}$ ）度）縦軸は角度誤差値（単位： $''$ ）秒）である。



図8 時間測定型回路（下部）、パルス測定型回路（中部）、リアルタイム校正型回路のFPGAボード（上部）

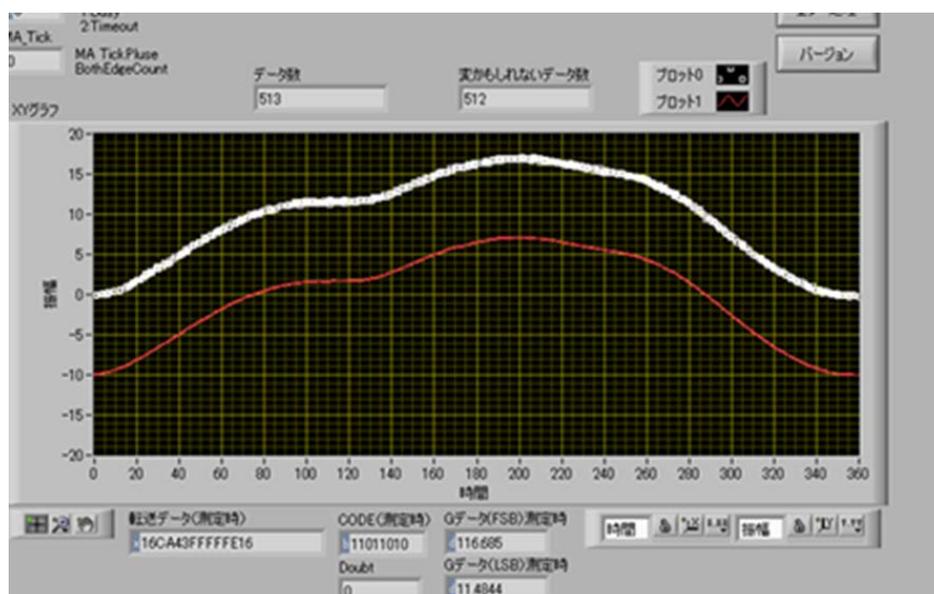


図9 角度誤差グラフ

（赤：時間測定型回路による結果 白：リアルタイム校正型回路による結果。
比較しやすいように時間測定型回路による結果を縦軸-10''ずらして表示している。）

実験は、③で開発している自己校正型ロータリーエンコーダの仕様（4ヘッド・4,500基本目盛・64逓倍）と同一条件で測定するために、原理実証実験装置の自己校正型ロータリーエンコーダを4ヘッド・18,000基本目盛・16逓倍および32逓倍の条件に設定し、リアルタイム校正型回路により測定した角度誤差と、時間測定型回路により測定した角度誤差との比較を行った。

図10に時間測定型回路とリアルタイム校正型回路の16逓倍および32逓倍により測定した角度誤差の結果を示す。時間測定型回路と比較するとその差は図11、図12に示すようにそれぞれ16逓倍の時は $\pm 1.26''$ 、32逓倍の時は $\pm 0.64''$ であった。時間測定型回路とリアルタイム校正型回路の測定結果の差は、リアルタイム校正型回路の角度分解能が要因であると推定される。16逓倍時は18,000基本目盛 \times 16逓倍 \times 4倍=1,152,000パルスでありその分解能は $1.125''$ である。時間法による角度誤差に比較して $\pm 1.26''$ の差はこの分解能に近いものとなっている。同様に32逓倍時は18,000基本目盛 \times 32逓倍 \times 4倍=2,304,000パルスであり、この時の分解能は $0.56''$ であり、 $\pm 0.64''$ の差はこの分解能に近い。すなわちリアルタイム校正型回路では角度の分解能の分だけ角度信号検出の不感部分が生じるため、時間変換法による角度誤差の値との間に偏差が生じるものと考えられる。以上時間変換型回路による測定値と比較して想定通りの測定結果を得ることができ、リアルタイム校正型回路の有用性を確認することができた。

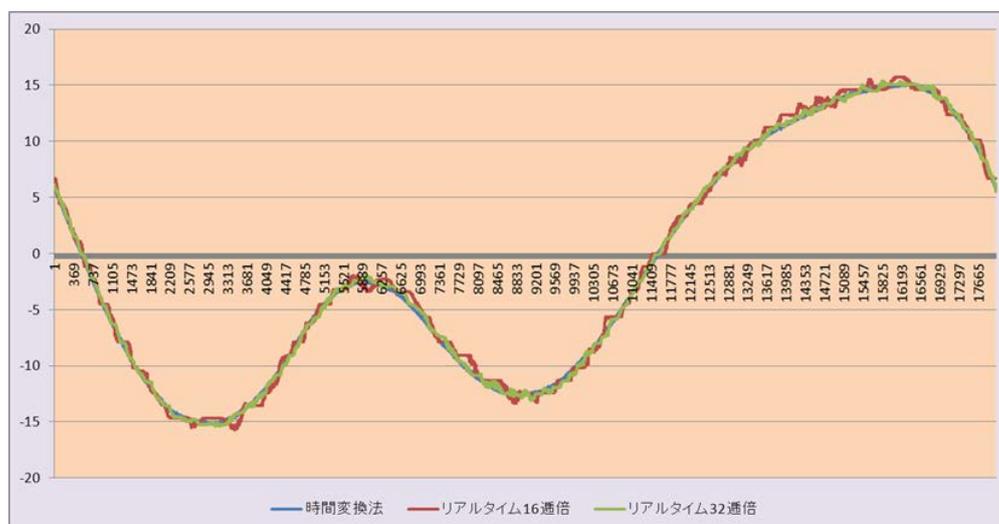


図 10 時間測定型回路とリアルタイム校正型回路の 16 逓倍と 32 逓倍による角度誤差データ（横軸：基本目盛の番号 縦軸：角度誤差（単位[$''$]秒））

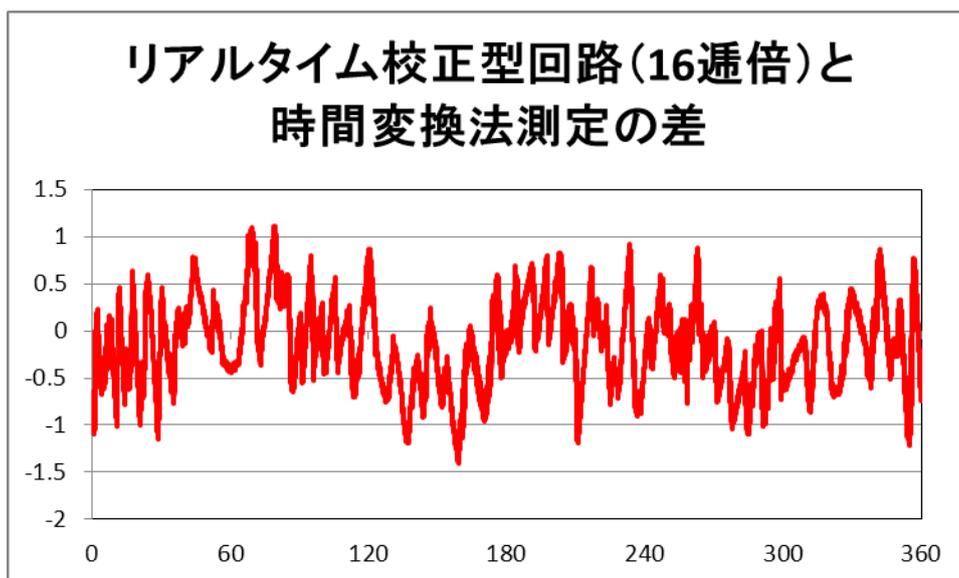


図 11 時間測定型回路とリアルタイム校正型回路（16 逓倍）の角度誤差の差

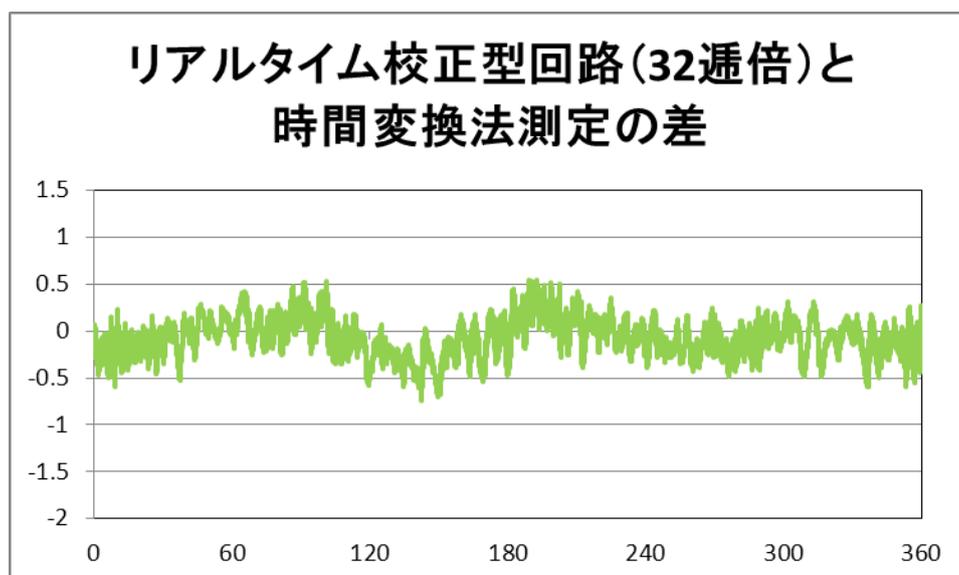


図 12 時間測定型回路とリアルタイム校正型回路（32 逓倍）の角度誤差の差
 （横軸：エンコーダ位置（単位[°]） 縦軸：角度誤差（単位[”]秒）

②-3 IC化による超小型化

電装 BOX のモジュール化に向け、②-2で開発したリアルタイム型回路を実装する FPGA ボードの小型化の設計、開発を行い、50 mm×50 mm という小型 FPGA ボードの開発に成功した。これは従来の FPGA ボードのサイズ 120 mm×65 mm と比較して約 68 %の小型化を実現したことになる（図 13 参照）。

開発したリアルタイム校正用 FPGA ボードの外観を図 13 に、その主な仕様を図 14 に示す。ボードの寸法は 50 mm×50 mm の 6 層である。FPGA のクロック周波数は 75 MHz であり、5,000 パルスのスリット円板に 200 逓倍の内挿信号を加えた場合であっ

ても、10,000 rpm に対応できる。(但し実験器に使用している逡倍器の応答周波数により、最大で 600 rpm 程度的高速回転が限度である。) またシリアル通信用に RS485 用シリアル IC とインターフェースを備えている。加えてチェック用として RS232C インターフェースが設けられている。リアルタイム校正用に特化した設計のため汎用 I/O は 36 本(5V) になっている。図 14 に開発した小型リアルタイム校正用 FPGA ボードの主な仕様を示す。



図 13 時間測定型回路用 FPGA ボード(上)と
小型リアルタイム校正用 FPGA ボード(下)

小型カウンタボードの主な仕様	
寸法	50mm×50mm
積層数	6層
FPGA	10,320 ロジックエレメント
	合計メモリ 414kビット
	179 ユーザI/Oピン
メインクロック	75MHz
シリアルIC	RS485
I/F	RS485×1(シリアル通信用) RS232C×1(検査用)
汎用I/O	36本 5V

図 14 小型リアルタイム校正用 FPGA ボードの仕様

今回、リアルタイム校正用 FPGA ボードの大幅な小型化を実現したが、次のステップとしてさらなる小型化、低価格化が期待できる。今回開発したリアルタイム校正用 FPGA ボードは実験器 12 台のエンコーダ信号入力用に設計しているのであり、自己校正型ロータリーエンコーダのセンサヘッド数が少なければそれだけ汎用 I/O 数を削減できる。対応する自己校正型ロータリーエンコーダに特化した FPGA ボードを設計することで、今よりさらに 3 割程度の小型化が可能であるとの試算が出ている。これによりエンコーダ本体と

の一体化を期待することができる。また、同時に低価格化の実現も可能である。FPGA ボードをより小型化することで1万円から数万円の価格が期待できる。

②-4 基板実装設計

②-2で開発したリアルタイム校正型回路で解析された角度誤差情報をリアルタイムで出力するには、出力信号のシリアル化が不可欠である。そこでオープンプロトコルであるBISS®-C シリアルを選定し、リアルタイム校正型回路用 FPGA ボードにより解析された角度誤差データをシリアル転送するリアルタイム校正システムを構築し、実験器による評価を行った。この評価実験により時間測定型回路で測定した角度誤差と比較して、リアルタイム校正により測定した角度誤差は±0.59”の精度で一致するという結果を得た。これによりリアルタイム校正システムは1”以下の測定精度を達成することを実証した。図15に今回開発したデータのシリアル転送の主な仕様を示す。

リアルタイム校正システムによる角度誤差測定には以下の特色がある。(図16-1, -2, -3 参照)

- ①測定開始と同時に角度誤差を表示する。(図16-1)
- ②エンコーダが停止するとその位置における角度誤差を表示し続ける。
- ③エンコーダ回転の方向を変えると、測定点も反転方向に表示する。
- ④エンコーダ回転速度を変えても角度誤差の変化はない。(図16-3)

このようにリアルタイム校正システムはエンコーダの持つ角度誤差をリアルタイムに測定していることがわかる。

BISSCシリアル通信の主な仕様	
応答速度	20 μ sec
伝送速度	250kHz (クロック周波数)
伝送データ数	3300データ/sec
データ長	要求角度位置データ: 32bit
	校正値データ: 32bit

図15 シリアル転送システムの主な仕様

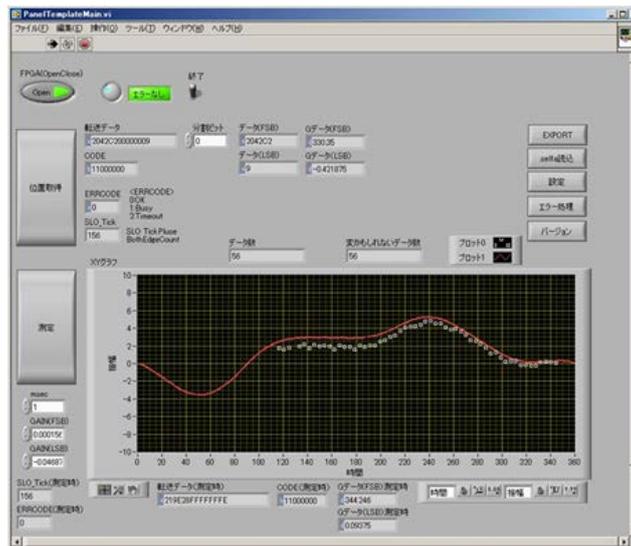


図 16-1 角度誤差のリアルタイム測定 測定開始

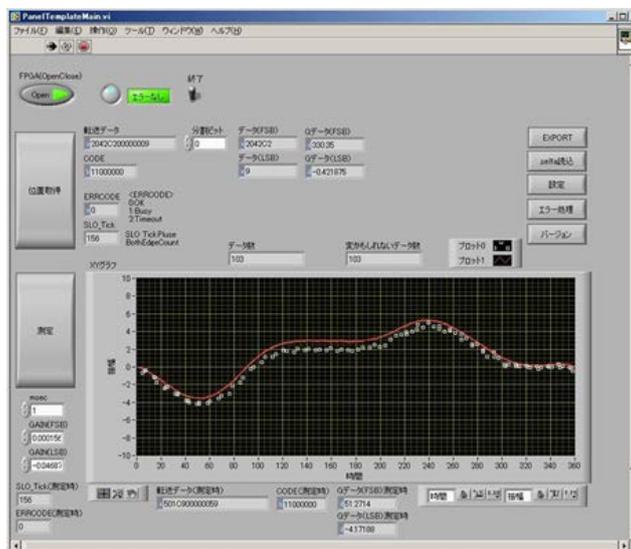


図 16-2 角度誤差のリアルタイム測定 3週目

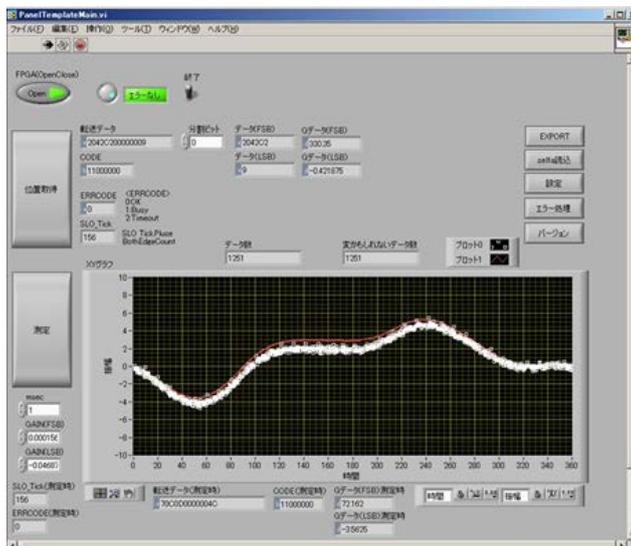


図 16-3 角度誤差のリアルタイム測定 30週目

②-5 構造設計、試作、評価

③で開発した自己校正型ロータリーエンコーダと②で開発したリアルタイム校正システムを組み合わせた結合実験を行い、自己校正型ロータリーエンコーダの精度を確保するための、最適な構造を研究した。また同時に「リアルタイム型ロータリーエンコーダ」システムの評価実験を行い、目標である測定精度1"を達成するシステム構成を実現した。

リアルタイム校正システムによる角度誤差測定の流れを図 17 に示し説明する。自己校正型ロータリーエンコーダから複数台のエンコーダ信号(A,B,Z 相)を中継基板に入力、ここで TTL 信号に変換し小型リアルタイム校正用 FPGA ボードに入力する。エンコーダ信号が TTL の場合には直接 FPGA ボードに入力する。リアルタイム校正用 FPGA ボードはエンコーダが有する角度誤差を常時解析し、解析された角度誤差データはシリアル転送される。マスターからの位置情報取得の要求により、その時点における角度誤差データをリアルタイムに転送する。転送された角度誤差データはリアルタイムで測定された角度誤差値として利用され、または補正後の角度情報として制御系で利用される。

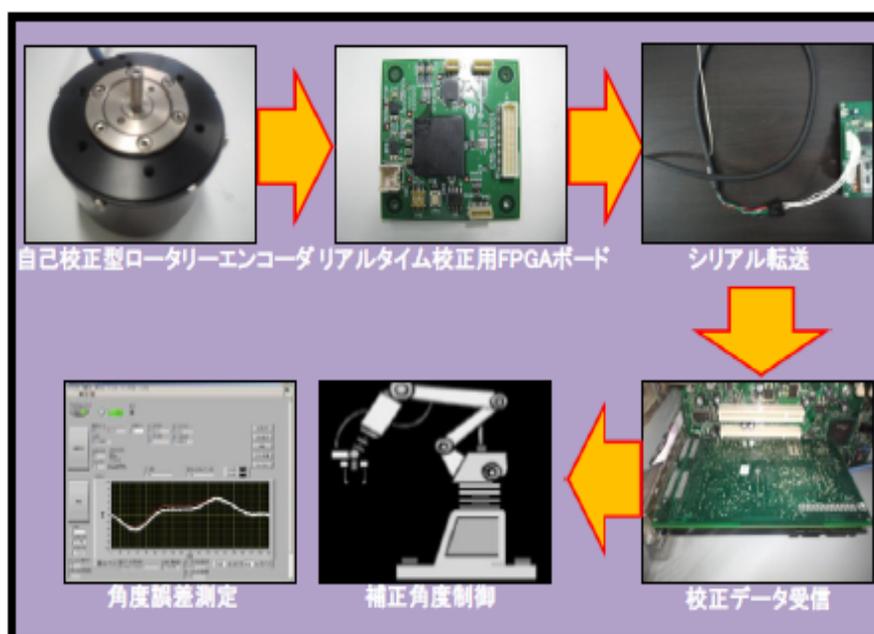


図 17 リアルタイム校正システムと外部機器との関係

(3) 「③ 反射型検出方式およびスリット円板製造工法開発」

(ネミコン株式会社 (主担当)、独立行政法人産業技術総合研究所、エ・モーションシステム株式会社)

③-1 エンコーダの光学検出方式と素子の選定および実装方法開発

③-2 スケールの製造方法開発

本研究③項目では、③-1、③-2について報告する

小型反射型センサ素子と反射式スケールを用いてエンコーダを構成し、エンコーダから出力される原信号の品質の検証実験を行った結果、スケールそのものの精度や組立て時の芯ズレ、面ブレ等の原因で、原信号に揺らぎとなって表れてしまい、これらを改善するには、原信号の補正が絶対に必要な処置で有るとということがわかった。そこで、開発中の原信号の補正機能が付いた小型反射型センサ素子 (図 18 参照) を選定し実験を行った。

この小型反射型素子の特徴は、3.4 mm×4 mm×1 mm と非常に小型、かつ低コスト、さらに原信号の補正処理機能と調整範囲が広いと、容易な位置調整が可能となっている。そのため、今回選定したこの小型反射型センサ素子を用いれば、エンコーダ製品の中に数多く搭載することが可能となり、自己校正型ロータリーエンコーダの精度改善が十分に見込める。この補正回路内蔵の反射型小型センサ素子で自己校正型ロータリーエンコーダを構築した場合、どの程度の角度精度が見込めるのか実験を行った。

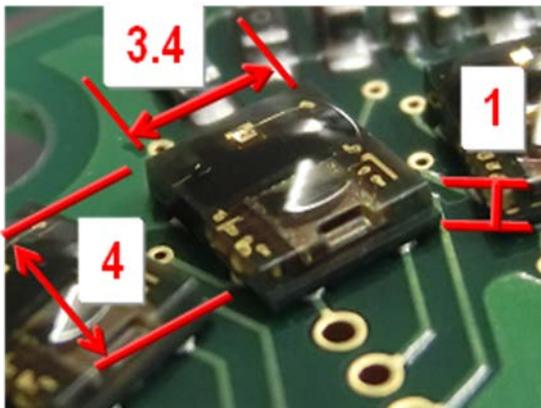


図 18 原信号の補正回路内蔵
小型反射型センサ素子

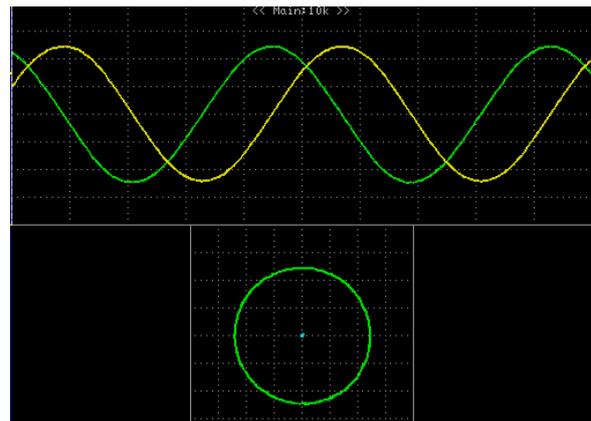


図 19 歪みの少ないアナログ信号

[実験. 反射型センサを 1 個のみ搭載した実験 (図 20 参照) と考察]

実験条件

- ・スケール (φ41.4 mm) : 目盛数 1,500
- ・センサ : 反射型センサ
- ・センサ搭載数 : 1 個
- ・透倍 : 64 透倍
- ・分解能 : 64 透倍時 = 1,500 基本目盛 × 64 透倍 × 4 (A,B 相)
= 384,000 (約 3.38")
512 透倍時 = 1,500 基本目盛 × 512 透倍 × 4 (A,B 相)
= 3,072,000 (約 0.42")

角度校正装置によって得られた結果を図 21 に、図 21 のグラフをFFT解析した結果を図 22、図 23 に示す。さらに、図 21 の1つのデータを7個円周上に並べるようにデータ上シフトし解析した結果を図 24 に、図 24 を自己校正型ロータリーエンコーダのアルゴリズムで解析した結果を図 25 に示す。

図 26 は、図 25 の SelfA とH1 の差（精度）を拡大した図である。小型反射型センサ7個とガラス円板（ $\phi 41.4$ mm）で校正されたエンコーダは、角度精度が1"以下の精度となりうるものであること判った。しかし、実験4は1つのセンサヘッドのデータのみを使用した予測値であるため、現実的な数値ではない。そのためセンサ個体のばらつきや円周上に搭載されたセンサの基板搭載位置のばらつきを加味しなければならない。

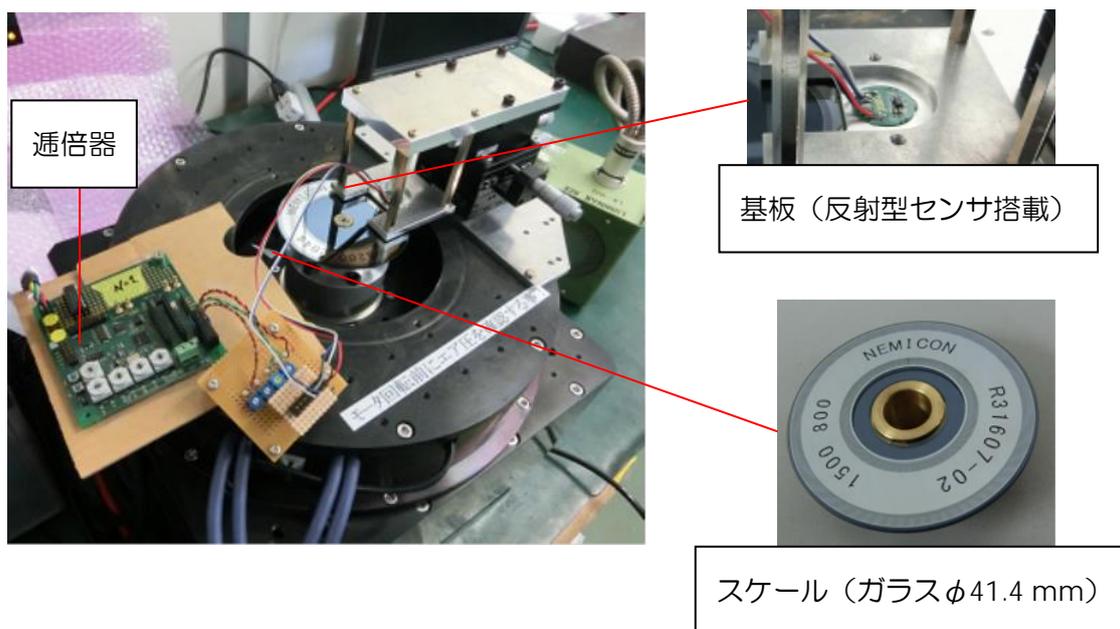


図 20 小型反射型センサ素子・単体+反射型スケール（ガラス）



図 21 角度校正装置による角度誤差の解析結果

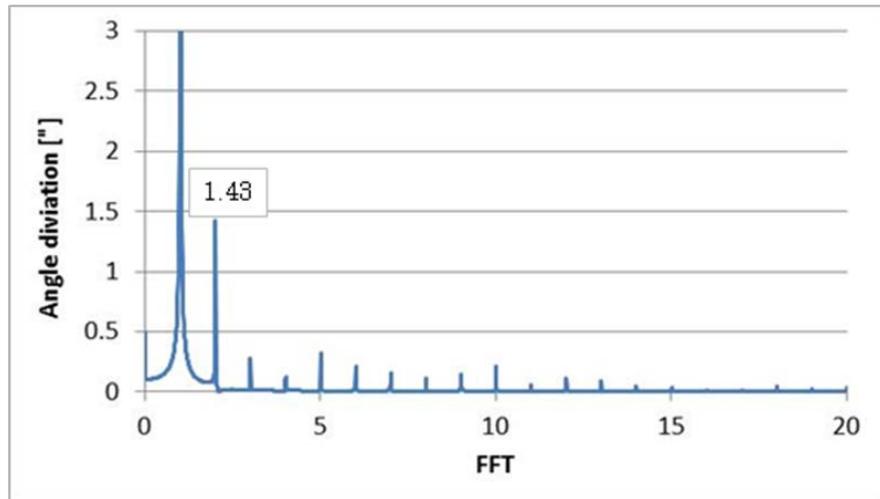


図 22 図 21 の F F T 解析結果（低次成分領域）

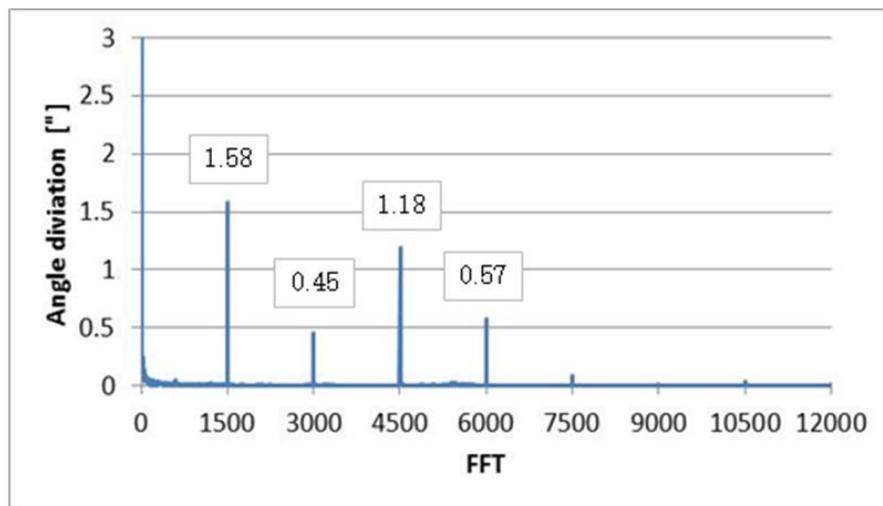


図 23 図 21 の F F T 解析結果（高次成分領域）

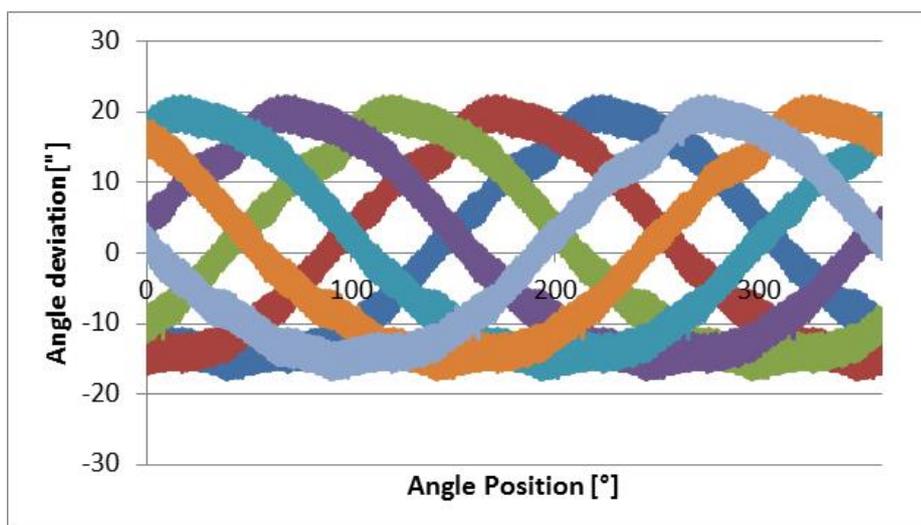


図 24 図 21 のデータを $360^\circ / 7$ の倍数の角度だけそれぞれシフトさせ7個重ねたグラフ

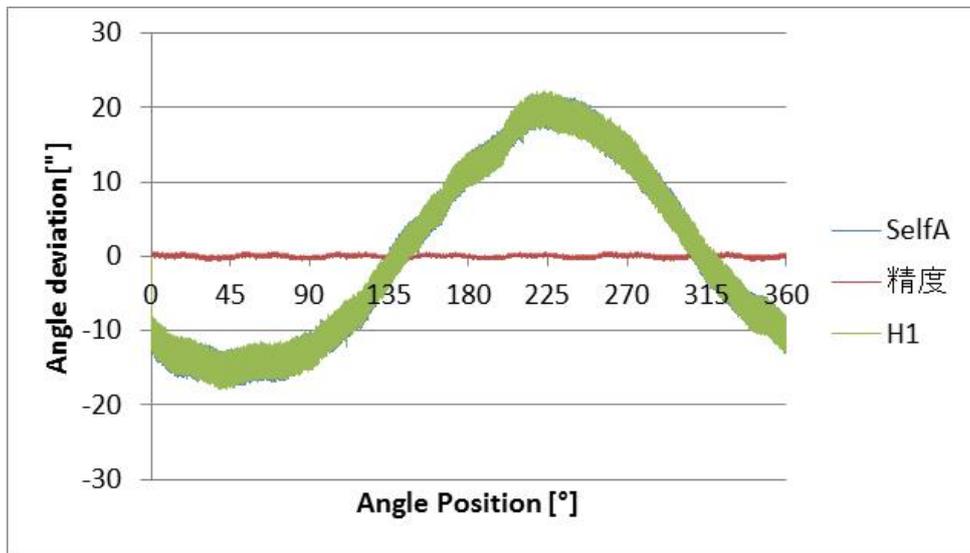


図 25 図 24 のデータを用いて
 自己校正型ロータリーエンコーダのアルゴリズムで解析した結果(SelfA)と
 図 21 角度校正装置による角度誤差 (H1)、および SelfA と H1 の差 (精度)

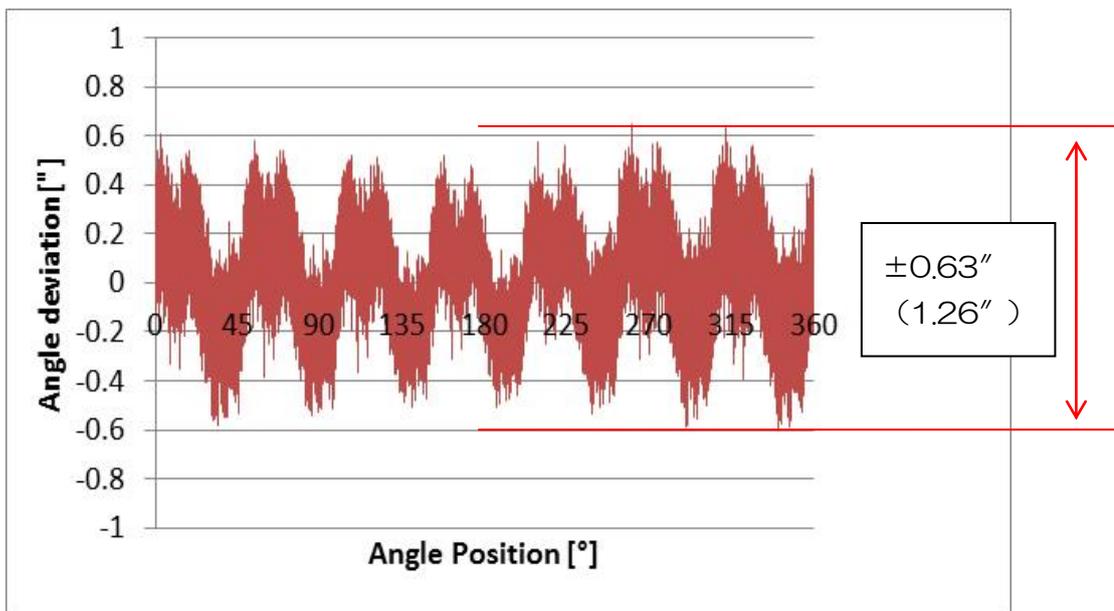


図 26 図 25 の SelfA と H1 の差 (精度) の拡大図

[実験. 反射型センサ個体のばらつき、基板搭載位置のばらつきによる角度誤差検出性能の評価]

実験条件

- スケール (φ41.4 mm : 目盛数 1,500)
- センサ : 反射型センサ No.1、No.2、No.3 (計 3 個)
- センサ搭載数 : 1 個
- 逡倍 : 64 逡倍
- 分解能 : 64 逡倍時 = 1,500 目盛 × 64 逡倍 × 4 (A,B 相)
= 384,000 (約 3.38")
512 逡倍時 = 1,500 目盛 × 512 逡倍 × 4 (A,B 相)
= 3,072,000 (約 0.42")

No.1 ~ No.3 のセンサ個体のばらつき結果を図 27 に、基板搭載位置によるばらつき確認結果を図 28 に示す。図 27 の結果から、センサ個体のばらつきは、主に内挿誤差の成分である 1,500 次以上の成分に影響があり、特に 1,500 次成分、3,000 次成分は 1" 程度のばらつきを示した。しかし、これらの値はセンサの搭載数によって平均化されるため、仮に 7 個搭載した場合 1" は、0.142" となり 1" という目標精度は十分に達成できる見込みがあることがわかる。

		FFT					
		1	2	1500	3000	4500	6000
データ1	No1	13.27	1.43	1.58	0.45	1.18	0.57
データ2	No2	13.35	1.59	1.73	1.51	0.79	0.81
データ3	No3	13.14	1.36	0.65	0.85	1.13	0.46
	平均	13.253	1.460	1.320	0.937	1.033	0.613
	最小	13.14	1.36	0.65	0.45	0.79	0.46
	最大	13.35	1.59	1.73	1.51	1.18	0.81
	最大-最小	0.21	0.23	1.08	1.06	0.39	0.35

図 27 センサ個体のばらつき

		FFT					
		1	2	1500	3000	4500	6000
データ1	原点	13.27	1.43	1.58	0.45	1.18	0.57
データ4	x+0.1	13.24	1.35	1.60	0.50	1.19	0.49
データ5	x-0.1	13.24	1.32	1.55	0.42	1.16	0.66
データ6	y+0.1	14.42	1.34	1.53	0.39	1.03	0.62
データ7	y-0.1	14.05	1.37	1.56	0.44	1.05	0.49
データ8	z+0.1	12.87	1.40	1.60	0.42	0.94	0.43
データ9	z-0.1	13.58	1.36	1.60	0.36	1.44	0.69
	平均	13.52	1.37	1.57	0.43	1.14	0.56
	最小	12.87	1.32	1.53	0.36	0.94	0.43
	最大	14.42	1.43	1.60	0.50	1.44	0.69
	最大-最小	1.55	0.11	0.07	0.14	0.50	0.26

図 28 基板搭載への位置のばらつき

※一般的な基板実装精度はおおよそ±0.1mm であるため、実験でもこの数値を採用

現実的な精度分析に近づけるために、図 27 の3個のセンサの個体のばらつきのデータ（データ1～データ3）と、図 28 に示すセンサ NO.1 の位置のばらつきのデータ（データ1～データ9）をランダムに7個選択し、選択したデータの角度位相をずらすことで円周上に仮想的に配置した条件を作りだした。それらのデータを図 29 に示す。このデータを用いて自己校正型ロータリーエンコーダのアルゴリズムで解析を行った結果を図 29 に示す。

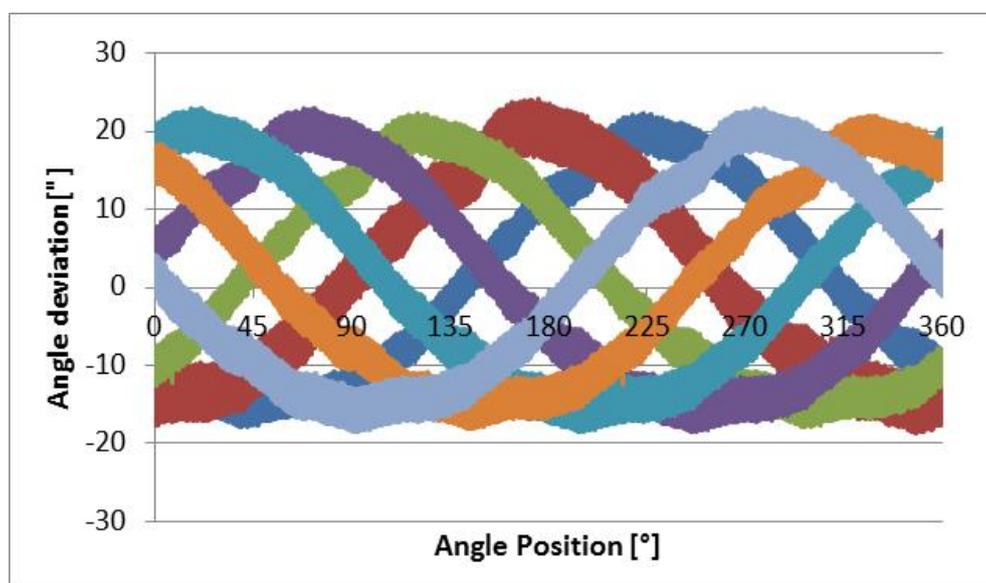


図 29 データ1～データ9から7個選択し角度位相をずらして表示

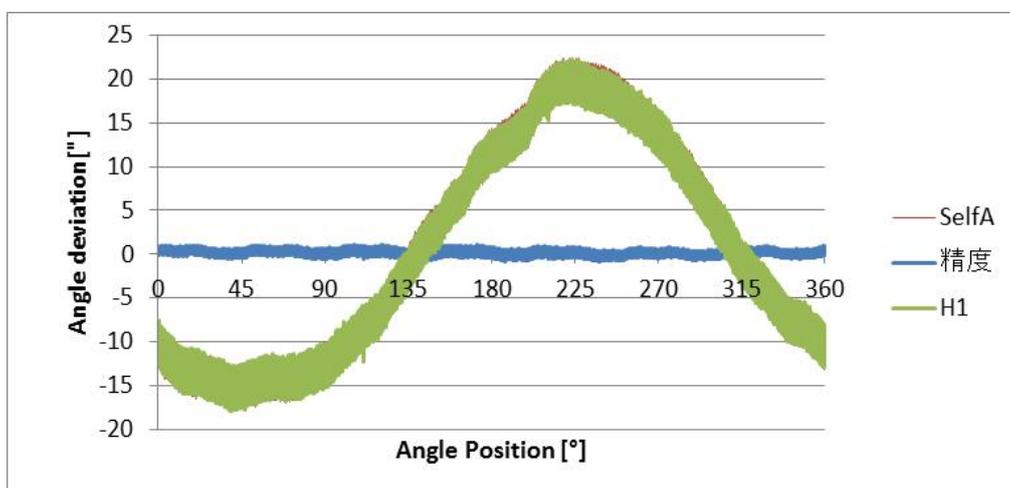


図 30 図 29 のデータを用いて自己校正型ロータリーエンコーダのアルゴリズムで解析した結果(SelfA)と図 29 角度校正装置による角度誤差 (H1)、および SelfA と H1 の差 (精度)

図 31 に図 30 に示した SelfA と H1 の差 (精度) の拡大図を示す。センサヘッドの個体のばらつきや基板搭載位置のばらつきの影響から、ばらつきの無い図 26 と比較すると、「SelfA と H1 の差 (精度)」が大きくなっている事がわかる。しかしながら小型反射型セ

ンサ7個とガラス円板（ $\phi 41.1$ mm）で校正されたエンコーダは、センサ個体のばらつき、基板搭載位置のばらつきを加味しても、 $\pm 1''$ の精度を実現できることが証明された。

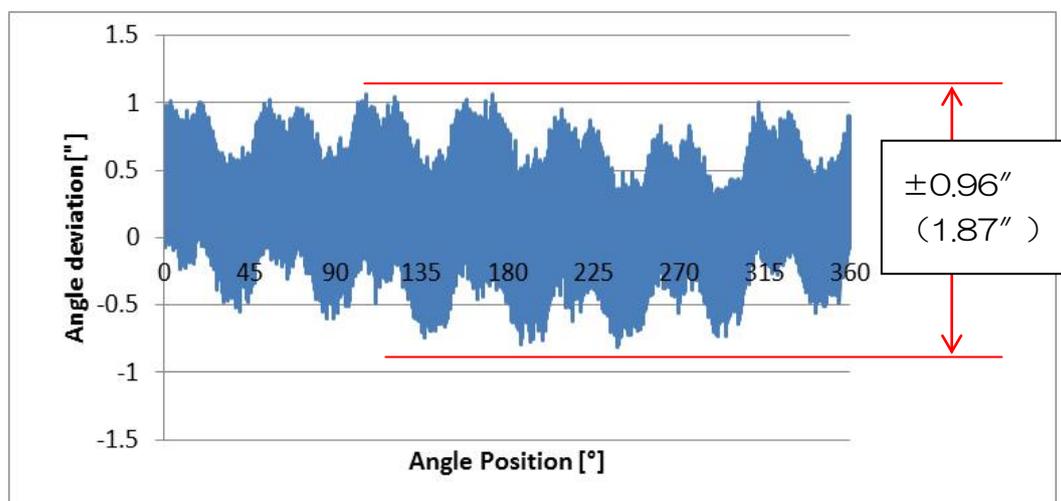


図 31 図 30 の SelfA と H 1 の差（精度）の拡大図

図 31 の結果から、小型反射型センサ7個とガラス円板（ $\phi 41.4$ mm）で校正されたエンコーダは、センサ個体のばらつき、基板搭載位置のばらつきを加味しても、 $\pm 1''$ の精度を実現できることが証明された。

(4) 「④ 小型エンコーダへの搭載と商品化」

(ネミコン株式会社 (主担当)、エ・モーションシステム株式会社、独立行政法人産業技術総合研究所)

④-1 商品化設計検討

従来の高精度ロータリーエンコーダは、角度精度が5"程度になるとφ100 mm以上の大型物で、かつコストが非常に高いものであった。しかし、③の結果から、±1"の角度精度でありながら小型(φ50 mm)の製品が実現可能であるという十分な根拠が得られた。φ50 mmの製品構造の検討図を図32に示す。さらに、小型センサを7個搭載し、通倍器および②で開発したリアルタイム型回路用FPGAボードまでも搭載するための基板設計検討を行った。(図33参照)

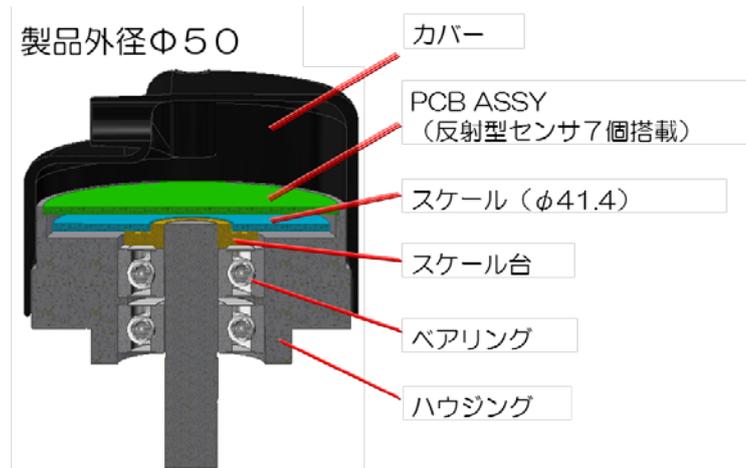


図32 φ50 mm 小型高精度リアルタイム自己校正型ロータリーエンコーダ構造検討図

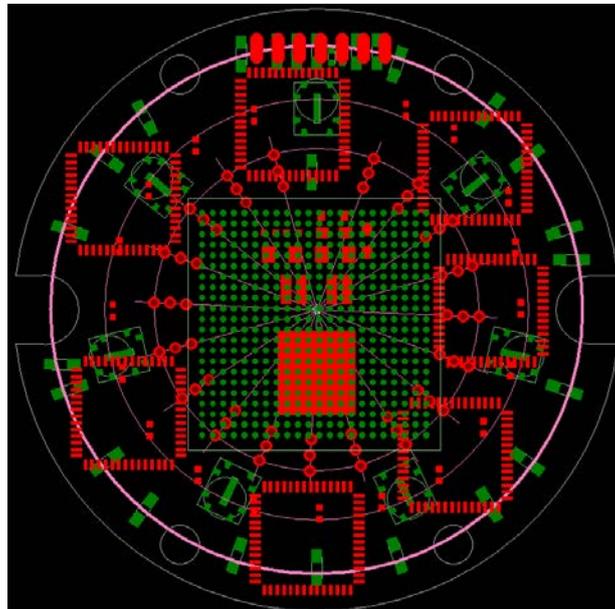


図33 基板 (小型反射型センサ7個、通倍器7個、FPGA搭載)

④-2 量産化検討

低コストを確保するための検討を行った。

製品価格の分析を行い、製品価格10万円の実現検討を行った。その結果エンコーダ構成要素の材料費は3万円を切る事が可能である事が分かった。図34に主な構成要素別の材料費内訳を示す。

この結果から企業収益、製造原価科目を付加しても製品価格10万円は十分実現できると考えられ、競合他社製品に比べて格段に安価な価格で市場投入できる事が確認できた。

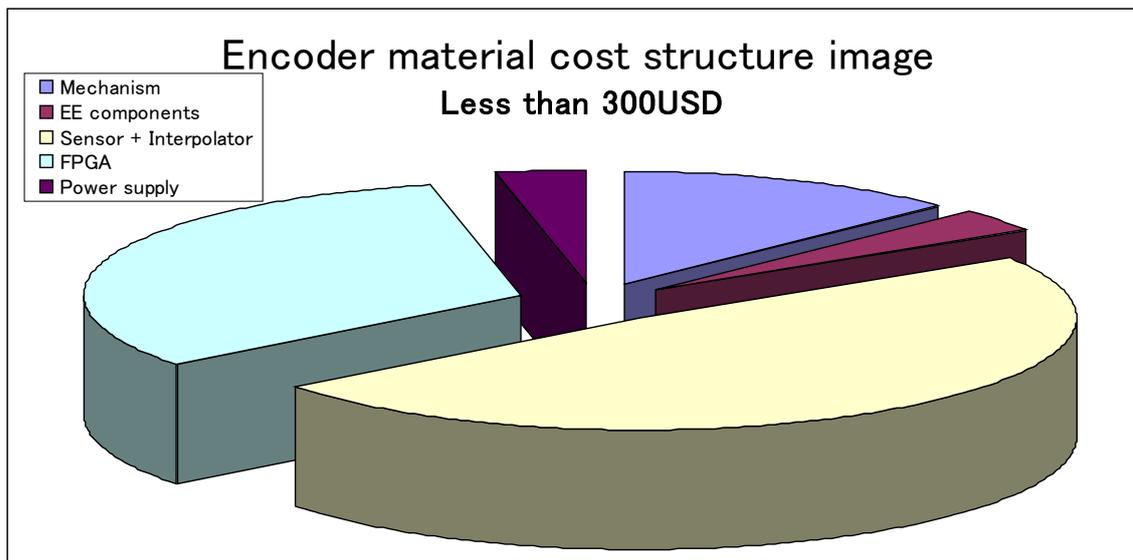


図34 製品価格分析グラフ

(5) 「⑤ 研究全体の統括、プロジェクトの管理運営」

(担当：公益財団法人福島県産業振興センター)

研究を円滑に推進するため、一連の研究全体について、進捗情報の報告を求め、定期的に進捗状況報告会を行う等研究開発を管理した。また、公益財団法人福島県産業振興センターは事業の進捗について、定期的に報告を求め適正な管理を行った。

⑤-1 全体計画の企画

プロジェクトにおける進捗状況について、報告書の提出、会議の開催等の企画を行った。また、事業化を見据え、ユーザーとの連携、市場調査の要請と結果報告およびそれらの結果の取りまとめと報告等の企画を行った。

⑤-2 進捗管理

各研究について、進捗情報の報告を求め、また定期的に進捗状況報告会を行い、調整を図った。

⑤-3 研究推進会議の開催

研究推進のための推進会議を2回程度開催した。

⑤-4 報告書とりまとめ

最終章 全体総括

スリット円板（目盛盤）の寸法が直径約 $\phi 100$ mm～ $\phi 40$ mm に対して、自己校正機能付ロータリーエンコーダのリアルタイム信号処理に関する原理の開発を行い、この原理に対応したデータ処理部とロータリーエンコーダ本体を製作し、その実証実験を行いながら徐々に小型化($\phi 40$ mm) を実施した。

①自己校正型高精度位置検出方式の開発：目標達成度 100 %

独立行政法人産業技術総合研究所で開発した自己校正機能付エンコーダの原理を基礎技術として、これを高度化したリアルタイム信号処理の原理を開発した。この原理を実現するために必要となるスリット円板（目盛盤）の仕様、センサヘッドの個数、逓倍器（電気内挿回路）の仕様とリアルタイム処理回路の検討を行った。その結果、スリット円板については、素材：ガラス、直径： $\phi 40$ mm、目盛ピッチ： 80 μ m、基本目盛数：1,500 本とし、センサヘッドについては、センサヘッド数：7個を基板搭載位置のばらつきを ± 0.1 mm 以内で取り付ける、逓倍器（電気内挿回路）については、分割を 512 逓倍 $\times 4$ 倍（AB相の up と down）、リアルタイム処理回路については、回路ロジック：FPGA、シリアル通信規格：BISS[®]-C を採用することで、本研究で目標としているリアルタイム自己校正型ロータリーエンコーダを実現できる事を確認した。

②小型エンコーダへの組み込み技術開発：目標達成度 100 %

角度誤差測定の高速度の実現：従来の時間変換法は、エンコーダの角度信号を得るために1周分の測定時間が必要であるのに対して、リアルタイム校正システムは、角度誤差測定の要求に対して 20 μ 秒の応答で測定可能な高速化を実現した。

角度誤差測定の高精度化の実現：リアルタイム校正システムによる角度誤差測定は時間変換法により測定した角度誤差と比較して $\pm 0.59''$ の精度で一致しており（18,000 基本目盛 $\times 32$ 逓倍 $\times 4$ 倍=2,304,000 パルスの場合）、角度誤差の検出精度 1'' 以下を実現した。さらに内挿信号の角度誤差も内挿信号の分解能相当の測定精度を実現した。

小型リアルタイム校正用 FPGA ボード開発によるデータ処理部の低価格化：リアルタイム校正に必要なエレメントのみで設計することで、大量生産の場合には従来型と比較して約3分の1に製作コストを抑える FPGA ボードの構成を実現した。この結果数千台単位で生産した場合には数万円程度で製作できる見通しがついた。

小型リアルタイム校正用 FPGA ボード開発によるデータ処理部の低価格化：リアルタイム校正に必要なエレメントのみで設計することで、大量生産の場合には従来の FPGA ボードと比較して約3分の1に製作コストを抑える構成を実現した。この結果数千台単位で生産した場合には数万円程度で製作できる見通しがついた。

③反射型検出方式とスリット円板製造工法開発：目標達成度 100 %

平成25年度は、上記①および②で開発する高精度・小型・低コスト化の方式に適合するように、揺らぎのない原信号を実現するための補正回路を駆使した信頼性設計を行った。揺らぎのない原信号を実現するためにはガラス製で製作する必要があることを検証した。また直径 $\phi 40$ mm（目盛ピッチ： 80 μ m、基本目盛数：1,500）の場合に角度の高分解能化が必要であり、高分解能化を得るために逓倍器（電気内挿回路）の分割を 512 逓倍 $\times 4$ 倍（AB相の up と down）まで上げて、十分品質の良い角度信号が出力することが可能である事を確認した。センサヘッドについては、センサヘッド数：7個を基板搭

載位置のばらつきを±0.1 mm 以内で配置することで、精度 1" を達成することが可能なロータリーエンコーダ本体を製作する事が可能である事も確認した。

④小型エンコーダへの搭載と商品化：目標達成度 100 %

製品価格の分析を行い、製品価格10万円の実現検討を行った。その結果エンコーダ構成要素の材料費は3万円を切る事が可能である事が分かった。この結果から企業収益、製造原価科目を付加しても製品価格10万円は十分実現できると考えられ、競合他社製品に比べて格段に安価な価格で市場投入できる事が確認できた。

角度制御の信頼性確保に貢献できる製品の研究開発を行い、これにより、位置決めに係る技術において達成すべき高度化目標の高精度化、小型化・軽量化、低コスト化のための技術向上と寿命管理技術の向上に corres ponding することを目的とする「リアルタイム自己校正型ロータリーエンコーダ」の研究開発に掲げた全ての目標を達成した事を報告して全体総括とする。

リサイクル適性 (A)

この印刷物は、印刷用の紙へ
リサイクルできます。