

平成23年度第3次補正予算事業 戦略的基盤技術高度化支援事業

「部品内蔵基板内の狭間隔部品実装技術及びWLP-LSIチップ実装技術の確立」

研究開発成果等報告書

平成25年3月

委託者 東北経済産業局

委託先 福島県中小企業団体中央会

目 次

第1章 研究開発の概要	
1-1 研究開発の背景・研究目的及び目標	・・・ 1
1-2 研究体制	・・・ 4
1-2-1 研究組織及び管理体制	・・・ 4
1-2-2 研究員及び管理員	・・・ 5
1-3 成果概要	・・・ 8
1-4 当該研究開発の連絡窓口	・・・ 11
第2章 本 論	
2-1 部品内蔵基板内の部品間 0.1 mm狭隣接実装技術の要素工程 開発	・・・ 12
2-2 部品間 0.1 mm狭隣接実装技術の部品実装工程の開発	・・・ 17
2-3 部品内蔵基板内の部品間 0.1 mm狭隣接実装技術の WLP-LSI デバイスへの適用適	・・・ 18
2-4 部品内蔵基板内の部品間 0.1 mm狭隣接実装技術による部品 内蔵インターポーザの設計試作評価	・・・ 20
第3章 総 論	・・・ 26

第1章 研究開発の概要

1-1 研究開発の背景

電子機器の小型・軽量化、電気特性の改善、消費電力の削減は、半導体のみならず、全ての電子部品にも要求されており、同時に電子機器の信頼性改善及び低コスト化への要求も厳しさを増している。

回路基板に電子部品を表面実装した集積モジュールでは、部品の小型化により集積密度を向上させている。現状のはんだ実装では、部品間の間隔に制限がある点とサイズの異なる部品の混載に制限があること等により、集積密度の向上に限界が生じている。

こうした要求に応えられる新技術として、回路基板内部に部品、デバイスを内蔵することで部品実装可能な領域（通常は基板表裏の表面のみ）を増加させて小型・高集積化を実現する部品内蔵基板技術の実用化が俟たれている状況にある。

しかし、実装業界の技術的現状は、基板上面に狭隣接実装をする技術は確立したが、従来の基板表面には、本来部品を搭載するために必要な端子表面の金属加工（Au フラッシュ等）やレジスト加工（半田が飛散しないための表面処理）があるのに対し、部品内蔵基板はこの表面加工が設けられず、薄膜基板で銅箔のまま実装することになるため、実装難易度ははるかに高まり、これまでに存在していない斬新な実装技術およびその性能の実証が急がれている。

1-1-2 研究目的及び目標

医療、自動車、ロボットなどの幅広い産業で使われている様々な電子情報通信機器について、省資源・省エネルギー化、小型軽量化のためには、基板表裏への実装には限界がある。そのため、回路基板内部にも部品、デバイスを内蔵することで部品実装可能な領域を増加させ、一層の小型・高集積化を実現する“部品内蔵基板技術”の確立が、強く求められている。

電子実装モジュール組立業界ではこれまで、モジュールを小型・高密度集積化するため、電子部品のサイズを縮小したり、部品間の間隔を狭くしたりして、市場ニーズに応じてきている。現状では、部品サイズ 0603 で最小部品間隔 100 μm 、部品サイズ 0402 で最小部品間隔 80 μm のはんだ実装が実用化されている。

本研究開発では、こうした要求に応えるため、「部品内蔵基板での部品間 0.1 mm の実装技術の確立」及び「部品内蔵基板での LSI チップのはんだ実装技術の確立」をテーマに、株式会社アリーナが保有する 0.1 mm 間隔の狭隣接部品実装技術の高度化を図り、部品内蔵基板技術に適用展開し、回路基板内部に部品、デバイスを直接内蔵することで部品実装可能な領域を増加させ、従来方式の部品内蔵技術より大幅に優れた高密度性・高性能性を確保し、さらに小型・高集積化を実現する実装モジュール製造技術の開発を目的とする。具体的にはポスト携帯電話（タブレット・スマートフォン）向けの技術開発を行う。

また、産総研で進めている 3 次元 LSI 積層実装技術の研究開発において主要課題としている 3 次元積層対応インターポーザ技術に対し、開発する部品内蔵基板技術の適用を試みることで開発技術の早期実用化と早期事業化へとつなげる。

研究開発における実施項目は、次の3項目。

①部品内蔵基板内の部品間 0.1 mm狭隣接実装技術の要素工程開発

アリーナ社の独自技術である 15×15 mm四方の基板表面に間隔 0.1 mmの狭間隔部品実装技術を応用し、100 個程度の部品を基板内に内蔵、集積密度を数倍程度向上させるのみならず、異サイズの部品の混載実装を可能とする技術の確立を目指す。

②部品内蔵基板内の部品間 0.1 mm狭隣接実装技術のWLP-LSI デバイスへの適用

工程の多段化によりコストと時間を要するワイヤーボンディング やフリップチップ方式に代えて、WLP - LSI ベアチップを、他の部品実装と同一ラインで迅速かつ低コスト、高信頼性で直接はんだ付けする画期的技術の確立を目指す。

③部品内蔵基板内の部品間 0.1 mm狭隣接実装技術による部品内蔵インターポーザの設計試作評価

産総研が保有する実装モジュール特性評価技術により、実証用実装モジュールの電気特性評価を実施して、高性能化の実証を行う。

具体的には以下の研究開発課題を設定し、解決を図った。

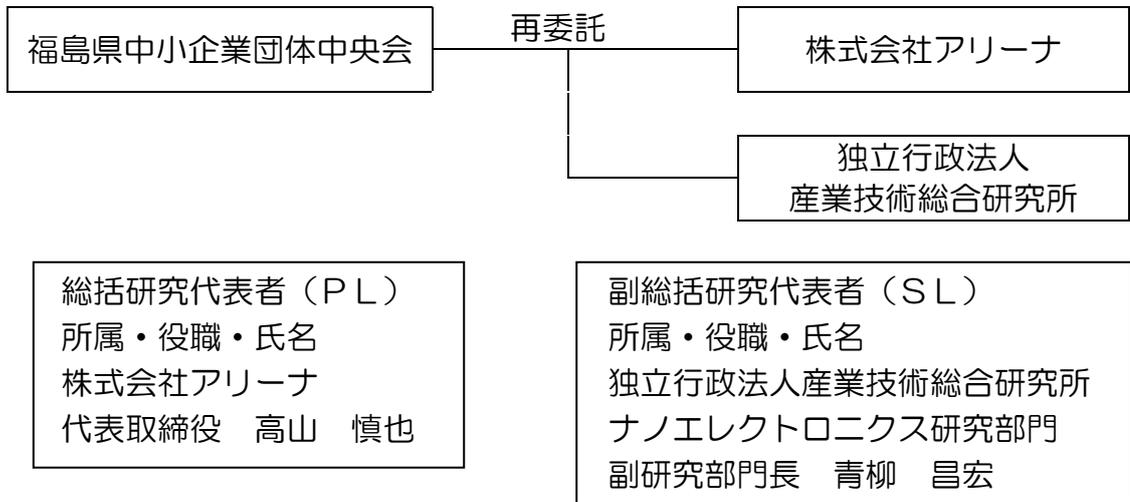
【1】 部品内蔵基板内の部品間 0.1 mm狭隣接実装技術の要素工程開発		
【1-1】 部品内蔵基板内の部品間 0.1 mm狭隣接実装技術のはんだ印刷工程の開発		
	高度化目標	目標値
メタルマスクの改良	部品内蔵基板に最適なメタルマスクを開発し、標準化を図る	厚さ 80 μm 以下 開口部使用率 80~100%のマスク形状設計指針の確立
クリーム半田の改良	内蔵基板用最下層シートの銅ベタに印刷しても濡れ広がらないクリーム半田を開発する 内蔵用として、280℃以下で再溶融しない組成を開発する	高チクソ比による 0.1 mm狭隣接実装時の部品間ショート不良の抑制 再溶融 280℃以上
基板搬送キャリアの改良	キャリアの寸法が品質に大きく影響を与えるため、熱変形（縦横・たわみ等）が少ないキャリアを開発する 粘着は強く基板が平坦度を確保でき、かつ剥がす際に粘着が弱くなり基板にダメージを与えない	キャリア寸法公差±0.1 mm以下が繰り返し確保できる バキューム吸着方式等を利用し、平坦度±0.5mm 以下 剥離時のストレス軽減
スキージ材料の最適化	クリーム半田は従来使用していたものとは異なるため、その組成に最適なスキージ材料を標準化する また酸化などの経時変化を避けるため、印刷工法（密閉式等）を標準化する	ウレタン・ステンレス・プラスチック・新プラスチック（アリーナブレード）等 2 時間以上連続生産
【1-2】 部品内蔵基板内の部品間 0.1 mm狭隣接実装技術の部品実装工程の開発		
	高度化目標	目標値
実装設備の開発	設備の最適パラメーター抽出	実装精度±30μm

【2】部品間 0.1mm 狭隣接実装技術の WLP-LSI デバイスへの適用		
	高度化目標	目標値
部品荷姿の研究	安定部品供給	トレイからテーピングに変更 ポケットサイズの研究
基板材料の研究と設計基準の検討	最適な基板材料の開発 レジスト厚の最適化、ビア位置の研究	FR4→FR5
洗浄とアンダーフィル	最適な洗浄条件を装置・洗浄剤・洗浄方法を含め研究する	フラックス残渣減少
半田ボール対策	半田ボール発生の抑制	半田ボール減少
【3】部品内蔵基板内の部品間 0.1 mm狭隣接実装技術による部品内蔵インターポーザの設計試作評価		
	高度化目標	目標値
部品内蔵インターポーザの設計	低周波から数 GHz までの広帯域で低インピーダンス特性を有する電源ネットワーク構造の実現を目指して、開発する部品間 0.1 mmの狭隣接実装された C、L チップ部品を高密度に集積したインターポーザについて設計	部品間 0.1 mm狭隣接実装を想定した高密度部品内蔵電源配線設計 コンデンサの搭載方式の差異による電源インピーダンスの低減効果を比較するため、通常のチップコンデンサを表面実装するインターポーザについても、搭載する容量値を等しくし、配置する領域（中心の 1cm 角）も同一とした、2cm 角の評価 TEG インターポーザの設計を行う。設計には電磁界解析による高精度設計技術による設計を行う
部品内蔵インターポーザの試作	デカップリングコンデンサを高密度に埋め込んだ評価 TEG インターポーザを試作する	部品間 0.1 mm狭隣接実装による部品内蔵インターポーザ試作 コンデンサの搭載方式の差異による電源インピーダンスの低減効果を比較するため、通常のチップコンデンサを表面実装するインターポーザについても、搭載する容量値を等しくし、配置する領域（中心の 1cm 角）も同一とした、2cm 角の評価 TEG インターポーザも試作する
部品内蔵インターポーザの評価	デカップリングコンデンサを高密度に埋め込んだ評価 TEG インターポーザの電源インピーダンスの測定評価を実施する。高精度な電源インピーダンス評価の実現のため、高周波プローブとその校正基板を用いて、低周波から数 GHz までの広帯域な周波数範囲においてインピーダンス評価を行う	部品内蔵インターポーザの 10Hz～40 GHz の広帯域周波数域でのインピーダンス評価

1-2 研究体制

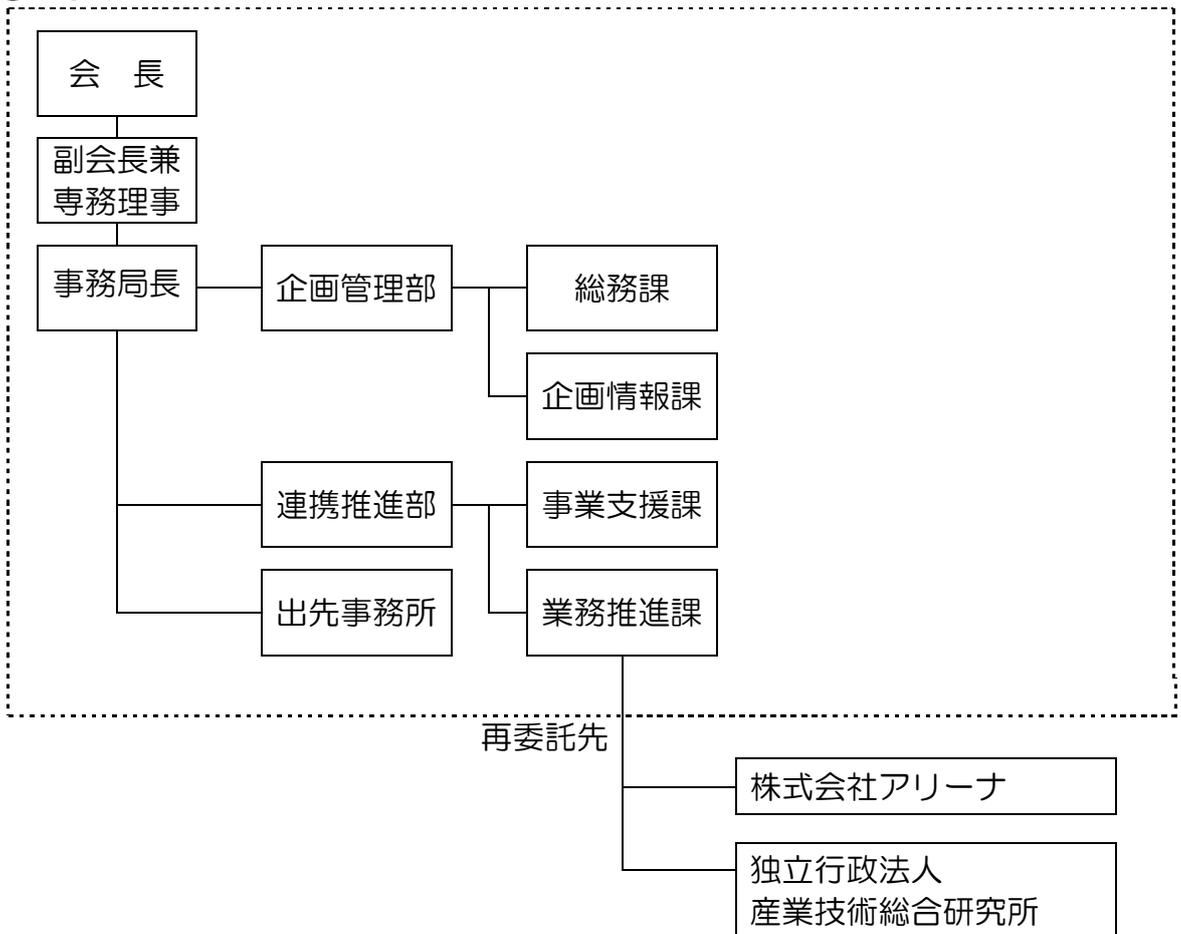
1-2-1 研究組織・管理体制、研究者氏名、協力者

1) 研究組織（全体）

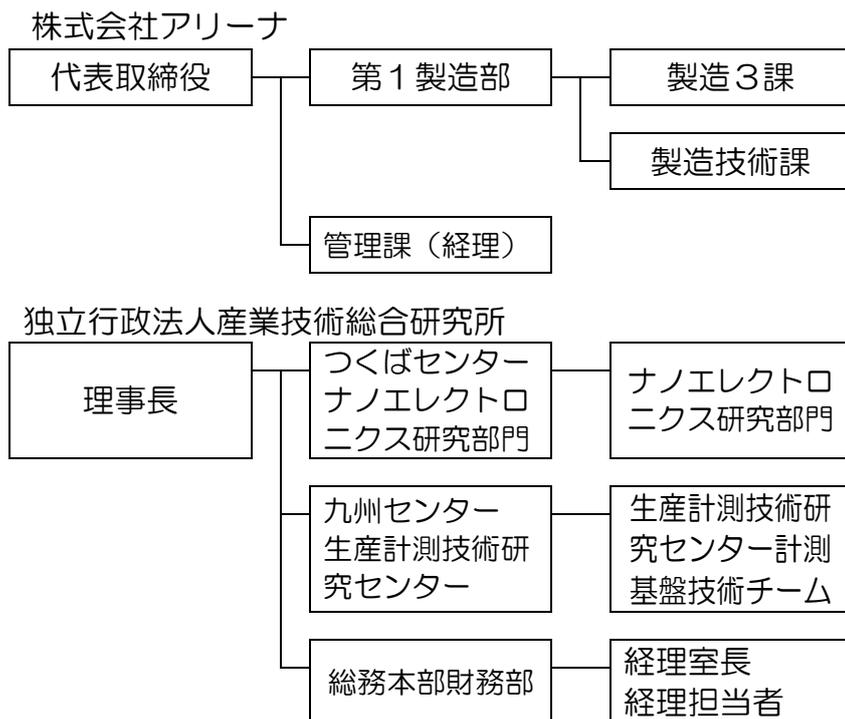


2) 管理体制

① 事業管理者 [福島県中小企業団体中央会]



② (再委託先)



1-2-2 研究員及び管理員 (役職・実施内容別担当)

【実施内容項目】

- ① 部品内蔵基板内の部品間 0.1 mm狭隣接実装技術の要素工程開発
 - ①-1 部品間 0.1 mm狭隣接実装技術のはんだ印刷工程の開発
 - ①-1-1 メタルマスク及びクリームはんだ材料の改良
 - ①-1-2 基板搬送キャリアの改良
 - ①-2 部品間 0.1 mm狭隣接実装技術の部品実装工程の開発
- ② 部品内蔵基板内の部品間0.1mm狭隣接実装技術の WLP-LSI デバイスへの適用
- ③ 部品内蔵基板内の部品間 0.1 mm狭隣接実装技術による部品内蔵インターポータの設計試作評価
 - ③-1 部品内蔵インターポータの設計
 - ③-2 部品内蔵インターポータの試作
 - ③-3 部品内蔵インターポータの評価
- ④ 研究全体の統括、プロジェクトの管理運営
 - ④-1 全体計画の企画
 - ④-2 進捗管理
 - ④-3 研究推進会議及び分科会の開催
 - ④-4 報告書とりまとめ

【事業管理者】 福島県中小企業団体中央会
管理員

氏名	所属・役職	実施内容(番号)
太田 久弥	事務局長	④
江川 佳伸	連携推進部部長	④-1、④-2、④-3、④-4
遠藤 武	参事兼相双事務所所長	④-1、④-2、④-3、④-4
遠藤 清隆	連携推進部 業務推進課 課長	④-2、④-3
東海林裕史	連携推進部 業務推進課 主任主査	④-1、④-2、④-3、④-4
梅津 國蔵	連携推進部 業務推進課 主査	④
影山 徹哉	連携推進部 業務推進課 主事	④-3

【再委託先(研究員)】

株式会社アリーナ

氏名	所属・役職	実施内容(番号)
氏家 昌章	第1製造部 製造2課 課長	①、②、③-2
半田 勝徳	第1製造部 営業技術課 課長	①、②、③-2
角 達徳	第1製造部 製造3課 係長	①
鈴木 成幸	第1製造部 営業技術課	①
氏家 康裕	第1製造部 製造技術課 主任技師	①、②
原田 典真	第1製造部 製造技術課	①

独立行政法人 産業技術総合研究所

氏名	役職・所属	実施内容(番号)
	つくばセンター	
青柳 昌宏	ナノエレクトロニクス研究部門 副研究部門長	③-1、③-3(SL)
菊地 克弥	ナノエレクトロニクス研究部門 主任研究員	③-1、③-3
渡辺 直也	ナノエレクトロニクス研究部門 研究員	③-1、③-3
鈴木 基史	ナノエレクトロニクス研究部門 主任研究員	③-1、③-3
菫蒲 一久	九州センター 生産計測技術研究センター 計測基盤技術チーム チーム長	①-1-1

(3) 経理担当者及び業務管理者の所属、氏名

【事業管理者】

福島県中小企業団体中央会

(経理担当者) 業務推進課 主任主査

東海林裕史

(業務管理者) 連携推進部 部長

江川 佳伸

【再委託先】

株式会社アリーナ

(経理担当者) 管理課 係長

杉目 京子

(業務管理者) 管理課 課長代理

佐々 俊郎

独立行政法人産業技術総合研究所

(経理担当者) 総務本部財務部経理室長

山口 洋二

(業務管理者) ナノエレクトロニクス研究部門長

金丸 正剛

(4) 他からの指導・協力者名及び指導・協力事項

研究推進会議 委員

氏名	所属・役職	備考
高山 慎也	株式会社アリーナ 代表取締役	PL
青柳 昌宏	独立行政法人産業技術総合研究所ナノエレクトロニクス 研究部門 副研究部門長	SL
鈴木 孝和	独立行政法人産業技術総合研究所 イノベーション推進 本部 産業技術指導員	アドバイザー
及川 勝成	東北大学大学院工学研究科金属フロンティア工学 准教授	アドバイザー
栗花 信介	福島県ハイテックプラザ 技術開発部 工業材料科 科長	アドバイザー
三輪 悟	株式会社メイコー 経営企画室 次長	アドバイザー
篠原 克宏	千住金属工業株式会社 仙台営業所 所長	アドバイザー
大沢 慶	株式会社プロセス・ラボ・ミクロン 営業部東北担当	アドバイザー
郡司 智康	クローバー電子工業株式会社 技術営業部 部長	アドバイザー
古屋 浩	ソニー株式会社 半導体事業本部 アナログ LSI 事業部 先端実装製品部 1課 統括課長	アドバイザー
及川 金也	株式会社東北ワンピース 代表取締役社長	アドバイザー
氏家 昌章	株式会社アリーナ 第1製造部 製造2課 課長	委 委
半田 勝徳	株式会社アリーナ 第1製造部 技術営業課 課長	
菫蒲 一久	独立行政法人産業技術総合研究所九州センター生産計測 技術研究センター計測基盤技術チーム チーム長	
菊地 克弥	独立行政法人産業技術総合研究所 ナノエレクトロニク ス研究部門 主任研究員	

アドバイザー氏名	主な指導・協力事項
鈴木 孝和	はんだ接合・プロジェクト推進
及川 勝成	はんだペースト開発
栗花 信介	基板の信頼性試験
三輪 悟	電子回路基板開発
篠原 克宏	はんだペースト開発
大沢 慶	メタルマスク搬送キャリアー開発
郡司 智康	内蔵基板開発
古屋 浩	電子回路基板開発
及川 金也	基盤設計

1-3 成果概要

1-3-1 実施内容

① 部品内蔵基板内の部品間 0.1 mm狭隣接実装技術の要素工程開発

①-1 部品間 0.1 mm狭隣接実装技術のはんだ印刷工程の開発

①-1-1 メタルマスク及びクリームはんだ材料の改良

(株式会社アリーナ、独立行政法人産業技術総合研究所)

現行の鉛フリー用クリーム半田の特性に近づけるため、金属を配合したクリーム半田の粘度、粒径、配合割合等の最適化を目的とし、接合条件と関連データを収集し分析して、最適配合率のクリーム半田材料を選定した。その結果、千住金属工業の銅粉(20%~30%)入り半田ペーストが有効と判断した。(株式会社アリーナ、独立行政法人産業技術総合研究所)

既製品の鉛フリークリーム半田を用いた半田の実装は、内蔵基板を次工程で加熱した際に再熔融し、内層剥離を引き起こし内層パターンでのオープン不良が発生しやすいが、千住金属工業の協力を得て、クリーム半田の組成(含有する銅の割合を徐々に増やす)を調整することで、再熔融しない半田ペーストを選定、開発し、オープン不良の大幅低減を図った。結果的に銅粉(30%)入り半田ペーストが有効であることが分かった。(株式会社アリーナ)

但し、この銅粉入り半田ペーストは特許取得済みのものであり、そのまま使えないためこの半田ペーストの特性を生かしつつ、特許に遮られない新しい半田ペーストを千住金属工業に開発依頼する必要がある。(未発表)

半田付けの接続信頼性を確保するため、半田接合形成後のフィレットの広がりを0.1 mm下に抑えた(フィレットレス)半田形状について、クリーム半田塗布量、メタルマスク板厚、マスク開口形状等との相関関係を研究し、データ収集及び分析を実施した。その結果、十分な半田フィレットは形成されないが、接続信頼性は樹脂コーティング(内蔵)することにより、接続強度は確保できることが明らかになった。

クリーム半田印刷工程で用いるメタルマスクについて仕様を定め、厚さ $t=50\mu$ 、開口部使用率80%~100%の条件下で、開口径精度 $+5\mu\text{m}-0\mu\text{m}$ で制作することに成功した。(株式会社アリーナ)

今後の課題として、全体を統合した際に不良率0.01%以下となることを目標とする必要がある。(株式会社アリーナ)

①-1-2 基板搬送キャリアの改良 (株式会社アリーナ)

搬送キャリア自体での反りによるチップ部品のズレ・トビの発生を抑制するため、キャリア寸法公差を $\pm 0.1\text{ mm}$ 以下にし、また、薄型基板に対応した全面吸着式搬送キャリアを開発した。

現状の製造工程フローでは、基板搬送不良、位置決め精度不足などの理由により、基板厚 $t=0.05\text{ mm}$ の薄型基板を扱えない。薄型基板対応の改良搬送キャリアを用いて、擬似的に厚みのある剛体の状態として、基板搬送、高精度位置決めなどを可能とする。—多数の基板を用いて、製造工程フロー内で搬送、位置決め—のデータ収集

及び分析を実施した。

その結果、真空オープンを用いて搬送キャリアに圧着させる方式を開発し採用した。但し基板はがしのための治具開発が今後の課題である。

①-2 部品間 0.1 mm狭隣接実装技術の部品実装工程の開発（株式会社アリーナ）

クリーム半田の印刷塗布工程に使用しているスキージをプラスチック、ウレタンゴム等に換えてメタルマスクの設計仕様及びクリーム半田の塗布特性などデータを収集し、スキージ材料の最適化を図った。今回選定した銅粉入り半田ペーストは粘度が非常に高いため、従来のスキージでは印刷できない。そのためプラスチックとメタルを共用した「ハイブリッドスキージ」（特許準備中）を開発し、これを採用した。

加熱工程の繰り返しによる基板収縮の蓄積により、クリーム半田塗布位置と部品搭載位置のアライメント精度が悪化し、規定位置に高精度実装することが困難となるため、基板収縮量を予測して搭載位置制御を補正する狭間部品実装工法を検討し、接合条件との関連データを収集、分析を実施して、高精度実装可能な実装設備制御の最適パラメータを抽出した。その結果、リフローを通す前段階では、搬送キャリアに精度よく貼り付けられていることが前提であるが、アリーナが持つ狭隣接部品実装技術を応用して生産することが可能であることがあきらかになった。

② 部品内蔵基板内の部品間0.1mm狭隣接実装技術の WLP-LSI デバイスへの適用（株式会社アリーナ）

・部品・LSI 同時実装工程の開発

サブテーマ1と重複する研究要素が多いが、さらに部品荷姿の検討、基板材料、設計基準の検討、洗浄法とアンダーフィル充填条件の検討、半田ボールの発生を抑制する研究を進めた。

印刷性は当初予想された通りメタルマスク開口径が狭すぎ（0.11 mm）、印刷できなかった。該当箇所のみレジストを除去することで解決した。

実装性は実装精度を向上するためにバラ部品をテーピング仕様に変更した。更に一般的な極小半田バンプをパナソニックとの技術調整により認識を可能にした。

リフロー性は酸素濃度 500PPM で安定したことが判明した。

基板洗浄とアンダーフィル材の選定は洗浄液及び洗浄機の選定を行った。現在絶縁残差評価中である。更に材料（アンダーフィル材）については、ナミックスからパナソニックに変更することでこの問題をクリアした。更に浸透性については、真空オープンを使い更に脱泡する工法にすることでクリアした。

【基板制作技術問題】

半田バンプが小さくなるにつれ基板制作にも技術負荷がかかることがわかった。

③ 部品内蔵基板内の部品間 0.1 mm狭隣接実装技術による部品内蔵インターポーザの設計試作評価（株式会社アリーナ、独立行政法人産業技術総合研究所）

三次元 LSI チップ積層体をマザー回路基板上に実装する際に必要となる微細バンプ

接続に対応した高機能インターポーザについて、電源配線系の電源ノイズ発生を低減のため、デカップリングコンデンサをインターポーザに搭載する。通常のデカップリング用チップコンデンサをはんだリフローにより表面実装する方式、チップコンデンサを回路基板内に内蔵させる方式、薄膜コンデンサをシリコンインターポーザの層構造内に作り込む方式の 3 種類が考えられる。これらは、インターポーザに搭載される LSI チップ積層体からコンデンサまでの距離が短くなるため、薄膜コンデンサ内蔵、部品内蔵、表面実装の順で GHz まで電源配線系の低インピーダンスを実現できることが分かっている。

そこで、三次元 LSI デバイス積層実装技術への適用を想定した狭隣接部品実装技術に基づく LCR 部品内蔵基板をベースとした高機能インターポーザの設計・試作・評価を実施し、開発した狭隣接部品実装技術により実現する高機能インターポーザにより、製造コストの高い薄膜コンデンサ内蔵シリコンインターポーザの広帯域低インピーダンス特性に匹敵する特性の実現を目指した。

③-1 部品内蔵インターポーザの設計（独立行政法人産業技術総合研究所）

低周波から数 GHz までの広帯域で低インピーダンス特性を有する電源ネットワーク構造の実現を目指して、部品間 0.1 mm の狭隣接実装された C、L チップ部品を高密度に集積したインターポーザの設計を行った。ここで、コンデンサの搭載方式の差異による電源インピーダンスの低減効果を比較するため、通常のチップコンデンサを表面実装するインターポーザについても、搭載する容量値を等しくし、配置する領域（中心の 1cm 角）も同一とした、2cm 角の評価 TEG インターポーザの設計も行った。設計には電磁界解析による高精度設計技術による設計を行った。

③-2 部品内蔵インターポーザの試作（株式会社アリーナ）

開発する部品間 0.1 mm の狭隣接実装が可能な部品内蔵基板技術により、デカップリングコンデンサを高密度に埋め込んだ評価 TEG インターポーザを試作した。様々な仕様を検討した結果使用した部品は 0402。最終的には問題なく試作できた。

但し、使用した 0402 部品のキャリアが村田製作所製のもので、キャリアの新しい基準である 4mm 幅の 1mm ピッチ（標準 8mm 幅 2mm ピッチ）という仕様であったため、これを装着できるテープフィーダーが無く、パナソニックから借用した。パナソニックでもこの仕様のテープフィーダーは特殊仕様であり、未だ 0402 部品は標準品ではないという事を実感した。

③-3 部品内蔵インターポーザの評価（独立行政法人産業技術総合研究所）

開発する部品間 0.1 mm の狭隣接実装が可能な部品内蔵基板技術により、デカップリングコンデンサを高密度に埋め込んだ評価 TEG インターポーザの電源インピーダンスの測定評価を実施した。高精度な電源インピーダンス評価の実現のため、高周波プローブとその校正基板を用いて、低周波から数 GHz までの広帯域な周波数範囲においてインピーダンス評価を行った。

1-4 当該研究開発の連絡窓口

事業・研究総括関連問い合わせ先

福島県中小企業団体中央会

連携推進部長 江川 佳伸

〒Tel：024-536-1261 Fax：024-536-1217

実装・内蔵基板技術関連問い合わせ先

株式会社アリーナ

代表取締役 高山 慎也

〒Tel：0244-36-0111 Fax：0244-36-8480

インターポーザ技術関連問い合わせ先

独立行政法人産業技術総合研究所

ナノエレクトロニクス研究部門

主幹研究員 青柳昌宏

〒Tel：029-861-5529 Fax：029-862-6511

第2章 本 論

2-1 部品内蔵基板内の部品間 0.1 mm狭隣接実装技術の要素工程開発

(株式会社アリーナ、独立行政法人産業技術総合研究所)

2-1-1 メタルマスクおよびクリームはんだ材料の改良 (株式会社アリーナ)

まず初めにメタルマスク等の副資材及び最も肝心と思われるクリームはんだ材料の選定、改良問題に取り組む。

クリームはんだ (半田ペースト) の選定

まず半田ペーストの要件となるのが、2次溶融しないというものである。本プロジェクトで生産する部品は、部品内蔵基板、すなわち材料である。この基板は製品製造のプロセスをたどる、つまり部品搭載やアッセンブリ工程を経るため、2次加熱3次加熱を想定し、その温度に耐えられなければならない。ここで設定する条件は、「250℃3回リフローに耐えられること」と設定された。従来共晶半田と呼ばれる183℃融点の半田に対し、デバイスメーカーは主に220℃融点の高温半田を用いてこの問題をクリアしてきた。しかしこの高温半田は今、鉛フリーと呼ばれ、共晶半田は利用されなくなっている。つまり220℃の高温半田の更に高温で溶融する半田を選択しなければならない。基板内部であるから尚更である。通常電子基板は300℃まで耐えられるように設計されている。その内部に部品を内蔵したからと言って温度耐性を低くするわけにはいかない。

そこで、半田メーカーのバリエーションを調査した結果、千住金属工業製のアンチモン(10%)入り半田(264℃融点)と高温代替ペースト(銅粉入り半田)の2種類を選択し、評価した。アンチモン入り半田は高温融点の為、通常電子部品加工で採用されるリフロー温度250℃では再溶融しないが、内蔵基板製造の際にも264℃以上の加熱が必要であり、通常の電子部品の一般的な耐熱温度250℃を超えてしまうため、採用できないという結論になった。次に高温代替ペースト(今後銅粉入り半田と記載)は最初の融点は220℃と低いものの、一度溶融すると、銅粉の周りに銅との金属間化合物が生成され、2次溶融の際の温度が約400℃となり、再溶融しにくいという長所があった。つまり内蔵基板製造の際の熱ストレスが抑えられるとともに、その後電子部品組立の為の熱を加えても再溶融しないという特性がある。こちらを主軸にして評価していく方針とした。

この銅粉入り半田は銅の含有率で2種類の推奨半田があった。含有率20%と30%である。

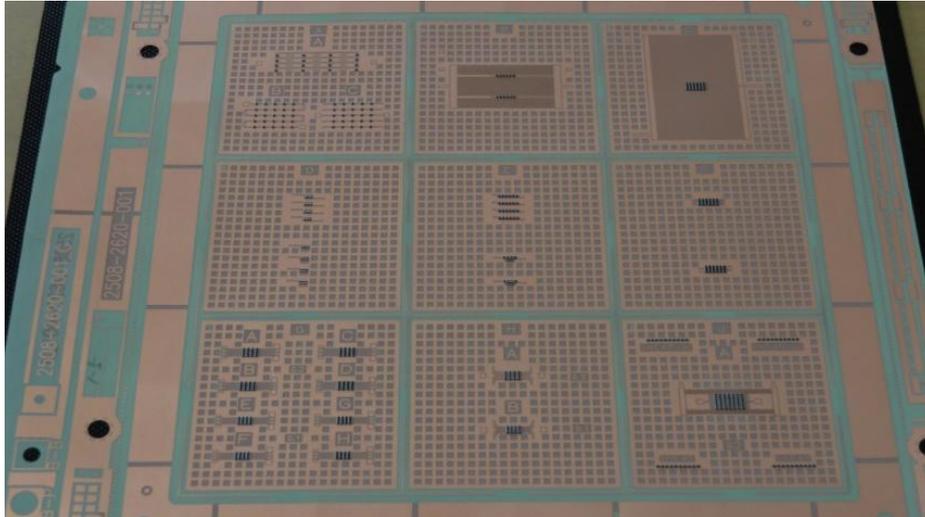
評価結果

	印刷性	再溶融
20%	比較的良い	しにくい
30%	比較的悪い	しない

つまり、銅の含有率を上げれば上げるほど再溶融しにくくなるが、印刷性は悪くなるという事で、推奨値が20%と30%というのは、その再溶融しにくくなり、且つ印刷性に悪さを与えない程度ということで推奨されている。この段階では印刷性の問題で推奨値のうち20%を採用し、実装実験と信頼性評価試験を開始した。

【実装実験開始】

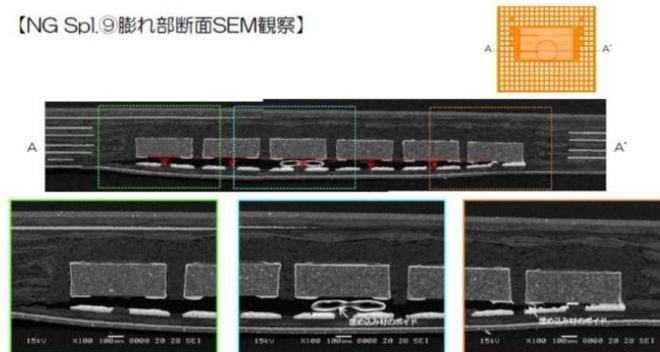
実装試験では問題なし。取扱いについても良好と判断。ただ実験中に半田ペーストが酸化して色が赤く変化するという事象（経時変化）が発見された。半田ポット開封後酸化が進み、目に見えて赤く変化するのである。現在この経時変化がどのように影響（印刷性・強度等）するかは不明。数多く実験することが必要となる。現段階では 8 時間を 2 か月で 4 回使用までは確認済みである。とりあえず実装実験については問題なしと判断できた。



実装状態

生産には問題ないと判断し、次に熱ストレスをかける信頼性試験を実施したが結論から言えば失敗であった。基板内部で再溶融してしまい、基板内部で内装剥離が認められたのである。これは銅と金属間化合物が作られる比率が低く、金属間化合物遺体の部分が再溶融してしまい液状化の際膨張した結果とわかった。一概に銅粉を含有したからと言って全て再溶融温度が400℃になる事ではないという裏付けが得られた。これを回避するためには、銅の含有率を上げる必要がある。再度銅粉 30%で信頼性試験を実施する必要がある。

【NG Spl.⑨ 膨れ部断面SEM観察】



NG Spl.⑨ 膨れ部断面

● 膨れは部品下～樹脂界面から発生していた。

Confidential



【特許問題】

調査を進めていって最大の問題となったのは特許問題である。実はこの銅粉入り半田は内蔵基板に使用する際の特許があり、このままでは使えないことが分かった。この半田ペーストを使うためには3つの選択肢がある。

- 1) 特許料を払う
- 2) 特許を避ける
- 3) 全く別の半田を使う

まず使用するための打ち合わせを特許取得企業と行った。結果、「テストに使用するものは問題ないが、製品とする際は、製品仕向け先と使用用途を報告、その後、特許使用料を打ち合わせする」との判断であった。まず製品仕向け先と使用用途はお客様の守秘義務の問題上報告できない。また、つど特許料の打ち合わせということは、製品によって特許使用料が変わるという事になり、単価の想定できない製品は作ることができない。1) については不可能と判断した。

次に2) であるが、「銅粉を含んだ半田ペーストで部品内蔵をするもの全て」という特許内容であるため逃げ場がない。現段階では更に特許の内容を精査し、うまく避けることができないかを調査していく必要がある。

次に3) であるが、現段階で代用品はない。そもそも部品内蔵基板用の半田ペーストというものが存在しない。実はこの特許問題で部品内蔵基板の製作に半田ペーストを利用するという工程が全世界的に阻害されているようである。私達の目標は半田で内蔵基板を生産し、かつ私達の狭隣接実装技術を採用するというものであるから、その全く手前でプロジェクトがストップしてしまうことになる。この問題は沢山のアドバイザーの方のお知恵をお借りしてもなかなか前に進めなかった問題であった。

但し現段階では NDA があるためここに書き記すことができないが、開発元の千住金属工業が全く新しいペーストを開発するという事で同意を得た。近日中にこの半田ペーストが発表になるだろう。この半田ペーストを使って今後の開発を進めていきたい。

【得られた結論】

内蔵基板用に使用する半田ペーストは銅粉入り半田の新規開発製品（未発表）
取扱い方法について更に調査する必要がある。

■信頼性問題

基板仕様は最も手に入りやすいガラスエポキシ素材で検討した。部品内蔵基板は初期層基板への実装となるためレジストがない状態で実装しなければならない。そのため半田ペーストが溶融時に広がりやすく、半田フィレットが確保できない事が想定された。しかしこの点については使用した銅粉入り半田が濡れ広がりにくいという特性があり金属間化合物の形成が確認できた。しかし半田フィレットは形成されなかった。フィレットの必要性は保持強度であり、形成後、樹脂で封止（補強）すれば問題ないと判断する（要検証）。

もう一つは、初期層という事で銅線パターンがむき出しの為、半田粉が拡散した場所に金属が不純物として残ることがわかった。これは拡散数を減らす工夫が必要。またどの程度まで影響がないか調査が必要

【得られた結論】

銅むき出しのパターンについては銅粉入り半田の濡れ広がりにくいという特性でフィレットはできないものの実装できるという結論に至った。

ただし半田の拡散による金属不純物を減らす対策と基準決めが必要。

■メタルマスクの開発

狭隣接実装のエッセンスを加えるために内蔵基板用のメタルマスクが必要となる。このためメタルマスク開発にプロセスラボミクロンに開発を依頼した。最も難しかった点は開口径のスペックをどうするかという点である。一般的なメタルマスク制作上の精度は、隣接を 150 μ m 以上開けることが前提である。これを 100 μ m に設定し、且つ半田ペーストが隣接するパターンに接近しないように一般的には $\pm 10\mu$ mの精度公差を+5 μ m-0 μ m とした。結果的には、2～3版手作りで作ってもらった。更に、特殊半田を使用するという事事で反離れにも着目し、一般的な 1.0mmのテンションを 0.9mmに変更し、メタルマスクを固くすることにより、反離れ性を改善した。

【得られた結論】

コスト的な問題はあるものの、メタルマスクの製造は可能。

■スキージの開発

銅粉入り半田を使用するためのスキージに求められる条件は、粘度の高い半田をスピーディに充填し、かきとることである。スキージにはウレタンスキージ・メタルスキージ・プラスチックスキージ（弊社開発品）が使われてきたが、当初想定されたものはプラスチックスキージである。実験の結果プラスチックスキージでも粘度が固すぎて、かきとれないという結果であった。本来であれば粘度の高い半田ペーストにはメタルスキージが採用されるが、金属かすが出る等の弊害を考えると採用しづらい。最終的にプラスチックとメタルを併用した「ハイブリッドスキージ」を考案し、実験した結果、良好な印刷性が実現できた。

【得られた結論】

スキージには「ハイブリッドスキージ」を採用する。

■使用する部品の検討

さらに小型化（薄型化）する目的で、今標準的に使われている 0603 (0.6mm×0.3mm) 部品よりも小さい部品を検討した。0402 部品と 03015 部品及び低背部品（意図的に背を低くした部品）である。0402 部品は価格的に未だ 0603 には及ばないが手に入りやすくなっている。0603 のようなバリエーションはないが容量的に合えば、十分に使用に値する。次に

06015 (0.3mm×0.15mm) は未だ研究段階で市場に出ていない。低背部品はコストが高いという欠点がある。ただ、今回調査した内容では今後採用されていくと考えられるが現段階では0603を主力とする。

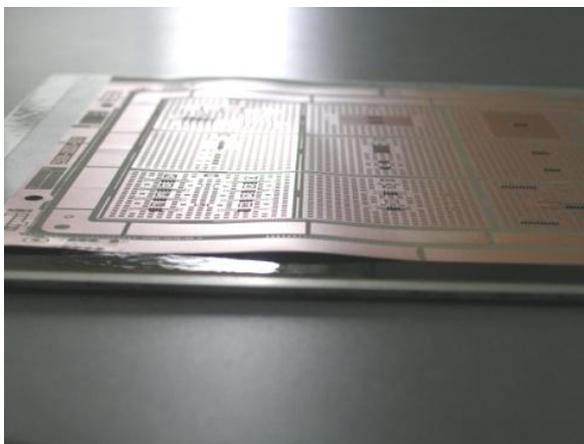
【得られた結論】

0603 部品を主力とし、条件が合えば0402 部品を採用。

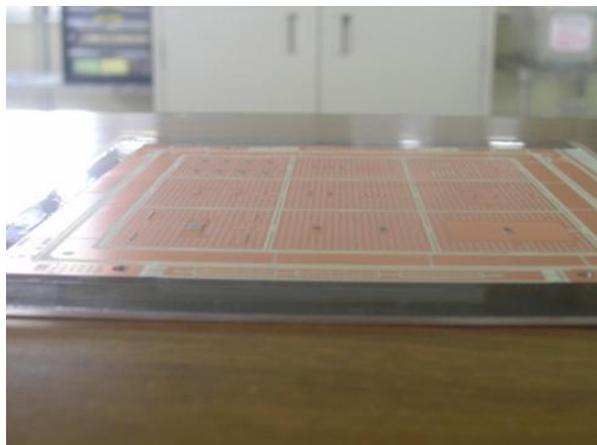
2-1-2 基板搬送キャリアの改良 (株式会社アリーナ)

副資材の中で最も重要とされたのが基板搬送キャリアである。従来、薄型基板はそのままラインに投入できるサイズが0.4mm以上とされ、それ以下の基板については、十分な板厚の搬送キャリアにセットして搬送している。

今回の基板は0.05mmサイズであるため搬送キャリアが必要となる。基板が薄すぎると搬送キャリアにセットした後、平坦度が得られないことが予想される。このため印刷設備に特殊改造である吸着機構を設けて基板をキャリアに吸い付けるという手法を採用した。ところが基板ごとの専用吸着装置が必要になる(高コスト)ことと、吸着条件がうまく最適化できずに、基板にダメージを与えかねないという懸念が生じた。そのため、最終的に真空オープンを使用して吸着させることで解決した。これにより基板にストレスを与えながら真空吸着をしなくて済むという結果にもなった。



キャリア貼り付け後



真空オープン使用後

現段階での問題はキャリア取付けに外段取りが必要になる。キャリアからはがす段取りが必要。基板にストレスを与えずに基板をはがす方法を開発しなければならない。工法に関する3点目については現在細い鉄棒をキャリアと基板の間に滑らせてはがす方法をとっているが、はがす際に基板にストレスがかかる。基板にダメージなくはがす方法が新たに必要となる。他の2点については高コスト化につながるため、インラインでの処理ができるような対策が今後必要である。

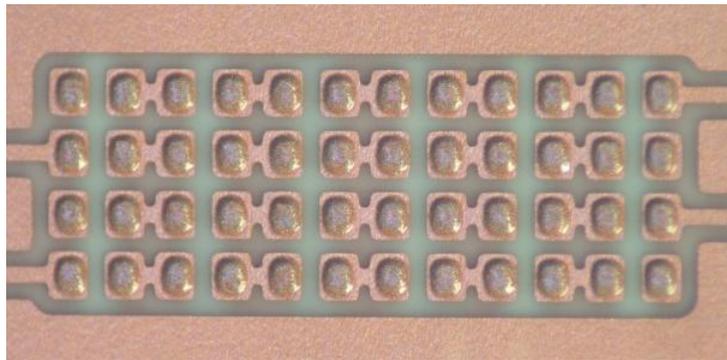
【得られた結論】

搬送キャリアに真空吸着させることで平坦度を確保する。
搬送キャリアからダメージなくはがすための治具の開発が必要。

2-2 部品間 0.1 mm狭隣接実装技術の部品実装工程の開発（株式会社アリーナ）

印刷条件

印刷位置がズれるという問題が生じた。通常ガラスエポキシ基板に対して設計値からのズレが大きい（約 30 μ ）ためセンターで基準出しをして調整した。基板パターン径、開口径についても条件を振って最適条件を調査した。



印刷状態

スキージは、銅粉入り半田を使用するという前提で、プラスチックスキージとメタルスキージを併用した（ハイブリッド印刷）。但し、印刷後の形状が理想的ではないため、更にカートリッジスキージ（圧力式）の使用を検討した。カートリッジスキージは最近パナソニックで開発されたシステムで、パナソニックの開発者と共に今後条件を探っていく。

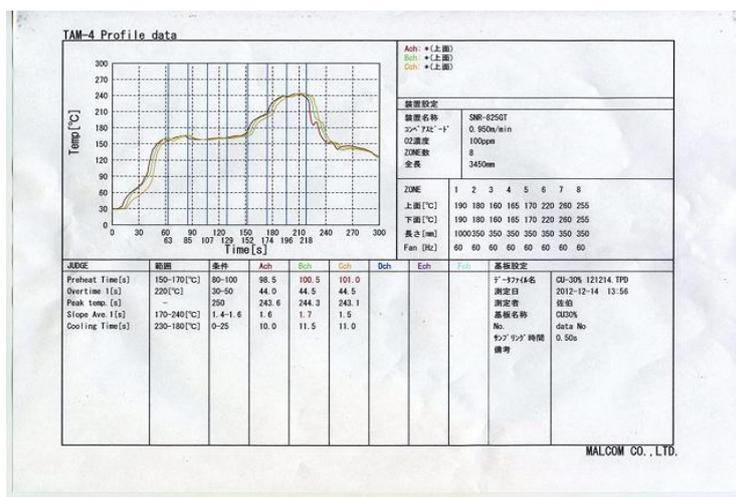
印刷圧力についてはハイブリッド印刷でカバー、印刷スピードは通常よりも早くできた。

【実装条件】

狭隣接仕様（隣接間 0.1 mm 縦方向横方向）について条件を振って実証した。その結果、通常の基板に実装する難易度と同程度で実装が可能であることが明らかになった。縦方向、横方向についても 0.1 mmで実装できた。実装におけるタッキング力（部品を保持できない等）は問題なかった。実装スピードは標準で可能で生産性を落とすこともないという結論になった。

【リフロー条件】

プリヒートについて条件出しを行った。本加熱についても、通常のピーク温度で問題は生じなかった。風量についても問題はなかった。



温度プロファイル

【修理（リペア）方法の検討】

通常の光沢度やフィレットは現れないので、何を持って不具合品とするかの基準が必要となる。最終的な信頼性試験（製品信頼性）試験の後、この点を基準化する必要が生じている。

2-3 部品内蔵基板内の部品間0.1mm狭隣接実装技術の WLP-LSI デバイスへの適用 （株式会社アリーナ）

狭隣接で部品内蔵基板を生産し、その基板に WLP-CSP0.11mmバンプ部品をインラインで実装することを目標とした。その実験結果が以下となる。印刷性、実装性、リフロー性、基板洗浄とアンダーフィル材の選定、基板制作技術問題と各工程ごとに取り組みを表記する。

【印刷性】

当初の予想通りメタルマスク開口径が狭すぎ（0.11 mm）、印刷できなかった。基板表面では一般的に、銅箔の高さと基板表面のレジスト高さは異なる。普通は問題にならないのだが、メタルマスク開口径が今回のように極端に小さい場合、半田ペーストが十分充填できない。これは、高い方のレジスト高さが邪魔をして、低い方の銅箔部まで半田ペーストが届かないことが原因である。狭隣接実装の場合、この高さを 50 μm 以下に抑えることがノウハウとなるが、今回の場合は 50 μm でも銅箔まで半田が届かないということが明らかになった。対策としては、該当箇所のみレジストを除去することであった。レジストなしでは他のパターンに半田が流れ込んでしまうため実装できないが、今回の基板は銅箔のパターンが独立していたため、この部分のみレジストを除去しても問題がなかった。今後、この 0.11mmバンプ WLP-CSP を使う場合は、基板設計時にパターンが独立するように設計し、レジストを除去した状態で実装するように基準化する必要がある。

【実装性】

まず初めに実装精度を向上するためにバラの部品をテーピング仕様に変更した。次に吸着後の認識部分に改造をかけた。WLP-CSP を実装する際、基本的に部品下面の半田バンプをカメラ

で認識して、バンプがあるかどうかの確認と吸着時の部品のズレ補正をする。ただし今回は半田バンプが 0.11mmと極端に小さい。パナソニックの標準仕様は最小値 0.3mmまでのバンプ径を認識することが可能とされている。つまり、この場合には本来カメラで認識できるサイズを超えていることになる。そこで、今回、パナソニックの技術者に協力を依頼して、0.11mmを認識するための仕様調整を行った。ハードの部分は変更せず、ソフト部分で改造を行い、最終的に認識することを可能にした。但し、オーバースペックによりメーカー保証外となった。しかし本来は、その装置を使ってどこまでのスペックを出せるかというのは、ノウハウであり、アリーナの技術力によるところが大きい。このような挑戦をしていかない限り新しい技術は生まれまいだろう。

【リフロー性】

リフロー性を検討したが、温度設定については問題なく従来通りの設定で生産可能という結論になった。問題は半田量を多く使えないことからどうしても窒素を使わなければならないということであった。そしてその窒素濃度（酸素濃度）をいくりに設定すれば良いかということになる。酸素濃度が高すぎると半田のヌレ性が悪くなり、低すぎると部品タチ等、他の不良発生の原因となる。検討の結果、酸素濃度 500PPM で安定することが判明したので、これを基準とすることにした。

【基板洗浄とアンダーフィル材の選定】

洗浄液及び洗浄機の検討を行った。ダイレクトパス方式の荒川化学パインアルファ（従来使用品）と真空パルス洗浄方式（サクラ精機）の花王クリンスルーのうちでどちらがフラックス洗浄に適しているかを検討した。所要時間は従来 120min のところ 30min で行った。洗浄能力はともに同じで、現在絶縁残差評価を行っている。アンダーフィル材については、基板と部品の間隔が狭いので従来使用していたアンダーフィル材がうまく浸透できないことがわかった。そこでフィラーサイズを小さくする必要があることが予想できた。検討の結果、ナミックス製よりもフィラーサイズが小さいパナソニック製に変更することでこの問題をクリアすることに成功した。更に浸透性について検討したところ、従来の流し込み方法では、バンプ高さが低すぎて基板と部品の間隔が広く取れないため、部品下部にアンダーフィル材が浸透しにくいという現象が生じた。検討の結果、真空オープンを使い更に脱泡する工法にすることで問題がクリアした。

【基板制作技術問題】

また、半田バンプが小さくなるにつれ基板制作にも技術負荷がかかることがわかった。今回の半田バンプ 0.11mmであるが、更に小さいバンプを使用したいという要望があった場合には、現状の基板制作の段階では不可能とることがわかった。

今回は一般的な鉛フリー半田を使用して実験したが、銅粉半田を使う際には問題が起きないかどうかの検証が今後必要になる。

2-4 部品内蔵基板内の部品間 0.1 mm狭隣接実装技術による部品内蔵インターポーザの設計試作評価

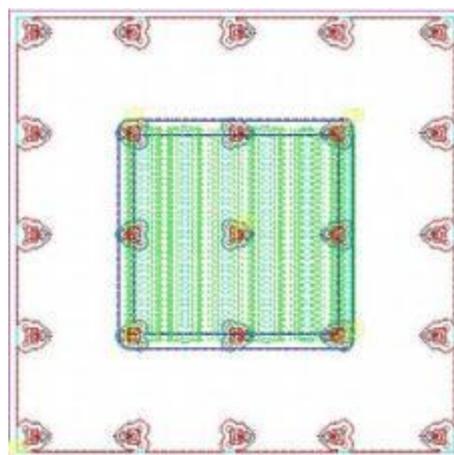
(株式会社アリーナ、独立行政法人産業技術総合研究所)

産総研が保有する実装モジュール特性評価技術により、実証用実装モジュールの電気特性評価を実施して、高性能化の実証を行った。

2-4-1 部品内蔵インターポーザの設計

開発目標 部品間 0.1 mm狭隣接実装を想定した高密度部品内蔵電源配線設計

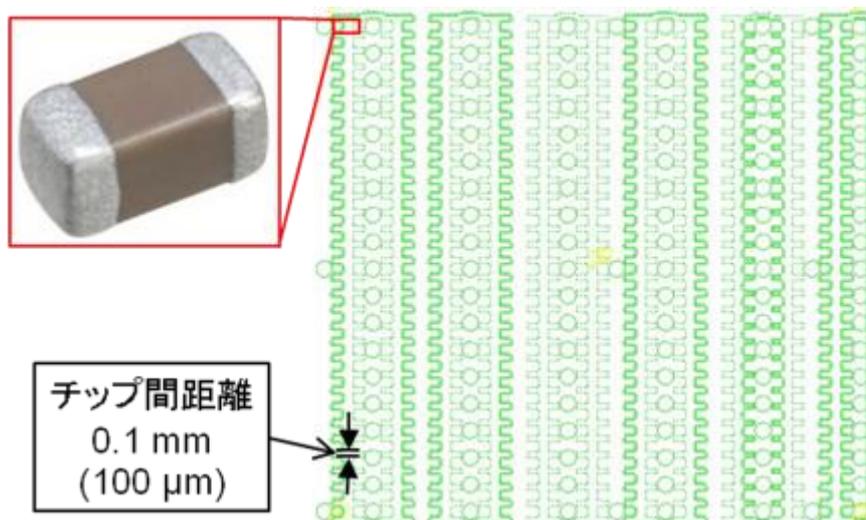
部品内蔵基板内の部品間 0.1 mm 狭隣接実装技術による部品内蔵インターポーザ TEG (Test Element Group) を設計し、電気特性の一つである電源ネットワークの電源インピーダンスを測定し、0402 チップキャパシタ部品の狭隣接実装による部品内蔵基板の電源インピーダンス低減効果を評価した。インピーダンス測定用インターポーザ TEG では、従来技術との比較評価のための 0402 チップキャパシタ部品表面実装 TEG の設計も行った。さらに、既存技術によるデカップリングキャパシタを付与したインターポーザを想定し、有機絶縁材料を用いた有機インターポーザ技術においては、0603 チップキャパシタ部品内蔵 TEG を用いた。今回設計した評価 TEG の概要図を図③-1-1 に示す。



図③-1-1 設計した評価 TEG の概要図

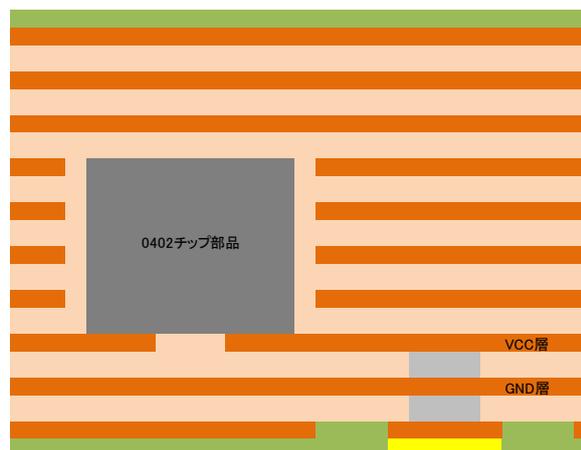
図③-1-1 のように、各インターポーザ技術によるデカップリングキャパシタの影響を評価するため、評価 TEG の寸法は外形 20 mm□、キャパシタ部分は中央部 10 mm□と統一した。中央部のキャパシタ部分の寸法は、三次元積層 LSI チップを 10 mm□と想定して規定した。また、同図のように、特性評価用のパッドを外形 20 mm□部分に 16 端子、中央部 10 mm□部分に 9 端子を設けた。測定には 250 μm ピッチの GSG(グラウンドーシグナルーグラウンド)プローブを用い、パッド位置や形状は、各技術の差異をキャパシタの種類や配置だけから抽出できるように、各技術において共通化を行った。今回

設計した 0402 チップキャパシタ部品内蔵 TEG においては、9.0 pF の容量をもつ 0402 チップキャパシタを部品間距離 0.1 mm の狭隣接実装にすることで、10 mm 口内に 341 個内蔵できることが分かった。この時のチップキャパシタ内蔵部分の回路パターンを図③-1-2 に示す。また、従来技術の比較検証の TEG としては、0603 チップキャパシタ部品内蔵インターポーザを用い、0.022 μ F の容量をもつ 0603 チップキャパシタを 48 個内蔵している。



図③-1-2 チップキャパシタ内蔵部分の回路パターン

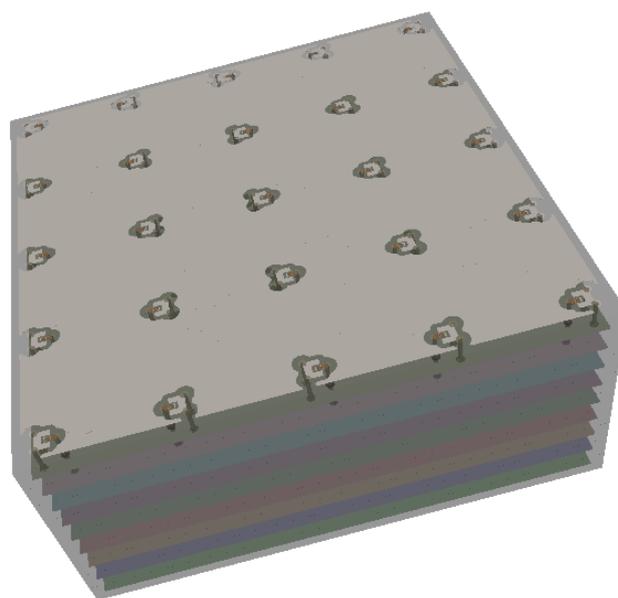
また、設計した 0402 チップキャパシタ部品内蔵 TEG における断面構造図例を図③-1-3 に示す。



図③-1-3 設計した評価 TEG の断面構造図例

断面図からわかるように、測定・検査結果と、電磁界解析による解析結果の比較検討を容易にするため、TEG へのチップキャパシタ実装状態を単純な構造にした。

以上により、部品内蔵基板内の部品間 0.1 mm 狭隣接実装技術による部品内蔵インターポーザ TEG を、外形 20 mm 口、三次元積層 LSI チップを 10 mm 口と想定して規定し、キャパシタ部分は中央部 10 mm 口として設計を行った。また、特性評価用のパッドを外形 20 mm 口部分に 16 端子、中央部 10 mm 口部分に 9 端子を設けた。今回設計した 0402 チップキャパシタ部品内蔵 TEG においては、9.0 pF の容量をもつ 0402 チップキャパシタを部品間距離を 0.1 mm の狭隣接実装にすることで、10 mm 口内に 341 個内蔵できることが分かった。図③-1-4 にチップキャパシタ部品内蔵 TEG の三次元概要図を示す。



図③-1-4 チップキャパシタ内蔵インターポーザの三次元概要図

2-4-2 部品内蔵インターポーザの試作

開発目標 部品間 0.1 mm 狭隣接実装による部品内蔵インターポーザ試作

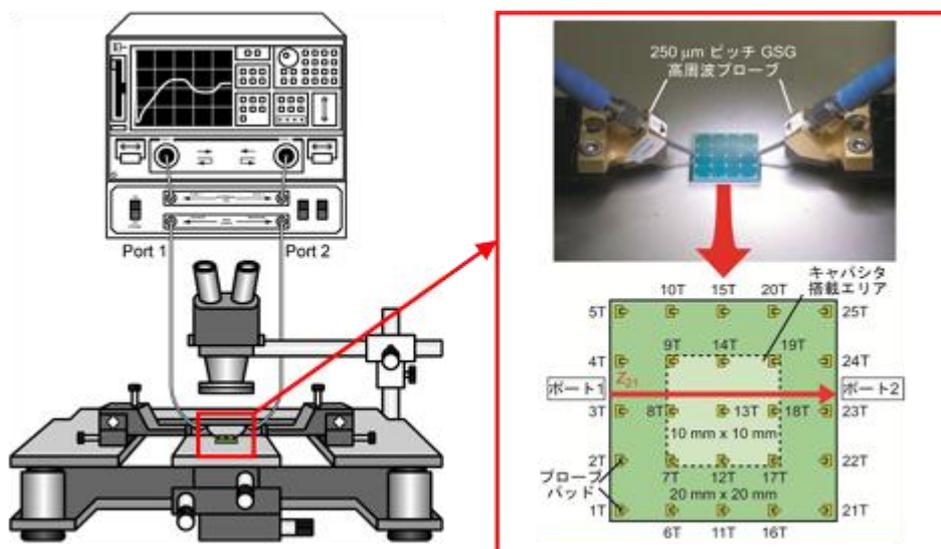
開発する部品間 0.1 mm の狭隣接実装が可能な部品内蔵基板技術により、テカップリングコンデンサを高密度に埋め込んだ評価 TEG インターポーザを試作した。様々仕様を検討した結果使用した部品は 0402。最終的には問題なく試作できた。

但し、使用した 0402 部品のキャリアが村田製作所製のもので、キャリアの新しい基準である 4mm 幅の 1mm ピッチ（標準 8mm 幅 2mm ピッチ）という仕様であったため、これを装着できるテープフィーダーが無く、パナソニックから借用した。パナソニックでもこの仕様のテープフィーダーは特殊仕様であり、未だ 0402 部品は標準品ではないという事を実感した。

2-4-3 部品内蔵インターポータの評価

開発目標 部品内蔵インターポータの 10Hz~40 GHz の広帯域周波数域でのインピーダンス評価

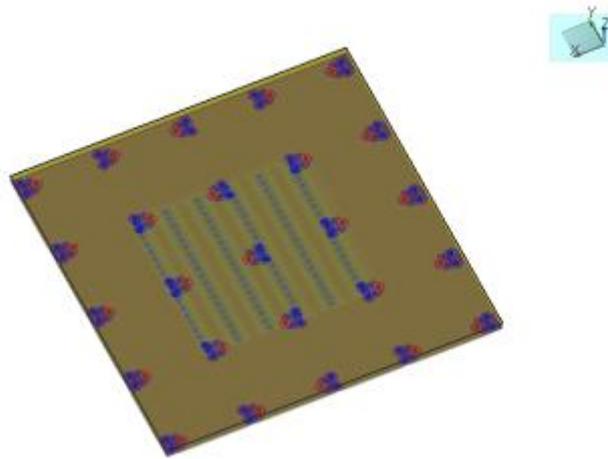
電源ネットワークのインピーダンスの実測評価において DC~数 MHz 及び数 10MHz 程度の低周波領域で、0.01 Ω 以下のインピーダンス値を測定できる測定帯域をもつベクトルネットワークアナライザは存在しないため、ベクトルネットワークアナライザに代わる装置が必要であると考えられる。我々は超低インピーダンス評価システムにおける部品内蔵インターポータの 10 Hz~40 GHz の広帯域周波数域でのインピーダンス評価を行った。この装置の主体となるインピーダンスアナライザ自体は、測定周波数帯域としては、10 Hz~40 MHz と低いものの、システムノイズフロアが約 50 $\mu\Omega$ (0.00005 Ω) という超低インピーダンス測定が可能であるという特徴を有する。また、ベクトルネットワークアナライザの 2ポート測定と同じ、2ポート4端子測定法を用いるため、GHz 帯のインピーダンス計測に必要なベクトルネットワークアナライザと組み合わせることにより、数十 GHz の周波数帯域までの超広帯域インピーダンス測定システムの構築が可能となっている。また、測定には 250 μm ピッチの GSG(グラウンドーシグナルーグラウンド)プローブを用い、LSI チップの電源端子と接続する端子から直接測定することで、コネクタ等の影響なしに、インターポータの電源ネットワークの電源インピーダンスを精度良く測定可能となっている。図③-3-1 超低インピーダンス評価システムによる Z21 インピーダンス評価の概要図を示す。



図③-3-1 超低インピーダンス評価システムによる Z21 インピーダンス評価

さらに、測定結果の検証のため、試作したデカップリングキャパシタ用

TEG の電源ネットワークの電源インピーダンスを電磁界解析シミュレーションにより解析を行った。用いた電磁界解析シミュレータは、2.5 次元電磁界解析シミュレータである Cadence 社の PowerSI(以下、PSI)により行った。このシミュレータモデルとしては、評価 TEG を可能な限り忠実に再現を行い、実測と解析の評価結果と解析結果の比較ができるように評価を行った。図③-3-2 にチップキャパシタ内蔵インターポーザの解析モデルを示す。図は、PSI によるシミュレーションモデルであり、プレーナ構造による解析であることがわかる。以上より、実測結果と解析結果の検証のため、実測と同様に 2 ポート解析を行い Z21 の解析評価を行った。



図③-3-2 チップキャパシタ内蔵インターポーザの解析モデル

超低インピーダンス測定システムによる測定結果と、電磁界解析シミュレーションによる解析結果と比較検証と考察を行った。評価方法は、図③-3-1 に示すように計測システムによる 2 ポート測定により、端子 3 から端子 8 への挿入損失 S21 を計測し、その結果から得られる Z21 インピーダンスを測定及び解析を行った。

また、試作した 0402 チップキャパシタ部品内蔵インターポーザにおいて、超低インピーダンス評価システムによる Z21 インピーダンス測定及び、電磁界解析シミュレータによる解析により、インターポーザ TEG の電源ネットワークインピーダンスの評価を行った。その結果、0402 チップキャパシタ部品内蔵インターポーザの電源ネットワークインピーダンスを低周波側(10 Hz)から高周波側(40 GHz)まで広帯域に評価できていることがわかった。

Z21 インピーダンスが 40GHz という高周波帯域においても 10Ω以下を実現できていることが確認できる。

ここで、従来の 0603 部品内蔵インターポーザの電源ネットワークインピーダンスと比較した。

0402 チップキャパシタ部品内蔵インターポーザ TEG の電源ネットワーク

インピーダンスは、0603 チップキャパシタ部品内蔵インターポーザの電源インピーダンスに比較して、高周波領域において 100 分の 1 程度の電源インピーダンスを示すことが分かった。

以上をまとめると、2 ポート 4 端子測定法に基づき、低周波(10 Hz)から高周波(40 GHz)に至る超広帯域シームレスインピーダンス測定システム及び、電磁界解析シミュレータにより、部品間 0.1 mm狭隣接実装による 0402 チップキャパシタ内蔵インターポーザの電源ネットワークインピーダンスの評価を行った。その結果、0402 チップキャパシタ内蔵インターポーザの Z21 インピーダンスが 40GHz という高周波帯域においても 10Ω以下を実現できていることが分かった。また、従来の 0603 部品内蔵インターポーザの電源ネットワークインピーダンス評価との比較では、0402 チップキャパシタ部品内蔵インターポーザ TEG の電源ネットワークインピーダンスは、0603 チップキャパシタ部品内蔵インターポーザの電源インピーダンスに比較して、10 GHz までの高周波領域において 100 分の 1 程度の電源インピーダンスを示すことが分かった。

以上より、部品間 0.1 mm狭隣接実装による 0402 チップキャパシタ内蔵インターポーザ技術は、将来の三次元 LSI チップ積層技術において、システム全体動作のために重要な、広い周波数範囲で低インピーダンス特性を示す受動部品内蔵型インターポーザ技術として有効な技術であるという工学的知見が得られた。

第3章 全体総括

研究開発を通して、当初の開発テーマの研究課題については、概ね達成された。研究を進めていく中で、計画時には想定していなかった新たな問題等も発生し、試作、評価を進めた。その結果、今後、解決していく課題が整理できたことは大きな収穫であった。以下に成果と課題を記す。

研究開発成果

テーマ	達成された項目
【1】 部品内蔵基板内の部品間 0.1mm狭隣接実装技術の要素工程開発	<ol style="list-style-type: none"> 1. 信頼性の問題は残るものの、要素技術（印刷・実装・リフロー等）を確立できた。 2. クローバー電子との技術提携を確立し（ビジネスパートナーシップ）今後、部品内蔵基板を共同生産していくことで合意できた。
【2】 部品内蔵基板内の部品間 0.1mm狭隣接実装技術の WLP-LSI デバイスへの適用	<ol style="list-style-type: none"> 1. 製品としてお客様に提案し、お客様の承認を頂き、量産がスタートした。
【3】 部品内蔵基板内の部品間 0.1mm狭隣接実装技術による部品内蔵インターポーザの設計試作評価	<ol style="list-style-type: none"> 1. インターポーザの需要を発掘できた。
【4】 その他	<ol style="list-style-type: none"> 1. 今回アドバイザーとして参加していただいた各社とのビジネスネットワークを確立し、新たなビジネスチャンスが生まれた。

今後の課題

テーマ	解決すべき課題
【1】 部品内蔵基板内の部品間 0.1mm狭隣接実装技術の要素工程開発	<ol style="list-style-type: none"> 1. 狭隣接でない部品内蔵基板を理論上の製造方法で作成し、信頼性を立証し、工法を確立する。 2. 狭隣接部品内蔵基板を作る。 3. キャリア取付け、はがし治具を作成する。 4. 半田ペースト取扱い方法を確立する。 5. 銅粉半田ペーストを使用できるようにする。
【2】 部品内蔵基板内の部品間 0.1mm狭隣接実装技術の WLP-LSI デバイスへの適用	<ol style="list-style-type: none"> 1. 基板洗浄方法を決定する。 2. アンダーフィルの信頼性を確保する。 3. 銅粉半田使用時の問題点を抽出しクリアする。
【3】 部品内蔵基板内の部品間 0.1mm狭隣接実装技術による部品内蔵インターポーザの設計試作評価	<ol style="list-style-type: none"> 1. 量産方法を確立する。 2. 部品内蔵基板の信頼性を展開する。
【4】 その他	<ol style="list-style-type: none"> 1. モールド仕様を加えるため、モールド加工会社と技術提携の必要あり。

【事業展開】

アドバイザー企業であるソニー及びメイコーの協力で、台湾メーカーの承認を得ることができた。

本来内蔵基板を視野に入れたビジネス（BIZ）であったが、0.11mm半田バンプのWLP=CSP 搭載を可能にしたことから台湾メーカーから信頼を頂き、内蔵基板を採用しない仕様で高周波通信モジュールの発注をもらった。

