

平成 22 年度戦略的基盤技術高度化支援事業

「三次元 LSI デバイス積層実装のための低ダメージ・ダメージレス  
複合ウエット加工プロセスとその高品質・低コスト製造装置の開発」

研究開発成果等報告書

平成 23 年 9 月

委託者 九州経済産業局  
委託先 財団法人くまもとテクノ産業財団

## 目次

第1章 研究開発の概要	3
1-1 背景・目的・実施内容	3
1-2 研究体制	7
1-3 当該研究開発の連絡窓口	10
第2章 本論	11
2-1 ウエットエッチングによるシリコンの薄化	11
2-1-1 ウエットエッチング装置プロトタイプ of 製作	11
2-1-2 ウエットエッチングによる薄化加工	11
2-1-3 ウエットエッチングによる薄化工程の測定評価	12
2-1-4 ウエットエッチングによる薄化加工ダメージ及びデバイス特性の評価	12
2-2 レーザー・マイクロジェットによる Via 形成加工	19
2-2-1 レーザー・マイクロジェット装置プロトタイプ of 製作	19
2-2-2 レーザー・マイクロジェットによる Via 形成(穴あけ)加工	20
2-2-3 レーザー・マイクロジェットによる Via 形成(穴あけ)工程の測定評価	20
2-2-4 レーザー・マイクロジェットによる Via 形成加工ダメージ及びデバイス特性の評価	21
2-3 ウエットエッチングによる Via プラグ出し	25
2-3-1 ウエットエッチング装置プロトタイプ of 製作	25
2-3-2 ウエットエッチング装置による Via プラグ出し加工	26
2-3-3 ウエットエッチングによる Via プラグ出し工程の測定評価	26
2-3-4 ウエットエッチングによる Via プラグ出し加工ダメージ及びデバイス特性の評価	26
第3章 全体総括	32
3-1 本研究開発で得られた成果	32
3-2 事業化への取組み	32
3-3 ミニマルファブプロセスへの対応	33

## 第1章 研究開発の概要

### 1-1 背景・目的・実施内容

#### (1) 背景

3次元実装技術は、シリコン LSI の微細化技術限界を超えて集積度を向上させるための新しい技術として近年着目されている。これは、LSI チップの表面から裏面に貫通する電極（シリコン貫通電極、Through Silicon Via: TSV）を形成したものを複数用意して、それらを微細金属バンプ接続により縦方向に積層して高度な電子システムを実現する技術である。この技術では、縦方向の配線が可能となるため、従来の2次元集積回路技術に比べて配線の自由度が増し、システム全体の配線長を大幅に短くすることが出来る。それ故に、①従来の LSI で長い距離の信号伝送に要していた増幅回路の削減とともに消費電力を大幅に低減させることができる。また、②従来のシステムオンチップ（SOC）技術で利用できるオンチップバス配線のビット幅に比べて非常に大きなバス幅を利用できるため、システムクロック周波数を上昇させることなく並列処理アーキテクチャーの採用によりトータルの信号処理能力を向上させることが可能となる等の特徴を有する。

3次元実装のプロセス技術は、LSI デバイスの製造工程（いわゆる前工程）と LSI デバイスの実装工程（いわゆる後工程）の中間的な位置付けになるため、前工程側に取り込むのか、後工程側に取り込むのかで技術開発の方向性（量産規模、生産コストなど）が異なる。前者の動きとしては、IMEC（Interuniversity Microelectronics Centre）、SEMATECH（Semiconductor Manufacturing Technology）、TSMC（Taiwan Semiconductor Manufacturing Company）社、エルピーダメモリ社、SAMSUNG 社などが、最先端 LSI デバイス前工程に統合する形で、300 mm ウェハを用いたウェハレベルの3次元実装プロセスの開発を行っている。この方法では、300 mm ウェハ対応の大規模プロセス装置を準備する必要があり、開発コストが膨大なものとなっており大きな課題である。後者の動きとしては、LSI チップをベースとして、低コストの後工程技術を発展させたチップレベルでの3次元実装プロセスの開発が、技術研究組合 超先端電子技術開発機構（Association of Super-Advanced Electronics Technologies: ASET）や産業技術総合研究所などで研究開発が行なわれている。さらに、ウェハレベルとチップレベルの中間的なものとして位置付けるミニマルファブプロセス（産業技術総合研究所が提案）をベースとした3次元実装プロセスの開発も検討され始めており、中小企業が対応可能な技術として注目されている。

いずれにせよ、今後、どの方式が多く採用されるかは、そのコストや品質によると考えられる。

#### (2) 目的

本研究では、3次元実装プロセスを、量産レベルで、しかも高品質・低コストで実現するために、低ダメージ・ダメージレス複合ウエット加工プロセスとそのための製造装置の開発を行うことを目的とする。

#### (3) 実施内容

本研究では、3つのサブテーマとして、「①ウエットエッチングによるシリコンの薄化」、「②レーザー・マイクロジェットによる Via 形成加工」、「③ウエットエッチングによる Via プラグ出し」を設け、実施した。その詳細を以下に説明する。

a) ウエットエッチングによるシリコンの薄化

従来の 3 次元実装技術におけるシリコン基板の薄化プロセスは、裏面を砥石で機械的に加工（研削）するバックグラインド（B.G.）プロセスが主体であった。この B.G.プロセスでは、基板裏面の表層及び内部に、ダメージ層（破砕層・マイクロクラック・結晶欠陥など）が生じ、基板の機械的な強度の低下による不良を招くため、B.G.プロセス後に高コストな CMP（Chemical Mechanical Polish）プロセスにより、ダメージ層を除去する必要があった。そこで、本研究開発では、ウエットエッチングの薬液に混酸（HNO<sub>3</sub>、HF）を使用することにより、200～800 μm/min の高速 Si エッチングにより、高速・低ダメージ・ダメージレスのシリコンの薄化を行う。なお、具体的な実施内容・担当・技術的目標値は下記の表のとおりである。

<p>①-1: <u>ウエットエッチング装置プロトタイプ</u>の製作 混酸を使用した 200 μm/min 以上、Max800 μm/min の高速エッチングに対応するシリコンのウエットエッチングによる薄化装置を開発する。</p>	<p>プレテック AT が実施する。</p>
<p>①-2: <u>ウエットエッチングによる薄化加工</u> 上述の装置を用い、シリコンのウエットエッチングによる実証試験（エッチングレート、平坦性の目標値に対する確認）を行う。</p>	<p>産総研が協力し、プレテック AT が実施する。</p>
<p>①-3: <u>ウエットエッチングによる薄化工程の測定評価</u> 実証試験のデータを基に、前項に記載した、技術的目標値のうち薄化加工時間、エッチングレート、ユニフォームリティ等の達成度を評価する。</p>	<p>産総研が協力し、プレテック AT が実施する。</p>
<p>①-4: <u>ウエットエッチングによる薄化加工ダメージ及びデバイス特性の評価</u> 実証試験により得られた試料について、前項に記載した技術的目標値のうち抗折強度、電気特性等の達成度を評価する。</p>	<p>プレテック AT が協力し、産総研が実施する。</p>

技術的目標値:

- ・ 薄化加工時間 ≤ 3 min./1
- ・ エッチングレート = 200 μm/min 以上、Max800 μm/min.
- ・ 平坦性 ≤ ±5% (vs. エッチング量)
- ・ 抗折強度の低下 ≤ 5%
- ・ 電気特性の劣化抑制

b) レーザー・マイクロジェットによる Via 形成加工(穴あけ)

従来の 3 次元実装技術における Via 形成加工は、ドライエッチングや大気中でのレーザー加工であった。しかし、ドライエッチングでは、真空室への出し入れする必要があるため時間がかかり、装置の稼働率が低下し、高コストであり、大気中でのレーザー加工は、焦点深度が浅いため

深さ方向の加工範囲が狭くなり、加工時に発生する熱の影響によるダメージが発生するといった問題があった。そこで、本研究開発では、空気と水の界面で全反射現象を利用するレーザー・マイクロジェット（ウォータージェット+レーザー）法（図 1-1-1）を導入し、それを Via 形成加工に適用する。ウォータージェットによる冷却効果で、熱ダメージを抑制できるだけでなく、ウォータージェットがレーザーのガイドとして働くために、微細な Via を形成できると期待される。なお、具体的な実施内容・担当・技術的目標値は下記の表のとおりである。

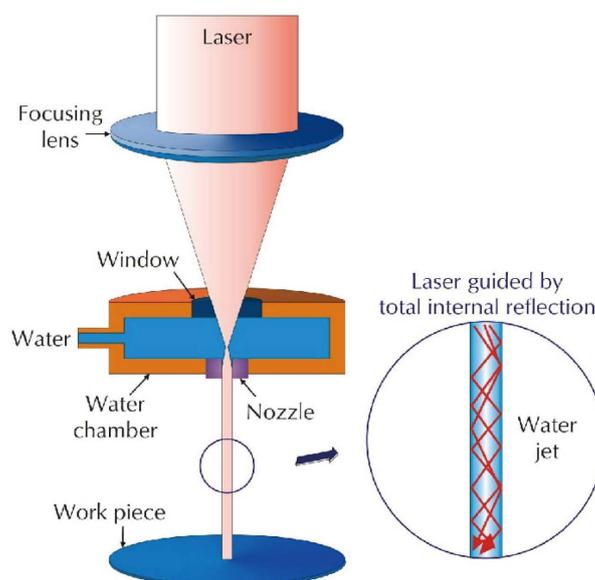


図 1-1-1 レーザー・マイクロジェット（ウォータージェット+レーザー）法

<p>②-1: <u>レーザー・マイクロジェット装置プロトタイプ</u>の製作 レーザー・マイクロジェット(ウォータージェットを用いてレーザーを導く方法)による Via 形成加工装置を開発する。</p>	<p>プレテック AT が実施する。</p>
<p>②-2: <u>レーザー・マイクロジェットによる Via 形成(穴あけ)加工</u> 上述の装置を用い、シリコンの Via 形成(穴あけ:加工最小径<math>\leq 50 \mu\text{m}</math>)加工の実証試験を行う。</p>	<p>産総研が協力し、プレテック AT が実施する。</p>
<p>②-3: <u>レーザー・マイクロジェットによる Via 形成(穴あけ)工程の測定評価</u> 実証試験のデータを基に、前項に記載した技術的目標値のうち加工最小径(<math>\leq 50 \mu\text{m}</math>)、Via 形成時間(<math>\leq 3 \text{ min./1}</math>)、加工精度等の達成度を評価する。</p>	<p>産総研が協力し、プレテック AT が実施する。</p>
<p>②-4: <u>レーザー・マイクロジェットによる Via 形成加工ダメージ及びデバイス特性の評価</u> 実証試験により得られた試料について、前項に記載した技術的目標値のうち電気特性等の達成度を評価する。</p>	<p>プレテック AT が協力し、産総研が実施する。</p>

技術的目標値:

- Via 形成時間 $\leq 3$  min./1
- 最小スポット径 $\leq 20$   $\mu\text{m}$
- 加工最小径 $\leq 50$   $\mu\text{m}$
- 加工精度 $\leq \pm 5\%$
- 電気特性の劣化抑制

c) ウエットエッチングによる Via プラグ出し

従来の3次元実装技術における TSV のプラグ出し加工は、ドライエッチングが主体であった。しかし、ドライエッチングでは、エッチングレートが遅く( $\approx 2$   $\mu\text{m}/\text{min}$ )、レートの均一性が悪く( $\approx \pm 50 \sim 100\%$ )、装置及びユーティリティが大規模であり、しかもエッチング後にポリマー除去(洗浄)が必要であった。そこで、本研究開発では、高速アルカリ処理によるウエットエッチングプロセスを導入する。ドライエッチングに比べ高速、高平坦性での Via プラグ出しが可能となり、ポリマー除去工程が不要となるため、工程数の削減、コストダウンが期待される。なお、具体的な実施内容・担当・技術的目標値は下記の表のとおりである。

<p>③-1: <u>ウエットエッチング装置プロトタイプ</u>の製作 高速アルカリウエットエッチングに対応する(エッチングレート<math>\geq 3</math> <math>\mu\text{m}/\text{min}</math>)Via プラグ出し装置を開発する。</p>	<p>プレテック AT が実施する。</p>
<p>③-2: <u>ウエットエッチング装置による Via プラグ出し加工</u> 上述の装置を用い、ウエットエッチングによる Via プラグ出しの実証試験を行う。</p>	<p>産総研が協力し、プレテック AT が実施する。</p>
<p>③-3: <u>ウエットエッチングによる Via プラグ出し工程の測定評価</u> 実証試験のデータを基に、前項に記載した技術的目標値のうち Via プラグ出し加工時間(<math>\leq 3</math> min./1)、エッチングレート、ユニフォームリティ等の達成度を評価する。</p>	<p>産総研が協力し、プレテック AT が実施する。</p>
<p>③-4: <u>ウエットエッチングによる Via プラグ出し加工ダメージ及びデバイス特性の評価</u> 実証試験により得られた試料について、前項に記載した技術的目標値のうち電気特性等の達成度を評価する。</p>	<p>プレテック AT が協力し、産総研が実施する。</p>

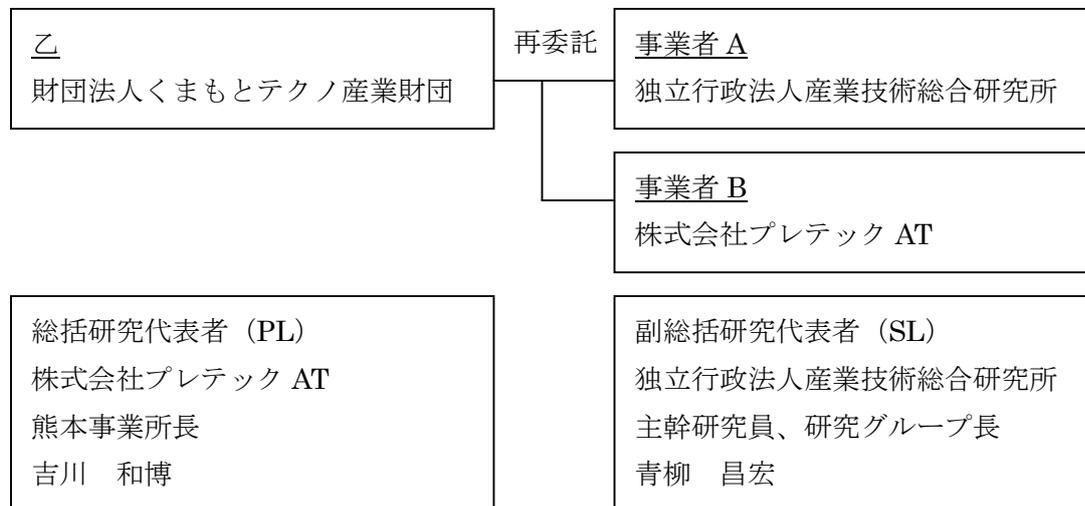
• 技術的目標値:

- Via プラグ出し加工時間 $\leq 3$  min./1
- エッチングレート $\geq 3$   $\mu\text{m}/\text{min}$ .

- ・ 平坦性 $\leq\pm 10\%$  (vs. エッチング量)
- ・ 電気特性の劣化抑制

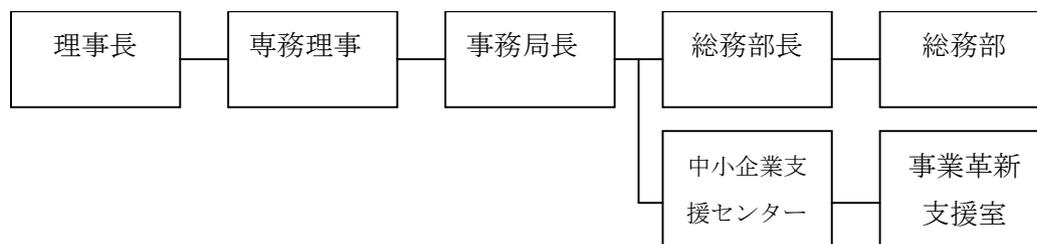
## 1-2 研究体制

### (1) 研究組織(全体)



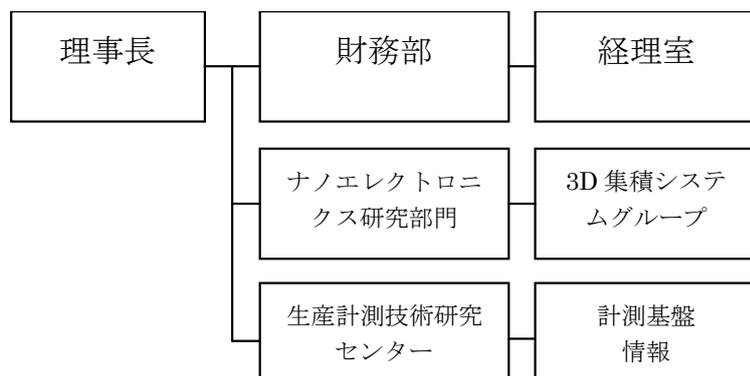
### (2) 管理体制

#### 1) 事業管理者:財団法人くまもとテクノ産業財団

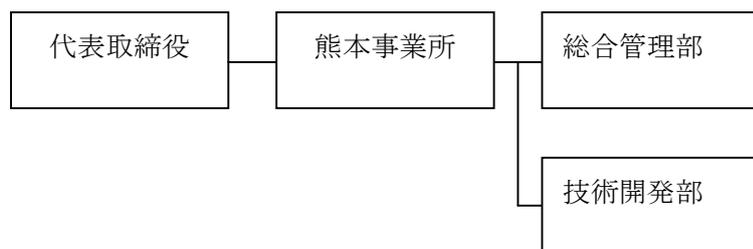


#### 2) 再委託先

##### ① 独立行政法人産業技術総合研究所



② 株式会社プレテック AT



(3) 管理員及び研究員

【事業管理者】財団法人くまもとテクノ産業財団

・管理員

氏名	所属・役職
関 二郎	中小企業支援センター 事業革新支援室プロジェクトマネージャー
橋本 和代	中小企業支援センター 事業革新支援室サポイン事務局管理員

【再委託先】

・独立行政法人産業技術総合研究所

氏名	所属・役職
青柳 昌宏	ナノエレクトロニクス研究部門 主幹研究員 兼 研究グループ長
菖蒲 一久	生産計測技術研究センター 計測基盤技術チーム 研究チーム長
鈴木 基史	ナノエレクトロニクス研究部門 主任研究員
渡辺 直也	ナノエレクトロニクス研究部門 研究員
井川 登	ナノエレクトロニクス研究部門 テクニカルスタッフ

・株式会社プレテック AT

氏名	所属・役職
吉川 和博	熊本事業所長
加藤 正行	技術開発部長
井 雅昭	技術開発部グループリーダー
児玉 洋平	技術開発部副グループリーダー
酒井 修司	技術開発部
宮崎 匠	技術開発部副グループリーダー

(4) 他からの指導・協力者及び指導・協力事項

【推進委員会委員】

(外部推進委員)

氏名	所属・役職
井上 道弘	独立行政法人産業技術総合研究所 イノベーションコーディネータ
原 史朗	独立行政法人産業技術総合研究所 ナノエレクトロニクス研究部門 ミニマルシステムグループ長
柏木 正弘	熊本県産業技術センター 技術顧問
倉知 郁生	OKI セミコンダクタ株式会社 生産本部デバイス開発部 部長
神月 靖	シノヴァ・ジャパン株式会社 代表取締役
江澤 弘和	株式会社東芝セミコンダクター社 メモリ事業部 メモリパッケージ開発部 主幹
西原 秀典	三菱電機株式会社 パワーデバイス製作所 ウエハ製造部長
小切間 正彦	株式会社メムス・コア 代表取締役専務

(内部推進委員)

氏名	所属・役職
青柳 昌宏	独立行政法人産業技術総合研究所 ナノエレクトロニクス研究部門 主幹研究員
平井 寿敏	独立行政法人産業技術総合研究所 生産計測技術研究センター 研究センター長
鈴木 基史	独立行政法人産業技術総合研究所 ナノエレクトロニクス研究部門 主任研究員
吉川 和博	株式会社プレテック AT 熊本事業所長
加藤 正行	株式会社プレテック AT 技術開発部長

### 1-3 当該研究開発の連絡窓口

#### 【事業管理者】

- ・財団法人くまもとテクノ産業財団  
中小企業支援センター 事業革新支援室 プロジェクトマネージャー 関 二郎  
TEL:096-289-2438

#### 【研究者】

- ・株式会社プレテック AT 熊本事業所 所長 吉川 和博  
TEL:096-292-4141
- ・独立行政法人産業技術総合研究所 主幹研究員兼研究グループ長 青柳 昌宏  
TEL:029-861-5529

## 第2章 本論

### 2-1 ウエットエッチングによるシリコンの薄化

#### 2-1-1 ウエットエッチング装置プロトタイプ製作

混酸を使用した  $200 \mu\text{m}/\text{min} \sim 800 \mu\text{m}/\text{min}$  での高速エッチングに対応するシリコンのウエットエッチングによる薄化装置を製作した。装置概要は、図 2-1-1-1 のとおりである。

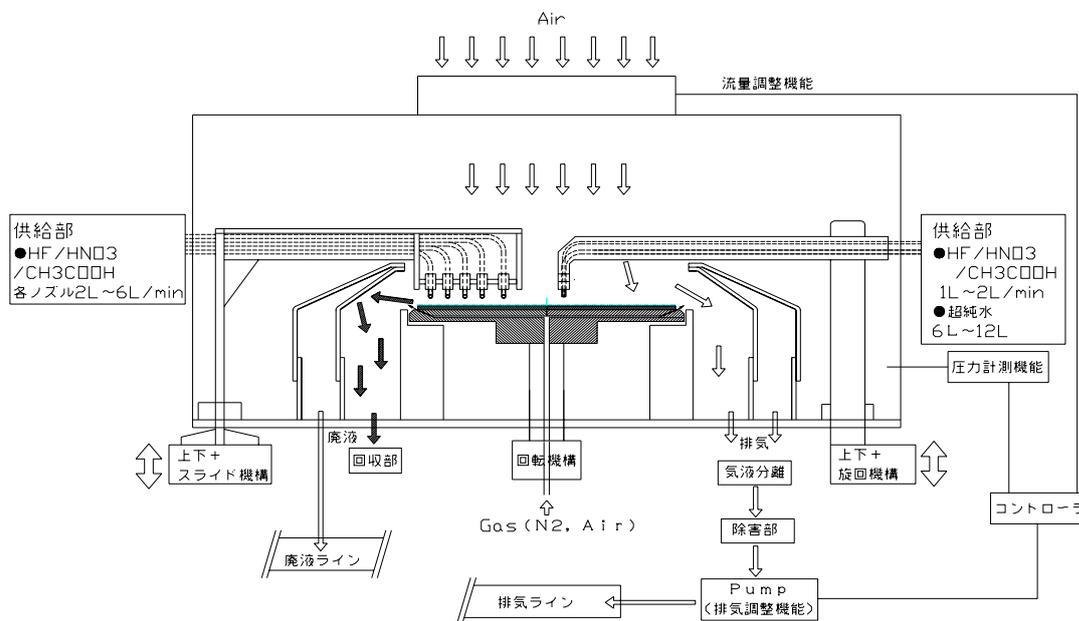


図 2-1-1-1 高速エッチング対応ウエットエッチング装置概要図

#### 2-1-2 ウエットエッチングによる薄化加工

図 2-1-1-1 に示した装置を用いて、 $200 \text{ mm}$  (8 インチ) ウェハのウエットエッチングによる薄化処理を行った。その時の、中心からの距離とその点におけるエッチング量の結果を図 2-1-2-1 に、その他の結果は「2-1-3 ウエットエッチングによる薄化工程の測定評価」に示す。

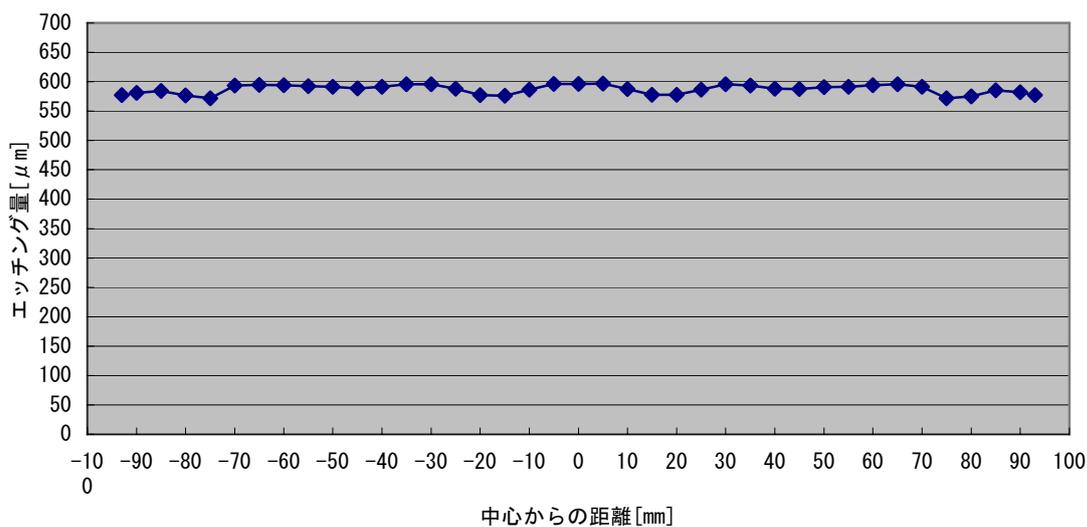


図2-1-2-1 高速ウエットエッチング装置によるエッチング量

### 2-1-3 ウエットエッチングによる薄化工程の測定評価

表 2-1-3-1 に「2-1-2 ウエットエッチングによる薄化加工」にてエッチングしたウェハの加工時間、エッチング量、エッチングレート、およびユニフォーミティの結果とそれらの目標値に対する達成度の評価を示す。その結果、すべての項目において、目標値を達成した。

表 2-1-3-1 ウエットエッチングによる薄化工程の測定評価

項目	結果	目標値	評価
加工時間	38 s	3 min 以内	達成
エッチング量	平均 587.1 μm 最大 596.9 μm 最小 571.7 μm		
エッチングレート	927 μm /min	200~800 μm /min	目標の最大値を超えて達成
ユニフォーミティ	2.1% (12.6 μm /587.1 μm)	エッチング厚の ±5%以下	達成

### 2-1-4 ウエットエッチングによる薄化加工ダメージ及びデバイス特性の評価

#### [ウエットエッチングによる薄化加工ダメージの評価結果]

ウエットエッチングによる薄化加工ダメージを評価するために、抗折強度とエッチング面の観察を行った。それぞれについて以下に説明する。

#### (1) 抗折強度の評価

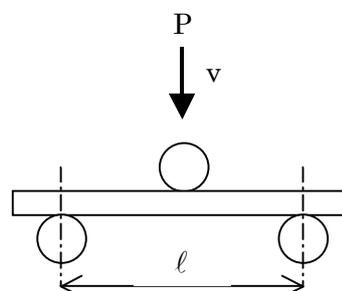
##### (実施内容)

8 インチ Si ウェハ (725 μm 厚) に、ウエットエッチング (WE)、バックグラインド+CMP (BG+CMP)、バックグラインド+ウエットエッチング (BG+WE) によって、100 μm 厚まで薄化加工を施した後、10 mm 角にダイシングを行ったチップの抗折強度を測定し、その結果を比較した。なお、抗折強度測定には 3 点曲げを用い、治具のスパン  $l=2$  mm、実験速度  $v=2.5$  mm/min とし、抗折強度は、材料力学からの式(1)から導出した。また、測定サンプル数は 23 枚とした。

曲げ強さ計算式

$$\sigma = \frac{3}{2} \cdot \frac{lP}{t^2 h} \dots\dots\dots (1)$$

- $\sigma$  : 応力 [MPa]
- $l$  : スパン [mm]
- $P$  : 荷重 [N]
- $t$  : ウェハ厚 [mm]
- $h$  : ウェハ幅 [mm]



(試験結果)

表 2-1-4-1 と図 2-1-4-1 に抗折強度の評価結果を示す。抗折強度は、おおむね WE≒BG+CMP となった。このことから、ウエットエッチングによる薄化加工ダメージは BG+CMP と同等程度であり、加工面にダメージ層がほぼないことが示唆される。

表 2-1-4-1 抗折強度測定結果まとめ [単位 : MPa]

加工条件	WE	BG+WE	BG+CMP
スパン	2mm	2mm	2mm
動作速度	2.5	2.5	2.5
ウェハの厚さ	100 μ m	100 μ m	100 μ m
平均	476.43	433.60	474.69
最大	696.90	693.45	700.35
最小	182.85	251.85	169.05
標準偏差	160.90	97.25	137.13

抗折強度ワイブル分布

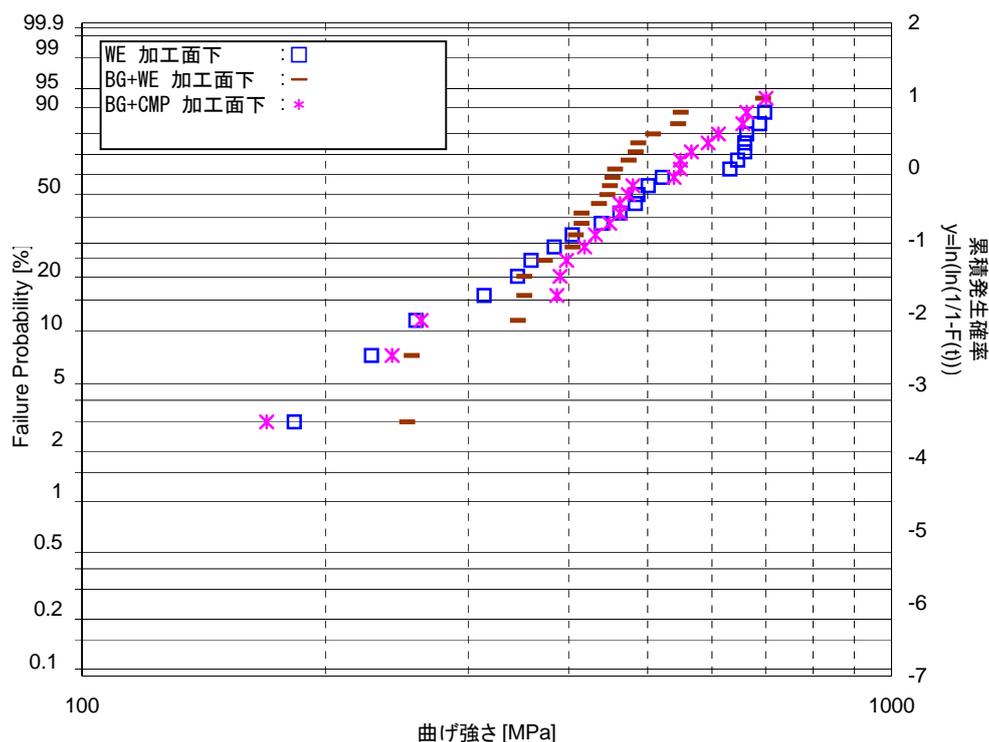


図2-1-4-1 抗折強度のワイブル分布による加工条件の比較(加工面が下)

(2)ウエットエッチング面の観察

(実施内容)

次に、透過型電子顕微鏡 (TEM: Transmission Electron Microscope)を用いて、ウエットエッ

チング面付近の断面観察を行った。なお、試料前処理として、TEM 像のコントラスト向上のための、ウエットエッチング面への(低エネルギーでの)Pt スパッタ・Cu 蒸着を行ったのち、集束イオンビームを用いたマイクロサンプリング法での薄片化を行った。また、使用装置は、日立ハイテクノロジー製 H-9000NAR で、その加速電圧は 300 kV である。

#### (実施結果)

図 2-1-4-2 に、ウエットエッチング面付近の断面 TEM 像を示す。これを見ると、Si 領域では、 $\{111\}$  の格子縞が表面付近まで観察されており、破碎層やマイクロクラックがないことが分かる。一方で、Si 領域の上には、数 nm 程度の不明層があることが判明した。そこで、不明層の元素分析を行うために、電子エネルギー損失分光法 (Electron Energy-Loss Spectroscopy: EELS) での点分析を行った結果、不明層は、C を含有したシリコン酸化物だと推定できた。

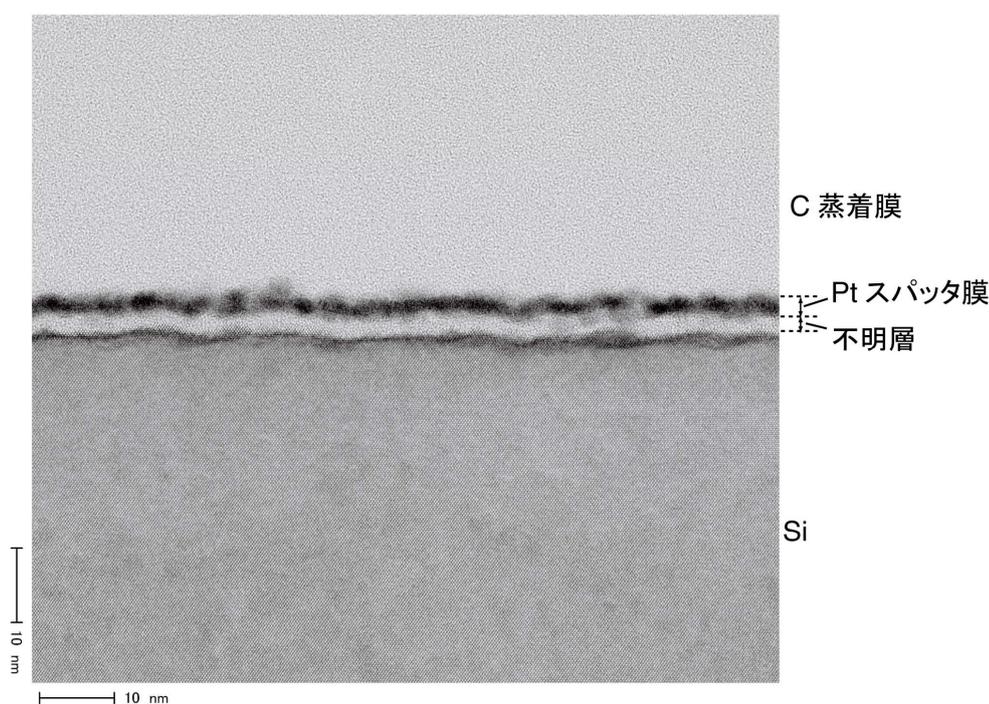


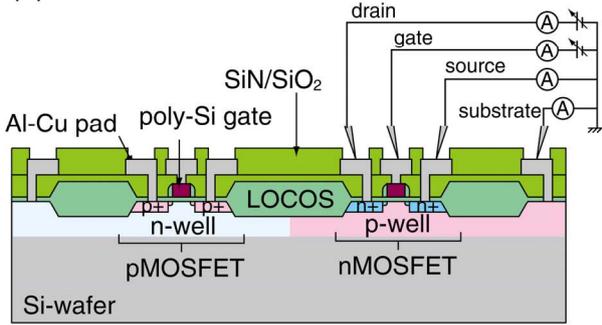
図 2-1-4-2: ウエットエッチング面付近の断面 TEM 像。Si 領域では、表面付近まで  $\{111\}$  の格子縞が観察されており、破碎層やマイクロクラックがないが、Si 領域の上には、数 nm 程度の不明層があることが分かる。

#### [ウエットエッチングによる薄化加工後のデバイス特性評価結果]

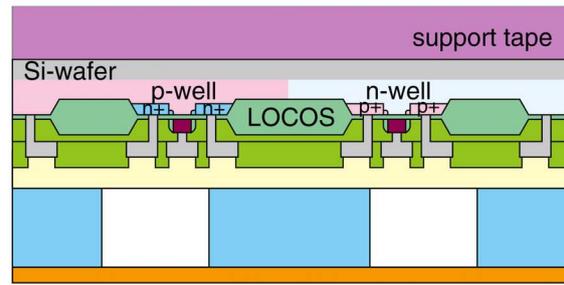
##### (実施内容)

図 2-1-4-3 に、ウエットエッチングによる薄形加工のデバイス特性への影響を調査するための手順を示す。

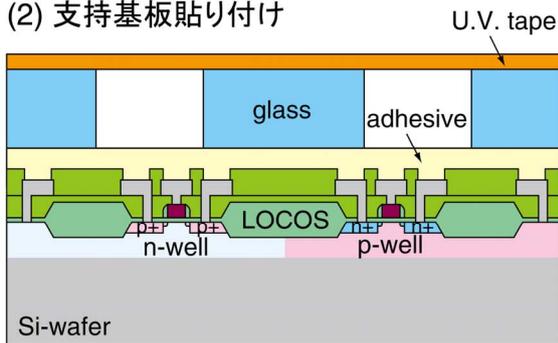
(1) MOSFET 特性測定



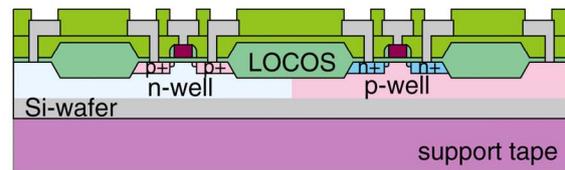
(4) 支持テープ貼り付け



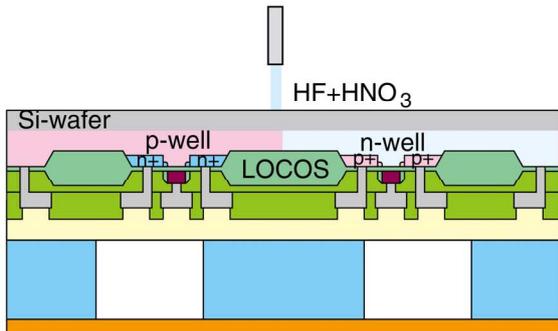
(2) 支持基板貼り付け



(5) 支持基板剥離



(3) ウェットエッチング



(6) MOSFET 特性再測定

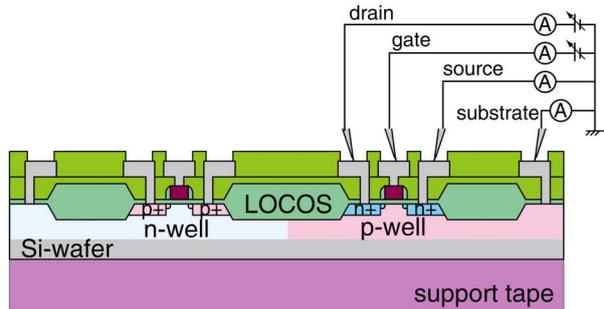


図 2-1-4-3: ウェットエッチングによる薄形加工のデバイス特性への影響を調査するための手順。

まず、6 インチ CMOS ウェハを作製し、半導体パラメータアナライザ (4156C (Agilent 社製)) を用いて、薄形加工前の nMOSFET / nMOSFET の電気特性を評価した。なお、作製した nMOSFET と pMOSFET の多結晶 Si (poly-Si) ゲート長はそれぞれ  $0.8 \mu\text{m}$  と  $0.85 \mu\text{m}$  であり、また、ゲート幅は  $2 \mu\text{m}$ 、ゲート酸化膜厚は  $14 \text{ nm}$ 、チャンネル方向は  $\langle 110 \rangle$  ( $(001)\text{Si}$  上)、LOCOS (Local Oxide of Silicon) の膜厚は  $450 \text{ nm}$ 、Al-Cu の膜厚は  $990 \text{ nm}$  である。次に、CMOS ウェハ表面に、東京応化工業社製・穴つきガラス支持基板を、接着剤を用いて貼り付けた。また、合わせて、保護用の U.V.テープの貼り付けも行った。その後、CMOS ウェハ裏面に対して HF と  $\text{HNO}_3$  の混合溶液でのエッチングを行い、薄形加工を行った。目標とした Si の厚さは  $100 \mu\text{m}$  と  $50 \mu\text{m}$  である。次に、CMOS ウェハ裏面に支持テープ (日東電工社製、型番: 3195HS) を空気がなるべく入らないように貼り付けた後、ガラス支持基板の穴から溶剤 (PGMEA:

propyleneglycol monomethyl ether acetate)を導入し、接着剤を溶解することで、支持基板を剥離した。最後に、薄形加工後の MOSFET の電気特性を評価し、特性変動量を評価した。

(実施結果)

図 2-1-4-4 に、薄化加工前後の(a) nMOSFET / (b)pMOSFET の  $V_{DS}$ - $I_D$  特性(ドレイン・ソース間電圧-ドレイン電流特性)と  $V_{GS}$ - $I_D$  特性(ゲート・ソース間電圧-ドレイン電流特性)の測定結果の例を示す。これらより、薄化加工前後で、ほんのわずかであるが、特性変動が生じていることが分かる。

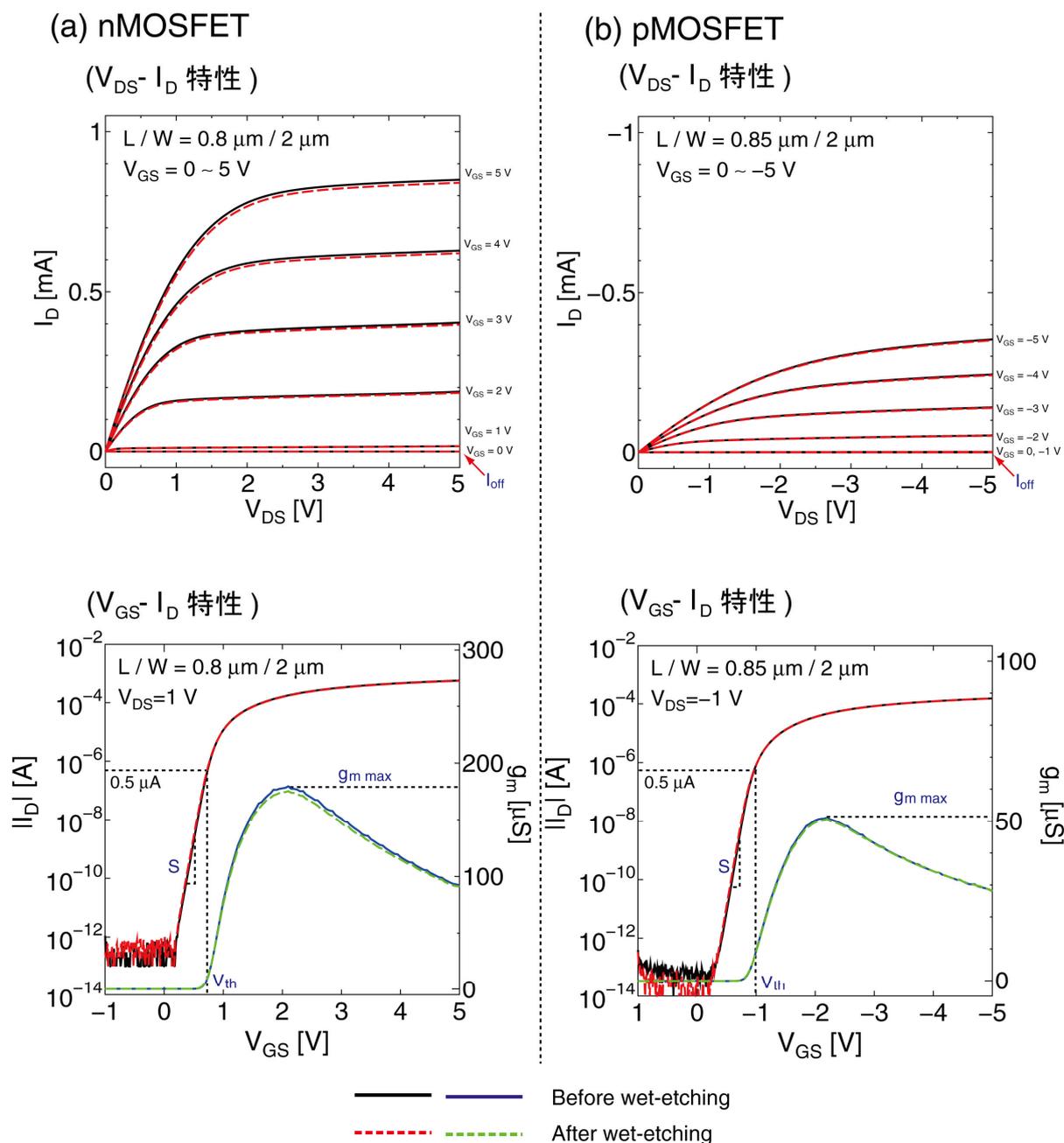


図 2-1-4-4: 薄化加工前後の(a) nMOSFET / (b) pMOSFET の  $V_{DS}$ - $I_D$  特性と  $V_{GS}$ - $I_D$  特性の測定結果の例。

上述した特性変動量を厳密に評価するために、デバイス特性における重要パラメータである、しきい値電圧、サブスレッショルド係数、相互コンダクタンスの最大値、オフ電流を以下のように定義・抽出した後、Si 厚さ 100  $\mu\text{m}$  と 50  $\mu\text{m}$  への薄化による、各パラメータの変動量を評価した。

・しきい値電圧 ( $V_{th}$ ):

$V_{GS}$ - $I_D$  特性で、ドレイン電流の大きさが 0.5  $\mu\text{A}$  (※1  $\mu\text{A}$ /ゲート幅 2  $\mu\text{m}$ )とゲート電圧。この値は、MOSFET の ON 状態/OFF 状態の境界値であり、ゲート酸化膜容量、界面準位、空乏層容量、チャネルドーピング量、キャリア移動度などの値を反映している。

・サブスレッショルド係数 (S):

$V_{GS}$ - $I_D$  特性のサブスレッショルド(立ち上がり)領域における傾き( $dV_{GS}/d\log I_D$ )。10<sup>-10</sup> A ~10<sup>-7</sup> A 間程度の傾きを採用している。なお、この値は、ゲート酸化膜容量、空乏層容量、界面準位の値を反映している。

・相互コンダクタンス (gm)の最大値:

$V_{GS}$ -gm 特性における相互コンダクタンスの最大値。なお、この値は、(ゲート幅/ゲート長)とキャリア移動度とゲート酸化膜容量とゲート・ソース電圧の積である。

・オフ電流 ( $I_{off}$ ):

$V_{DS}$ - $I_D$  特性における  $V_{GS} = 0 \text{ V}$ 、 $V_{DS} = 5 \text{ V}$  (nMOSFET の場合)、 $V_{GS} = 0 \text{ V}$ 、 $V_{DS} = -5 \text{ V}$  (pMOSFET の場合)でのドレイン電流。この値は、ドレインと基板間の pn 接合リーク電流を主に反映している。

その結果を図 2-1-4-5 に示す。これより、

- ・薄化後の Si 厚さが 100  $\mu\text{m}$  の場合でも 50  $\mu\text{m}$  の場合でも、MOSFET 特性変動量は非常に小さい。(しきい値電圧の変動量は最大で 20 mV、サブスレッショルド係数の変動量は最大で 20 mV、相互コンダクタンスの最大値の変動量の大きさは 3.5%以下で、オフ電流の変動量の大きさは 5 pA 以下である。)
- ・薄化後の Si 厚さが 50  $\mu\text{m}$  の場合における MOSFET 特性変動量の方が、Si 厚さが 100  $\mu\text{m}$  の場合に比べてわずかに大きい。

ということがわかる。このことから、ウェットエッチングによる薄化加工のデバイス特性への影響は小さいといえる。なお、薄化後の Si 厚さが 50  $\mu\text{m}$  の場合における MOSFET 特性変動量の方がわずかに大きい理由については、ウェハ厚が薄い方が支持テープからの拘束力を受けやすく、その拘束力でのピエゾ抵抗効果が現れやすいため、と考えている。

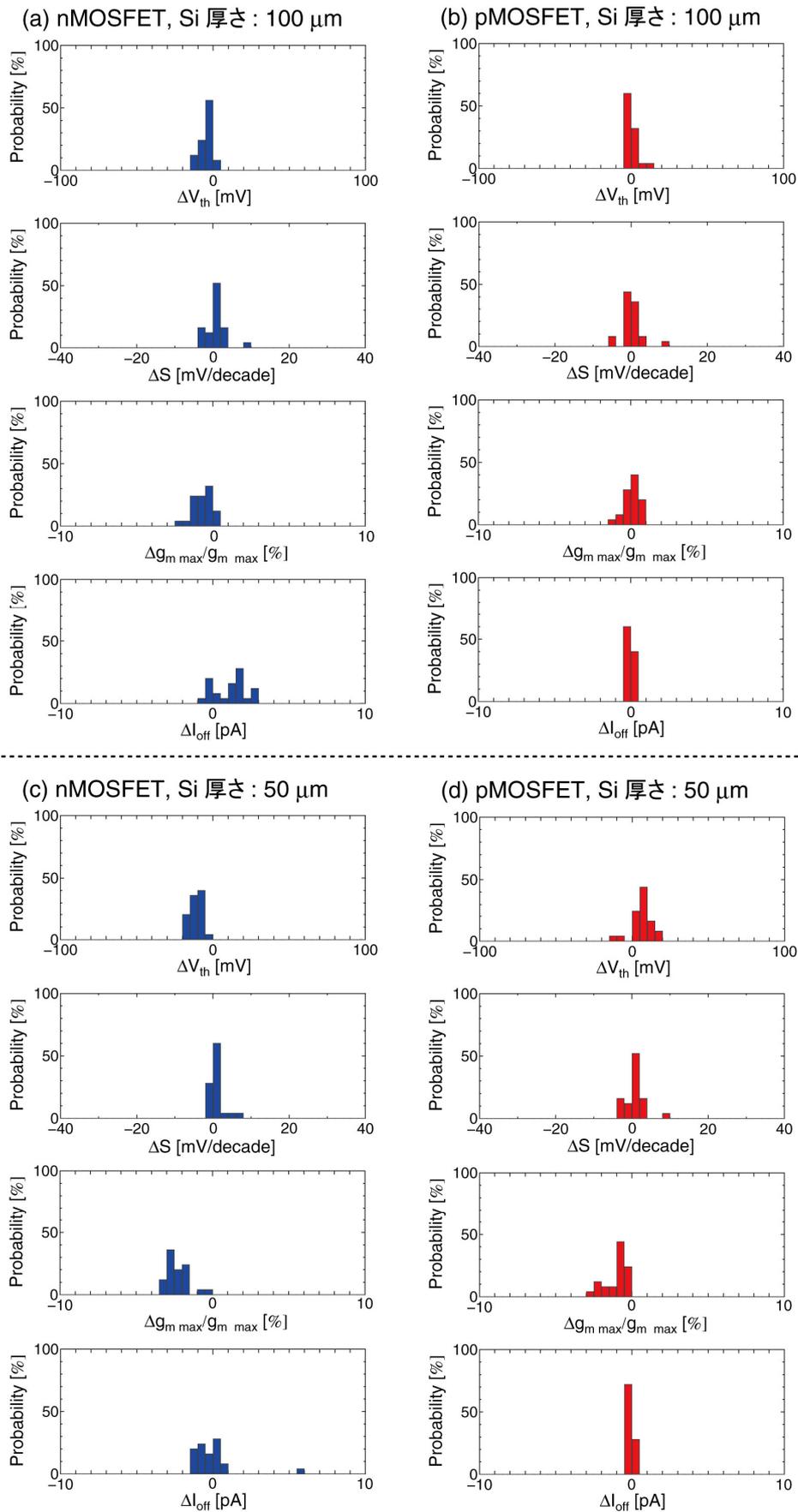


図 2-1-4-5: 薄化加工による、MOSFET のしきい値電圧、サブスレッショルド係数、相互コンダクタンスの最大値、オフ電流の変動量。なお、試料数は 25 個である。

[ウエットエッチングによる薄化加工ダメージ及びデバイス特性の評価のまとめ]

表 2-1-4-2 に、ウエットエッチングによる薄化加工ダメージ及びデバイス特性の評価結果とそれらの目標値に対する達成度の評価を示す。すべての項目で、目標達成することに成功した。

表 2-1-4-2 ウエットエッチングによる薄化工程の測定評価

項目	結果	目標値	評価
抗折強度の低下	+0.3% (vs BG+CMP)	5%以下	達成
電気特性	しきい値電圧の変動量は最大で 20 mV、サブスレッショルド係数の変動量は最大で 20 mV、gm の最大値の変動量は 3.5%以下で、オフ電流の変動量は 5 pA 以下、と小さかった。	劣化の抑制	達成

2-2 レーザー・マイクロジェットによる Via 形成加工

2-2-1 レーザー・マイクロジェット装置プロトタイプ製作

レーザー・マイクロジェット装置の基本仕様を表 2-2-1-1 に、外観を図 2-2-1-1 に示す。

表 2-2-1-1 レーザー・マイクロジェット装置基本仕様

処理物名称	シリコンウェハ	
処理物寸法	～φ 300 mm × 775 μm (最大) ※□10 mm、φ 150 mm、φ 200 mm にも対応(マニュアル含む)	
処理数	レーザー処理部 送り速度 110 mm/秒 合計 15 パスの場合 処理時間:約 65 秒 上記条件の場合 約 27 枚/時間	
装置構成	・ レーザー・マイクロジェット装置 ……………1 式	
外形寸法 H×W×D	・ レーザー・マイクロジェット装置 ……1626.5 × 1163 × 948 mm	
レーザー	・ 色 : 緑 (波長 : 532 nm) ・ 出力 : 100 W	
所要電気容量	・ レーザー・マイクロジェット装置 ① レーザー ……………AC 220V 一相 50/60 Hz、3 kW ② ポンプ ……………AC 400V 三相(3P+N+PE) 50/60 Hz、4.9 kW ③ その他 ……………AC 230V 一相 50/60 Hz、2.5k VA	
所要純水量	・ レーザー・マイクロジェット装置 ・ 切断用 ……………1.5 L/min 以上	
所要エア一量	・ レーザー・マイクロジェット装置 ……150 L/min 未満	
所要排風量	・ レーザー・マイクロジェット装置 ……50 Pa 未満、10 L/h 未満	
X-Y テーブル	タイプ	テーブル上で個別に X-Y 軸を制御
	作業エリア	300×300 mm
	最大速度	500 mm/s
	精度	± 3 μm (22±2°C)
	繰返し精度	± 1 μm (22±2°C)



図 2-2-1-1 レーザー・マイクロジェット装置外観

### 2-2-2 レーザー・マイクロジェットによる Via 形成(穴あけ)加工

50  $\mu\text{m}$  厚の 3 インチウェハに対し、図 2-2-1-1 に示すレーザー・マイクロジェット装置を用いて Via 形成 (穴あけ)加工を行った。ターゲット直径は 50  $\mu\text{m}$  で、貫通穴を形成した。条件は、表 2-2-2-1 のとおりである。

表 2-2-2-1 Via 形成条件

レーザー出力	0~0.1 W
レーザー波長	532 nm (緑色)
ノズルサイズ	直径 50 $\mu\text{m}$
水流	下限レベル
Via 形成時のステージ動作	なし

### 2-2-3 レーザー・マイクロジェットによる Via 形成(穴あけ)工程の測定評価

表 2-2-3-1 に「2-2-2 レーザー・マイクロジェットによる Via 形成(穴あけ)加工」にて Via 形成(穴あけ)加工した Via の Via 形成時間、最小スポット径、加工最小径、加工精度の結果とそれらの目標値に対する達成度の評価を示す。未達成の部分は、補完研究で、目標達成を目指す予定である。

表 2-2-3-1 レーザー・マイクロジェットによる Via 形成(穴あけ)工程の測定評価

項目	結果	目標値	評価
Via 形成時間	50 ms/1	3 min 以内	達成
最小スポット径	50 $\mu\text{m}$	20 $\mu\text{m}$ 以下	未達成
加工最小径	Max. 56.96 $\mu\text{m}$ Min. 50.80 $\mu\text{m}$	50 $\mu\text{m}$ 以下	未達成
加工精度	+13.92%	$\pm 5\%$ 以内	未達成

※ ウォーターのノズルサイズを小さいサイズに交換すれば 50  $\mu\text{m}$  より小さいスポット径、加工最小径も可能だが、今回は 50  $\mu\text{m}$  のものを用いた。

## 2-2-4 レーザー・マイクロジェットによる Via 形成加工ダメージ及びデバイス特性の評価 [レーザー・マイクロジェットによる Via 形成加工ダメージの評価結果]

(実施内容)

レーザー・マイクロジェットを用いて形成した Via (穴)の加工ダメージを評価するために、Via 断面を樹脂包埋し、Ar イオン研磨を行った後で、走査型電子顕微鏡 (SEM)を用いて観察した。なお、Via は、100  $\mu\text{m}$  厚の Si チップに対し、表 2-2-4-1 の条件で形成した。

表 2-2-4-1 Via 形成条件

レーザー出力	31 W
レーザー波長	532 nm (緑色)
ノズルサイズ	直径 40 $\mu\text{m}$
水流	下限レベル
Via 形成時のステージ動作	直径 60 $\mu\text{m}$ の円周運動を 20 回くりかえす
Via 形成時のステージ動作	2 mm/s
Via 数	25 (5×5 のアレイ)
Via ピッチ	約 300 $\mu\text{m}$
チップの保持	U.V.テープへの貼り付け

(実施結果)

図 2-2-4-1 に、100  $\mu\text{m}$  厚 Si チップに形成した Via の断面の断面 SEM 像 (2 次電子像)を示す。これを見ると、以下の点に分かる。

- ・Via 形状が垂直でない (Via 上面が Via 底面より大きい)。
- ・Via 側面や Via 表面付近に付着物がある。Si は、その形状から、レーザーで一度除去したものが再付着したものと考えられる。また、有機系の汚染物は、チップ底面に貼り付けた U.V. テープに、レーザーが照射されたために生じたものと考えられる。
- ・(今回の SEM 観察では) Via 付近で機械的損傷 (クラック)は確認できない。

これらの結果から、機械的なダメージはないものと考えられる。一方で、Via 側面や Via 表面付近にある付着物は信頼性低下の原因となりえるため、これらを、薬品洗浄・除去する必要があ

ると考えられる。

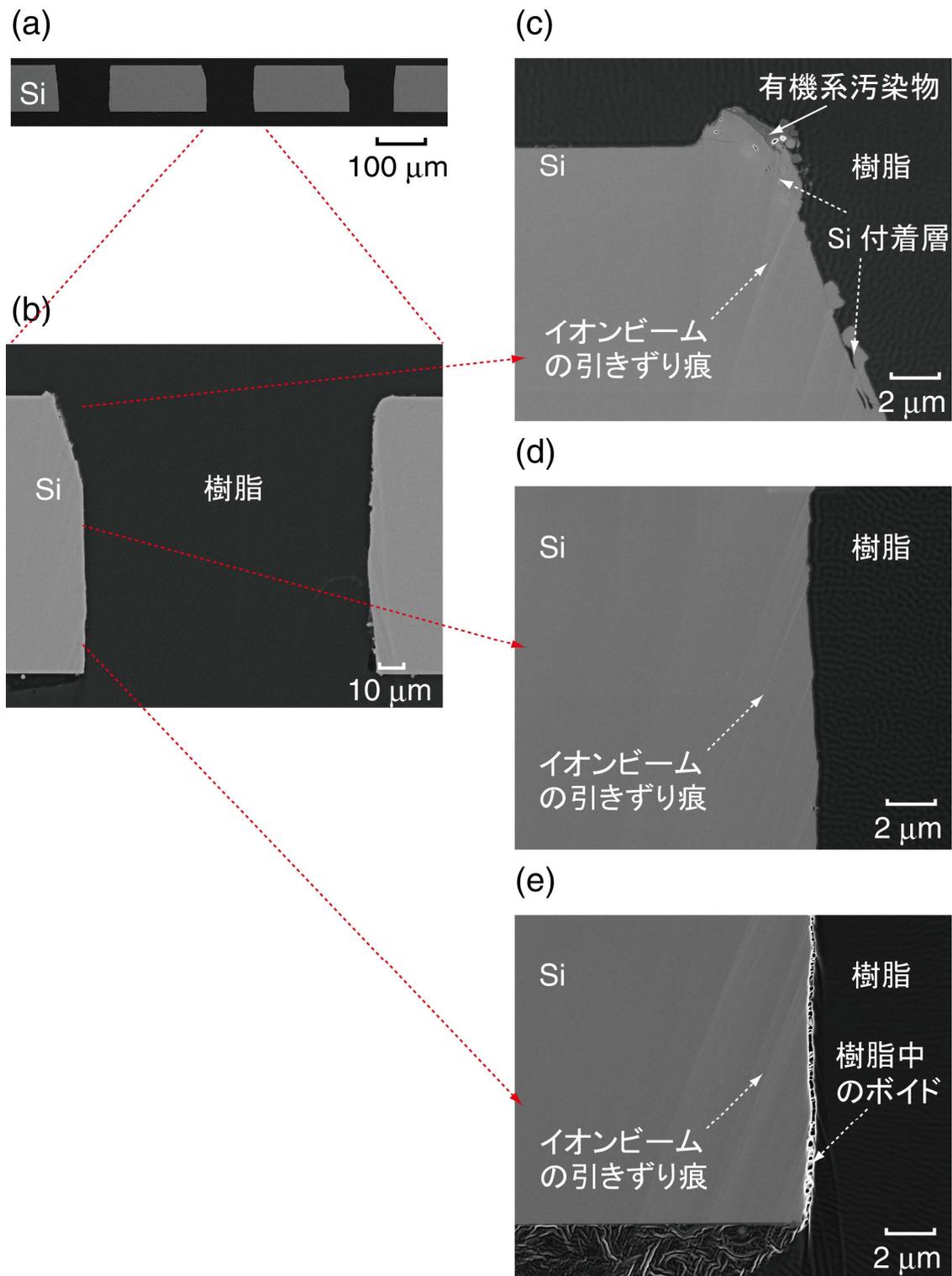


図 2-2-4-1: 100 μm 厚 Si チップに形成した Via (穴)の断面の 2 次電子像。(a) 全体像。(b) 一つの Via の像。(c) Via 上面付近の像。(d) Via 側面の付近の像。(e) Via 底面の付近の像。)

## [レーザー・マイクロジェットによる Via 形成加工ダメージの評価結果]

### (実施内容)

まず、半導体パラメータアナライザ (4156C (Agilent 社製))を用いて、6 インチ CMOS ウェハの nMOSFET と pMOSFET の電気特性を評価した。次に、図 2-2-4-2 のように、nMOSFET と pMOSFET の近傍に、レーザー・マイクロジェットで Via (直径 60  $\mu\text{m}$ )を形成した。なお、Via と MOSFET の距離は、10  $\mu\text{m}$ 、30  $\mu\text{m}$ 、50  $\mu\text{m}$ 、3750  $\mu\text{m}$  である。最後に、Via 形成加工後の MOSFET の電気特性を評価し、特性変動量を評価した。

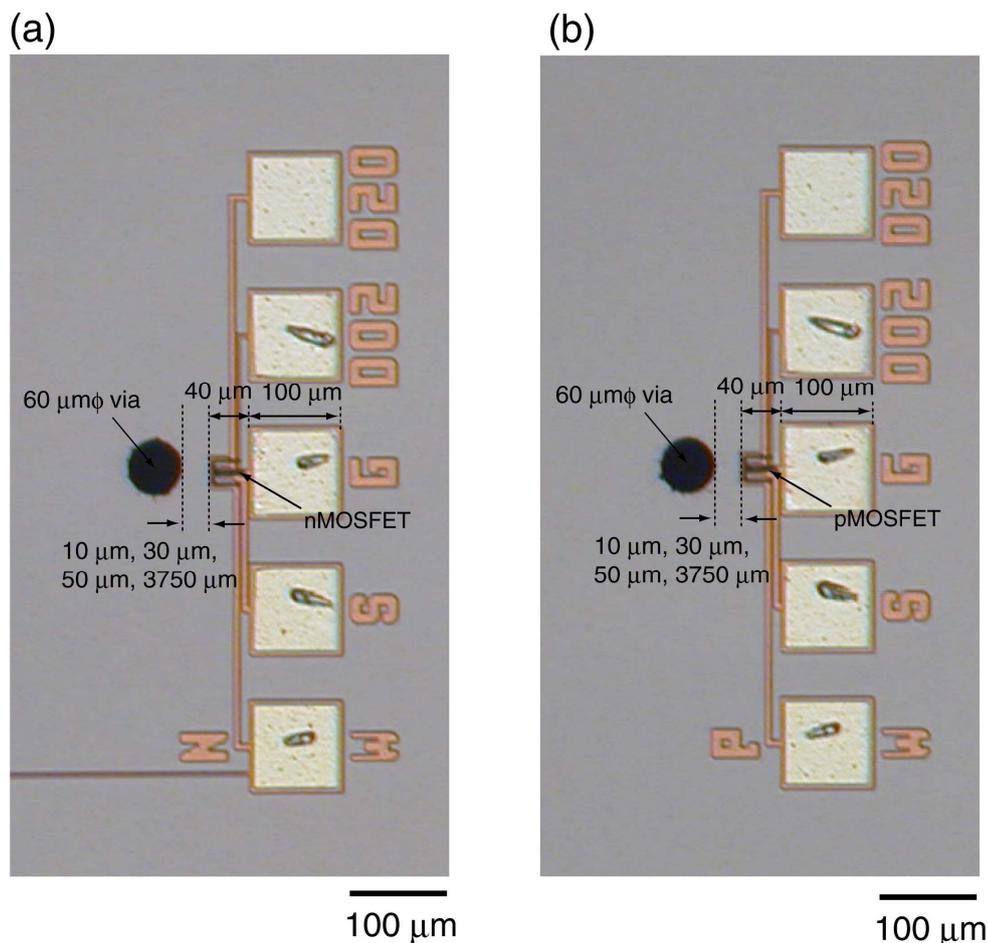


図 2-2-4-2: Via (直径 60  $\mu\text{m}$ )と MOSFET の位置関係。MOSFET からそれぞれ 10  $\mu\text{m}$ 、30  $\mu\text{m}$ 、50  $\mu\text{m}$ 、3750  $\mu\text{m}$  離れた位置に、レーザー・マイクロジェットで Via 形成を行った。

### (実施結果)

図 2-2-4-3 に、Via 形成加工前後の nMOSFET / pMOSFET の  $V_{GS}$ - $I_G$  特性(ゲート・ソース間電圧-ゲート電流特性)の測定結果を示す。これより、nMOSFET、pMOSFET とともに、Via 形成後に、ゲート電流増加 (ゲートリーク)モードでの故障が生じていることが分かる。実際、1 mA ( $10^9$  pA)以上のゲート電流が流れており、このことから、ゲート酸化膜が完全に絶縁破壊していると考えられる。このような故障モードは、MOSFET と Via の距離が 10  $\mu\text{m}$ 、30  $\mu\text{m}$ 、50  $\mu\text{m}$ 、3750  $\mu\text{m}$  (=3.75 mm)のすべての場合で生じた。特に、MOSFET と Via の距離が 3.75 mm と非常に大きい場合でも、故障が生じることは、CMOS ウェハへの Via 形成加工を行う上で、極めて深刻である。このような故障が生じる原因については、ウォータージェットに用いている水(電気

伝導度が低い純水)が吹き出る際に、装置内部やノズル等と摩擦が生じて、静電気が発生するためだと考えている。今後、補完研究で、詳細に原因究明してゆくとともに、その対応策を検討してゆく必要がある。

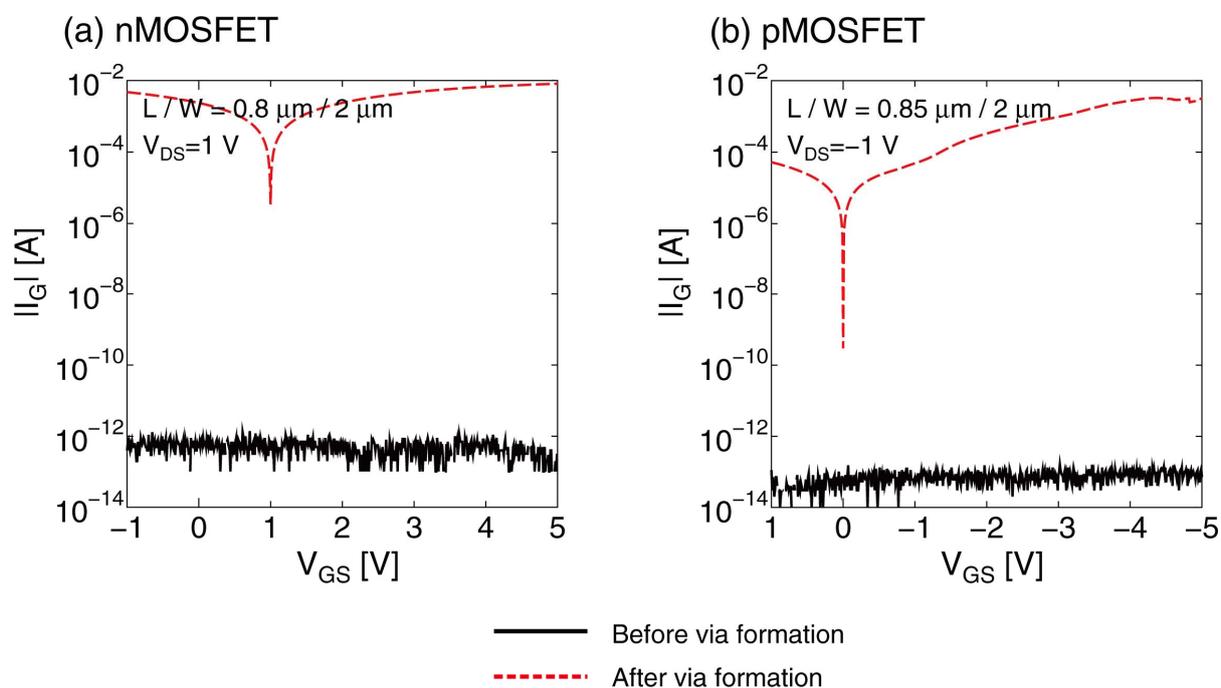


図 2-2-4-3: Via 形成加工前後の MOSFET (MOSFET と Via の距離は 50  $\mu\text{m}$ ) の  $V_{GS}$ - $I_G$  特性(ゲート・ソース電圧-ゲート電流)の測定結果の例。黒の実線が Via 形成加工前の特性、赤の点線が Via 形成加工後の特性である。

**[レーザー・マイクロジェットによる Via 形成加工ダメージ及びデバイス特性の評価のまとめ]**

表 2-2-4-2 に、レーザー・マイクロジェットによる Via 形成加工ダメージ及びデバイス特性の評価結果とそれらの目標値に対する達成度の評価を示す。未達成の項目については、今後、補完研究等で検討してゆく必要がある。

表 2-2-4-2 レーザー・マイクロジェットによる Via 形成加工ダメージ及びデバイス特性の評価結果

項目	結果	目標値	評価
加工ダメージ	断面 SEM 観察でダメージがないことを確認。	加工ダメージの抑制	達成
電気特性	ゲートリーク故障モードが発生。	劣化の抑制	未達成

## 2-3 ウエットエッチングによる Via プラグ出し

### 2-3-1 ウエットエッチング装置プロトタイプ製作

プレテック AT にて設計・製作・販売を行っているエッチング装置をベースに、高速アルカリウエットエッチングに対応する(エッチングレート $\geq 3 \mu\text{m}/\text{min}$ )Via プラグ出し装置を製作した。表 2-3-1-1 に基本仕様、図 2-3-1-1 に装置の外観写真を示す。

表 2-3-1-1 ウエットエッチング装置基本仕様

処理物名称	シリコンウェハ
処理物寸法	～ $\phi 300 \text{ mm} \times 775 \mu\text{m}$ (最大) ※ $\square 10 \text{ mm}$ 、 $\phi 150 \text{ mm}$ 、 $\phi 200 \text{ mm}$ にも対応(マニュアル含む)
処理数	エッチング部 スピン乾燥時間: 40 秒、洗浄時間: 約 25 秒 搬送時間(ステージ受渡 10 秒, ロボット旋回 5 秒の時): 約 65 秒 上記条件の場合 約 27 枚/時間
装置構成	<ul style="list-style-type: none"> <li>・ レーザー・マイクロジェット装置 ……………1 式</li> <li>・ 洗浄装置本体 ……………1 式</li> <li>ローダー、アンローダー、カット部、洗浄部、搬送ロボット(W アーム:真空吸着ハンド)</li> <li>・ 動力盤・制御盤 ……………1 式</li> </ul>
外形寸法 H×W×D	<ul style="list-style-type: none"> <li>・ 洗浄装置本体 ……………1900 × 2129 × 1500 mm</li> <li>・ 動力盤・制御盤 ……………1900 × 645 × 860 mm</li> </ul>
所要電気容量	・ 洗浄装置本体、3. 動力盤・制御盤 …AC 200V 50/60Hz D 種接地、26kVA
所要純水量	・ 洗浄装置本体 ……………200 kPa、3.0 L/min
所要エア量	・ 洗浄装置本体 ……………500 kPa、50 L/min
所要 N <sub>2</sub> 量	<ul style="list-style-type: none"> <li>・ 洗浄装置本体</li> <li>① ロボット用: ベルヌーイフオーク予備 ……………500 kPa、75 L/min</li> <li>② プロセスモジュール用 ……………500 kPa、50 L/min</li> </ul>
所要排風量	・ 洗浄装置本体 ……………300 Pa、4 m <sup>3</sup> /min
特記事項	<ul style="list-style-type: none"> <li>・ 材質・塗装色</li> <li>本体枠: SS 耐酸塗装+PVC 巻き(アイボリー)</li> <li>本体パネル: PVC(透明・アイボリー)</li> <li>洗浄チャンバーフード: 透明 PVC</li> <li>洗浄チャンバー: PVC(接液しない)</li> <li>洗浄カップ: PP, PVDF</li> <li>スピントーブル: PPS</li> </ul>



図 2-3-1-1 ウエットエッチング装置外観

### 2-3-2 ウエットエッチング装置による Via プラグ出し加工

「2-3-1 ウエットエッチング装置プロトタイプの製作」で製作した装置を用いて Via プラグ出しを行った。測定評価および観察結果を「2-3-3 ウエットエッチングによる Via プラグ出し工程の測定評価」に示す。

### 2-3-3 ウエットエッチングによる Via プラグ出し工程の測定評価

表 2-3-3-1 にウエットエッチングによる Via プラグ出しを行ったウェハの加工時間、エッチングレート、平坦性の結果とそれらの目標値に対する達成度の評価を示す。すべての項目で、目標達成することに成功した。

表 2-1-3-1 ウエットエッチングによる Via プラグ出し工程の測定評価

項目	結果	目標値	評価
加工時間	171 s (エッチング時間 60 s)	3 min 以内	達成
エッチングレート	平均 3.64 $\mu\text{m}/\text{min}$ 最大 3.96 $\mu\text{m}/\text{min}$ 最小 3.25 $\mu\text{m}/\text{min}$	3 $\mu\text{m}/\text{min}$ 以上	達成
平坦性	2.75% (0.10 $\mu\text{m}/3.64 \mu\text{m}$ )	$\pm 10\%$ 以下 (vs. エッチング量)	達成

### 2-3-4 ウエットエッチングによる Via プラグ出し加工ダメージ及びデバイス特性の評価

#### [ウエットエッチングによる Via プラグ出し加工ダメージの評価]

(実施内容)

図 2-3-4-1 に、Via プラグ出し工程と加工ダメージ評価の手順を示す。まず、Cu/Ti の埋め込み

で形成した TSV つき試料をワックス (接着剤)を用いて、支持基板 (8 インチ Si ウェハ)に固定した。次に、HF と HNO<sub>3</sub>の混合溶液を用いたウェットエッチングにより、Si を 381 μm 厚から 100 μm 厚程度まで薄化した後、KOH と添加剤の混合溶液によるウェットエッチングで、Si と SiO<sub>2</sub>と Ti を除去して、プラグ出しを行った。(HF と HNO<sub>3</sub>の混合溶液でのエッチング時間は 9.5 min で、KOH と添加剤の混合溶液によるエッチング時間は、18~20 min である。) プラグ出しを行った後には、純水での洗浄を行っている。次に、プラグ出し加工による Si 領域への汚染状況を評価するために、オージェ電子分光法での元素分析を行った。オージェ電子分光法を選択した理由は、図 2-3-3-2 のウェットエッチング工程では、工程で発生する発熱量が小さいために、汚染物質 (Cu、Ti などの重金属)が、Si の内部まで拡散しにくく、Si 表面近傍に存在する可能性が高くなるからである。最後に、プラグ表面やプラグ側面の加工ダメージを評価するために、断面研磨処理と断面 SEM (走査型電子顕微鏡)観察を行った。

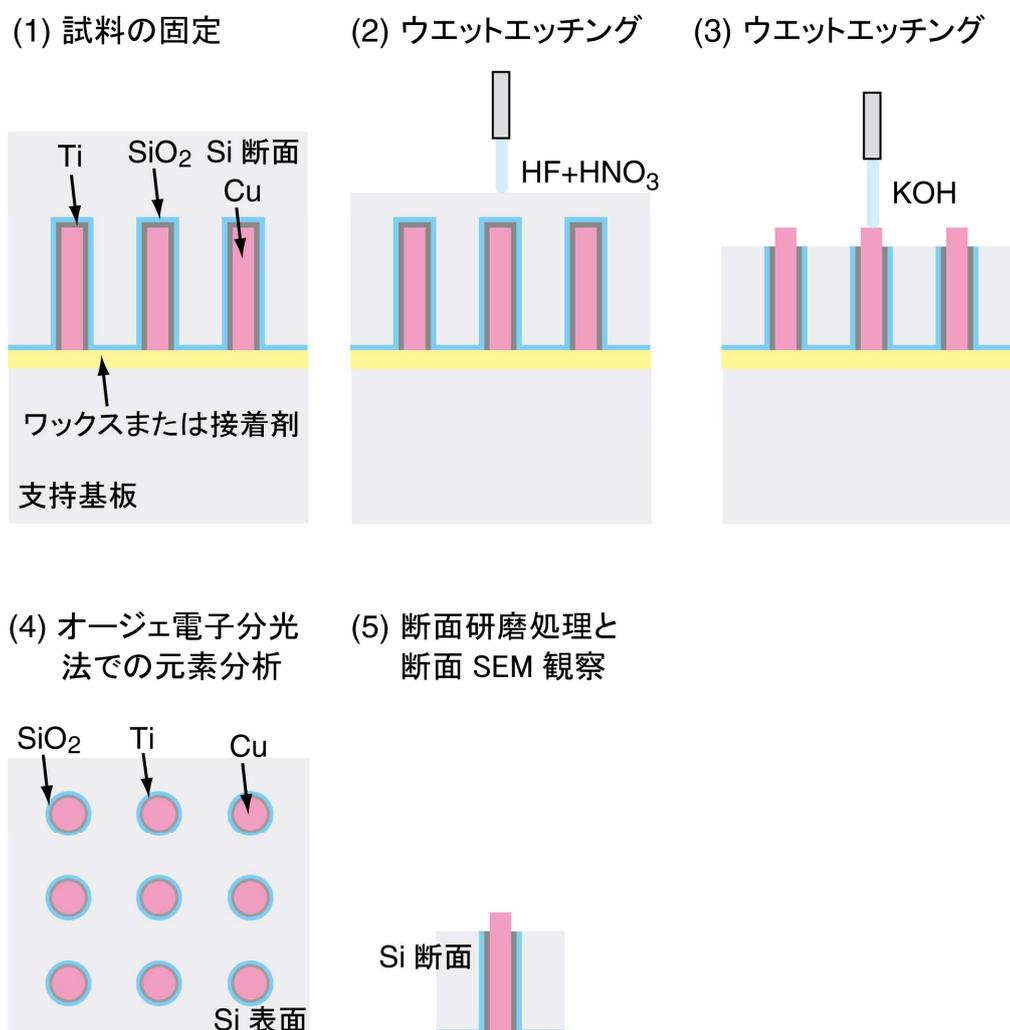


図 2-3-4-1: 2 段階のウェットエッチングによる Via プラグ出し工程と加工ダメージ評価の手順。

(実施結果)

図 2-3-4-2 に、2 段階ウェットエッチングでのプラグ出し加工後の試料の光学顕微鏡写真を示

す。これを見ると、一部の領域で異常エッチング箇所 (Si が他の領域よりエッチングが進んでいる箇所)があるものの、直径 10  $\mu\text{m}$  の Via のプラグ出しができていることがわかる。

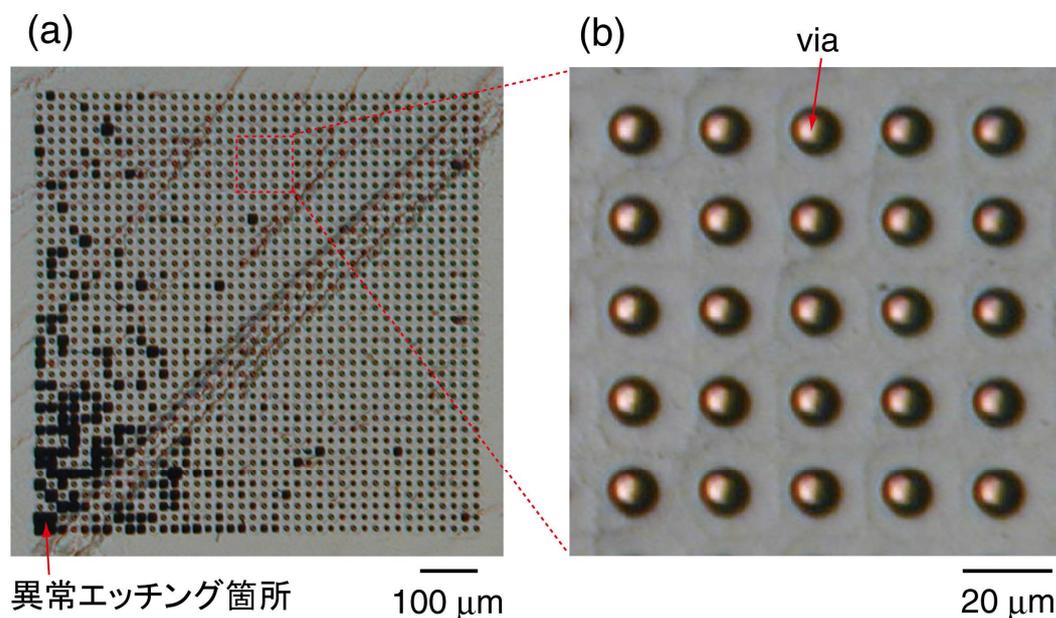


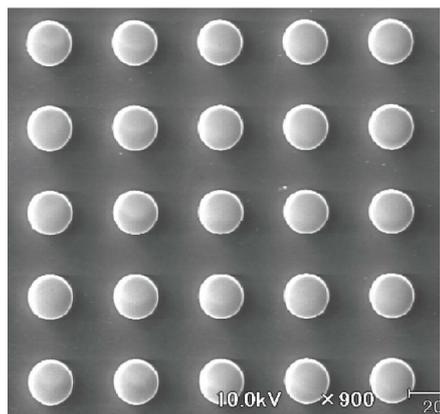
図 2-3-4-2: プラグ出し加工後の試料の光学顕微鏡写真。直径約 10  $\mu\text{m}$  の Via のプラグ出しができています。

図 2-3-4-3 に、図 2-3-4-2 (b)の箇所に対して、SEM で表面観察した結果とオージェ電子分光法で元素分析を行った結果を示す。オージェ電子分光法で使用した装置は PHI-680 (アルバック・ファイ社製)で、マッピングした元素は Cu、Ti、Si、O、C である。これらを見ると、以下の点に分かる。

- ・Si 表面のごく一部で、Cu 微粒子が付着している箇所がある。
- ・プラグ表面に Ti が若干残留している。
- ・試料を大気中保管していたために、試料全面に C や O が付着している。

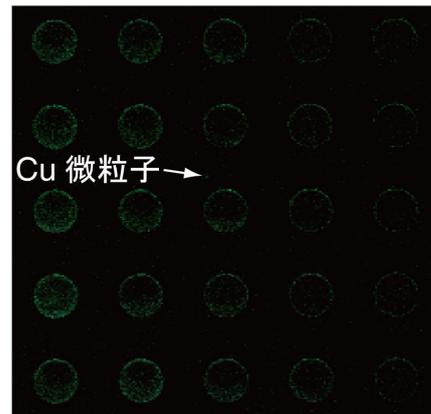
KOH と添加剤の混合溶液で Cu はエッチングされないため、Cu 微粒子は、プラグ出し加工中のエッチング液の流れによって、チップの一部から分離して、Si 表面に付着したと考えられる。よって、Cu 微粒子を機械的に除去するための洗浄方法 (超音波洗浄など)を、新たに追加する必要がある。また、プラグ表面に残留している Ti も、次のバンプ接合工程を実施する上で障害になるため、薬液を用いたエッチングを行う必要がある。

(a) SEM 像



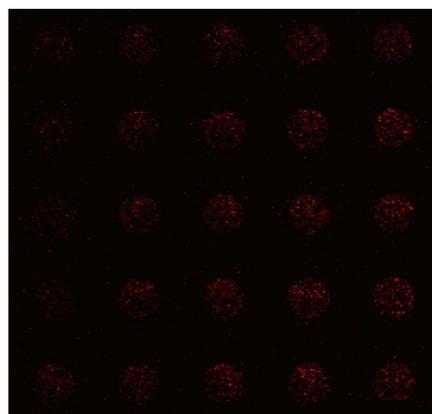
20  $\mu\text{m}$

(b) Cu



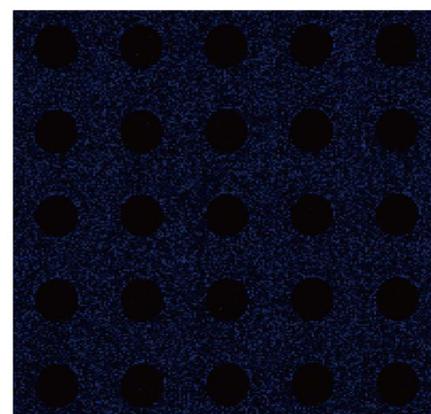
20  $\mu\text{m}$

(c) Ti



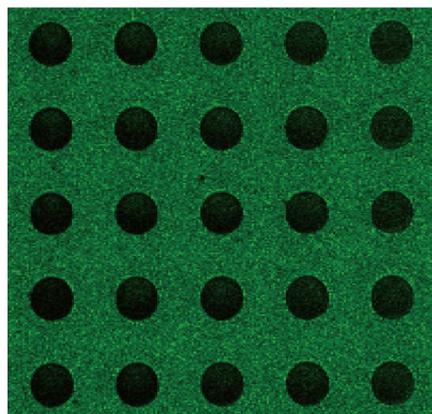
20  $\mu\text{m}$

(d) Si



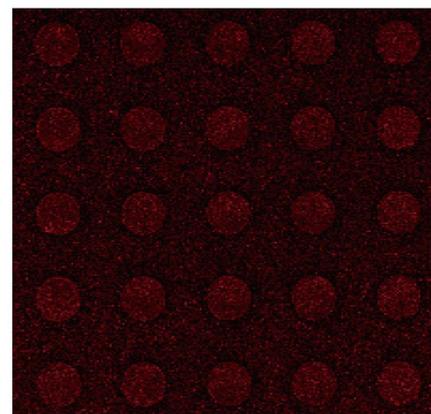
20  $\mu\text{m}$

(e) O



20  $\mu\text{m}$

(f) C



20  $\mu\text{m}$

図 2-3-4-3: 図 2-3-4-3 (b)の箇所の表面 SEM 像とオージェ電子分光法による元素分析結果 (Cu、Ti、Si、O、C)。

図 2-3-4-4 に、正常エッチング箇所 (図 2-3-4-3 (b)) の Via 断面の SEM 観察結果 (2 次電子像) を示す。これより、プラグ表面に付着物 (おそらく Ti や C) が付いているものの、プラグ表面やプラグ側面には加工ダメージ箇所はないといえる。特に、プラグ側面下方部分の  $\text{SiO}_2$  がエッチングされていないことは、Via と Si 基板の電气的分離を確保する上でよいと考えられる。

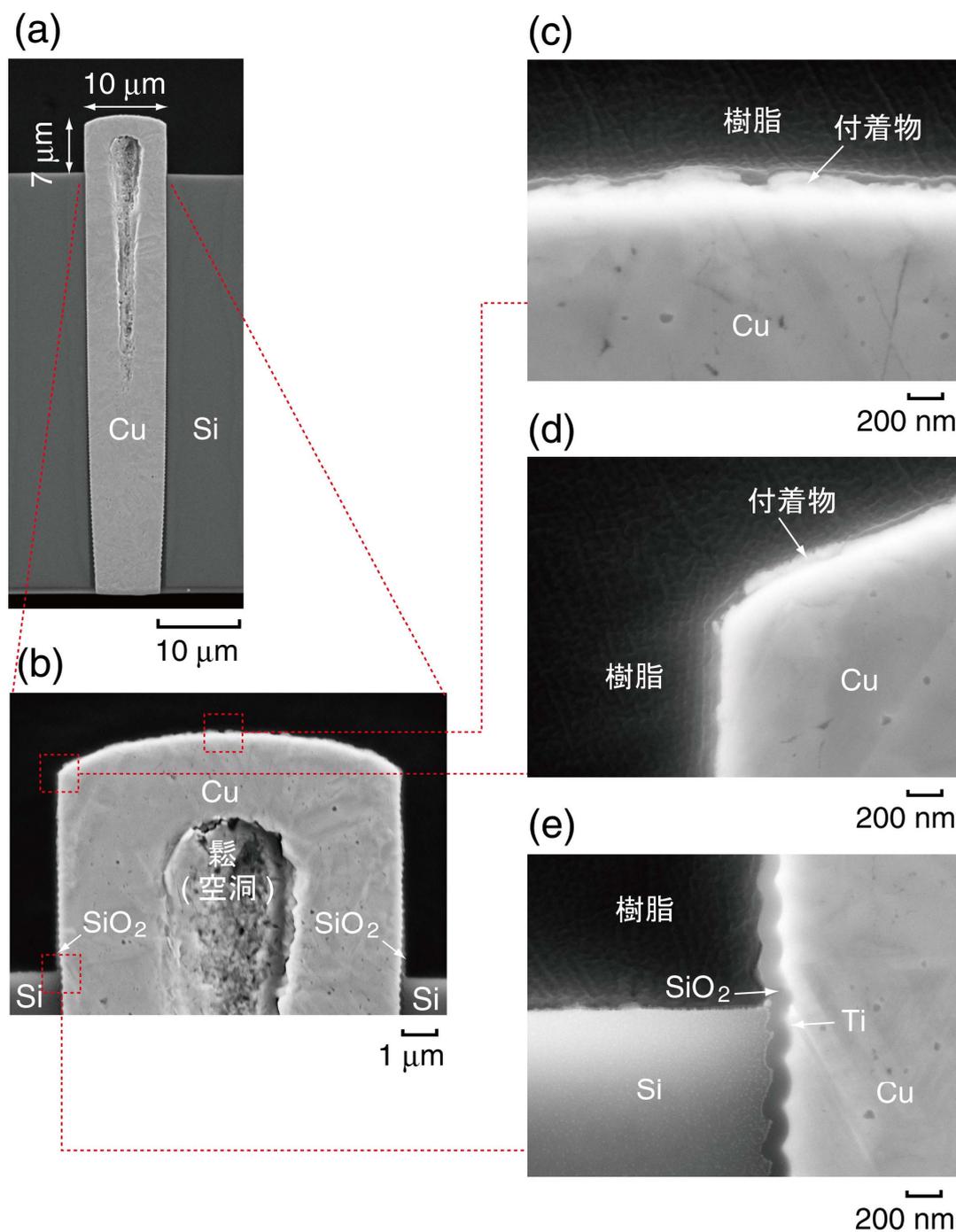


図 2-3-4-4: 正常エッチング箇所 (図 2-3-4-3 (b)) の Via 断面の 2 次電子像。(a) 一つの Via の像。(b) プラグ部分の像。(c) プラグ上面付近の像。(d) プラグ端付近の像。(e) プラグ側面下方の像。)

## [ウェットエッチングによる Via プラグ出し加工後のデバイス特性の評価]

### (実施内容)

ウェットエッチングによってプラグ出し加工後の電気特性評価として、(各チップのデバイスを縦方向につなぐ)Via と Si 間のリーク電流を測定した。具体的には、図 2-3-4-5(a)に、Via と Si に直接プロービングし、半導体パラメータアナライザ-4156C を用いて 2 端子測定を行った。

### (実施結果)

図 2-3-4-5(b) に、Via と Si 間のリーク電流の測定結果を示す。リーク電流は 100 pA 以下と小さいことが分かる。このことから、ウェットエッチングによるプラグ出しでの加工ダメージがないことが分かる。

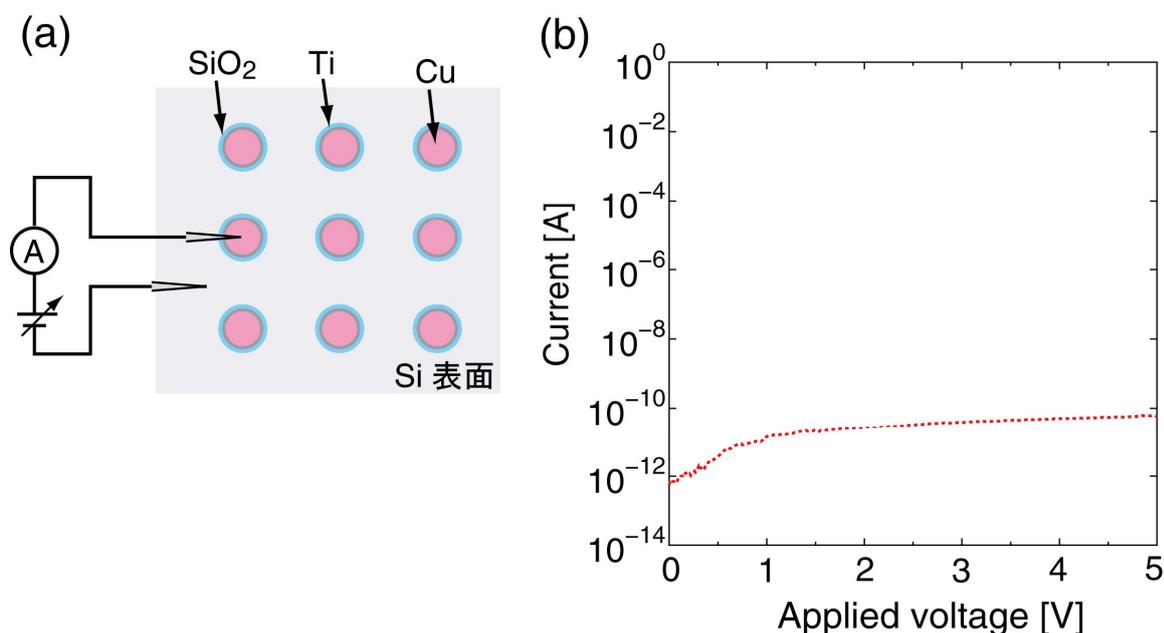


図 2-3-4-5: Via と Si 間のリーク電流の(a) 測定方法と(b) 測定結果。

## [Via プラグ出し加工ダメージ及びデバイス特性の評価のまとめ]

表 2-3-4-1 に、ウェットエッチングによる Via プラグ出し加工ダメージ及びデバイス特性の評価結果とそれらの目標値に対する達成度の評価を示す。未達成の項目については、今後、補完研究等で検討してゆく必要がある。

表 2-3-4-1 ウェットエッチングによる薄化工程の測定評価

項目	結果	目標値	評価
加工ダメージ	断面 SEM 観察でダメージがないことを確認。	加工ダメージの抑制	達成
金属汚染	Cu 微粒子が、Si 表面にわずかに付着した。	金属汚染の抑制	未達成
電気特性	Via と Si 間のリーク電流が 100 pA 以下と十分に小さかった。	劣化の抑制	達成

## 第3章 全体総括

### 3-1 本研究開発で得られた成果

本研究では、3次元実装プロセスを、量産レベルで、しかも高品質・低コストで実現するべく、低ダメージ・ダメージレス複合ウェット加工プロセスとそのための製造装置の開発を行うことを目的に、3つのサブテーマ「①ウェットエッチングによるシリコンの薄化」、「②レーザー・マイクロジェットによるVia形成加工」、「③ウェットエッチングによるViaプラグ出し」を実施した。

①については、HFとHNO<sub>3</sub>の混合比を最適化やウェットエッチング装置構造の工夫により、加工時間38s、超高速でのエッチングレート927μm/min、エッチング厚のユニフォーミティ2.1%を実現した。また、抗折強度とエッチング面に対する断面TEM(透過型電子顕微鏡)観察により、ウェットエッチング加工ダメージが小さいことを確認するとともに、薄化加工によるデバイス特性劣化がほぼないことを確認した。

②については、レーザー・マイクロジェットの導入により、短時間(50ms)でのVia加工に成功するとともに、断面SEM(走査型電子顕微鏡)観察により、Via形成加工ダメージが小さいことを確認した。一方で、レーザー照射条件・ウォータージェット水流条件などの最適化が不十分であるために、加工最小径は50~57μmとなり、目標の50μmに及ばなかった。また、Via形成加工後に、ゲート酸化膜絶縁不良モードのデバイス特性劣化が確認された。このような故障が生じる原因については、ウォータージェットに用いている水(電気伝導度が低い純水)が吹き出る際に、装置内部やノズル等と摩擦が生じて、静電気が発生するためだと考えている。今後、補完研究で、詳細に原因究明してゆくとともに、その対応策を検討してゆく必要がある。

③については、用いるアルカリエッチング液を最適化することにより、加工時間171s、高速でのエッチングレート3.64μm/min(平均値)、エッチング厚のユニフォーミティ2.75%を実現した。また、プラグの断面SEM(走査型電子顕微鏡)観察により、プラグ出し加工ダメージが小さいことを実証するとともに、プラグ出し加工後においてもViaとSiの間のリーク電流が小さいことを確認した。一方で、オージェ電子分光法での分析の結果、プラグ出し加工後に、Cu微粒子が、Si表面にわずかに付着することがわかった。今後、補完研究で、対応策を検討してゆく必要がある。

### 3-2 事業化への取組み

本研究によって得られた成果は、半導体産業の様々な分野への応用が期待される。特に、本開発装置は、表3-1-1に示すように、サブテーマに掲げたプロセスを組み合わせることによって、広範囲なアプリケーションに適用可能である。

バックグラウンドに代表される従来装置の市場規模は野村証券金融研究所レポートによれば、2007年度実績で2.4億ドル、2015年度以降予測では5億ドルに達する。本装置に代表される新型の装置の市場規模は、2015年度以降2億ドル/年と予測される。その中で、プレテックATとしては、市場シェア目標を60%とし、2015年度以降の売上を1億ドル/年を目標として事業化を進めていく。また、売上目標を達成するための取組みとしてお客様へのPR、評価などの販売活動を行っている。現在の販売活動の状況を表3-1-2に示す。

表 3-1-1 ウォータージェットレーザー加工機付

ウェットエッチング装置のアプリケーション

	3次元実装	ミニマルファブ (3DIC)	MOS デバイス	CMOS イメージセンサ	MEMS	パワーデバイス
厚さ	<50 μm	<50 μm	<50 μm	<50 μm	≒600~400 μm	≒60~700 μm
①サブテーマ1 : ウェットエッチングによるシリコンの薄化	薄化 破砕層除去	薄化	薄化 破砕層除去	薄化 破砕層除去	薄化 破砕層除去	薄化 破砕層除去
②サブテーマ2 : レーザー・マイクロジェットによる Via 形成加工	Via 形成 トリミング ダイシング	トリミング ダイシング	Via 形成 トリミング ダイシング	トリミング ダイシング	トリミング ダイシング	トリミング ダイシング
③サブテーマ3 : Via プラグ出し	Via プラグ出し	Via プラグ出し	Via プラグ出し	Via プラグ出し	Via プラグ出し	

表 3-1-2 お客様への販売活動状況

	PR 実施	評価ご検討	サンプル評価準備	サンプル評価実施 (継続)
A 社様	○	○	○	
B 社様	○	○	○	○
C 社様	○	○		
D 社様	○	○		
E 社様	○	○	○	
F 社様	○	○	○	○
G 社様	○	○	○	○
H 社様	○	○		
I 社様	○	-	-	-
J 社様	○	-	-	-
K 社様	○	-	-	-

### 3-3 ミニマルファブプロセスへの対応

本研究開発は、ミニマルファブ(産業技術総合研究所が提唱している多品種少量生産技術。生産品のサイズを生産量に見合うように最適化することで、多品種少量のビジネスを可能としている。)のプロセスへの対応も視野に入れている。ミニマルファブプロセスでは、ミニマルシャトル(局所クリーン化技術で、微粒子とガス分子を同時に遮断することができる搬送容器)から、試料を、プロセス装置の処理室へと搬送する。これまで、その試料の形状を、直径 0.5 インチの円形 Si ウェハとしてきたが、さまざまな製品開発に応えるためには、角形チップ(大きさは 10 mm 角)にも対応できるようにおく必要がある。そこで、10 mm 角チップに対応したミニマルシャトルを作製し、そこから、角形チップが搬送可能かどうかを確認した。その結果、ミニマルシャトルから 10 mm 角チップの出し入れ、フォークを用いた搬送ができることを確認した。(図 3-2-1 参照) このことは、本開発を、ミニマルファブプロセスへ適用する上で非常に大きいといえる。