

平成22年度予備費事業 戦略的基盤技術高度化支援事業
「高信頼性デジタルアシスト AD コンバータの研究開発」

研究開発成果等報告書

平成24年3月

委託者 東北経済産業局

委託先 公益財団法人 みやぎ産業振興機構

目 次

第1章 研究開発の概要

- 1-1 研究開発の背景・研究目的及び目標
- 1-2 研究体制（研究組織・管理体制、研究者氏名、協力者）
- 1-3 成果概要
- 1-4 当該プロジェクト連絡窓口

第2章 本論ーAD コンバータの実装要素技術の開発

- 2-1 キャリブレーションの高精度化と高速化
- 2-2 ハードウェアサイズの最適化

第3章 本論ーデジタルアシスト AD コンバータの回路設計

- 3-1 65nm プロセスの設計手法の構築
- 3-2 アナログ BIST/BOST Co-Design 設計
- 3-3 デジタル部論理設計による FFT 処理最適化
- 3-4 Gain/Offset 補正付き AD コンバータの回路設計
- 3-5 Phase Skew の補正回路設計
- 3-6 BIST/BOST のシステム制御回路設計

第4章 本論ーデジタルアシスト AD コンバータの試作開発

第5章 本論ーデジタルアシスト AD コンバータの評価

- 5-1 評価用 FPGA ボードの完成
- 5-2 最終評価

第6章 全体総括

第 1 章 研究開発の概要

1 - 1 研究開発の背景・研究目的及び目標

(1) 実施計画の細目 (手法・手段・研究場所等)

1) 研究の目的

近年、SoC (System On Chip) に A/D コンバータを搭載した LSI の割合は非常に多い。半導体プロセスの微細化によって、デジタル回路は、高集積化と情報の高速処理がなされ、飛躍的に進歩している。一方、A/D コンバータに代表されるアナログ回路は、微細化に伴う回路動作電圧の低下によりアンプの利得が得られないため、その特性は大きく劣化し、また、相対的にノイズの影響が大きくなる為、安全性と信頼性が失われる問題がある。

このような状況を鑑み、デジタル回路でアナログ回路の特性を補正する技術、および、デジタル補正を前提とし、高い利得を必要とするアナログ・アンプを使用せずに高速処理、低消費電力を実現するアーキテクチャの開発、また、そのアーキテクチャを使った回路を自動的に生成する技術を実現することで、開発時間、コストの削減とともに、安全性と信頼性を 100% に保つ SoC 技術の高度化を目指す。

2) 研究の概要

現在の AD コンバータは高速処理・高消費電力・回路面積大のパイプライン方式が主流だが、昨今のアナログ技術の進展に伴い、より高速な AD コンバータが求められている。同時に、環境資源保護の観点から省電力性も重視されている。これらが現在の川下産業のニーズである。

現在主流のパイプライン方式 AD コンバータは、高速化に伴い消費電力及び回路面積が飛躍的に増大する。一般に、半導体における省電力と小型化に有効な手法はプロセス微細化技術であるが、パイプライン方式 AD コンバータではダイナミックレンジの大きな線形増幅器を必要とするため、微細プロセスを適用できない。即ち、パイプライン方式 AD コンバータの改良では川下産業のニーズに応える事が出来ない。

本研究では、下記理由からかつての主流であった逐次比較方式 AD コンバータに着眼した。

- ・消費電力と回路面積が非常に小さい
- ・線形増幅器を使わないため最新の微細プロセス技術に対応できる
- ・処理速度が遅いが、複数の逐次比較方式 AD コンバータを使い、時分割処理によって高速処理が実現可能

但し、AD コンバータは工業製品であり、個体毎に一定の性能誤差(公差)が生じる事は避けられず、電気的特性バラツキをゼロとする事は不可能である。時分割処理方式は AD コンバータ間で僅かでも特性バラツキがあると AD 変換精度が大きく劣化することから、個々の AD コンバータに電気的特性バラツキが有る事を前提に、これを補正する技術が必要となる。

この補正技術は、デジタル回路によって電気的特性バラツキを解析して補正する技術

及びデジタルアシスト技術によって実現する。デジタル回路は多数の機能を小面積で実現できる為、消費電力増加を最小限に抑える事ができ、温度など環境条件に左右されない。なお、アナログ回路では、回路規模が膨大になり消費電力が増加し、温度による影響を受けやすく環境条件により補正精度が変化する。

また、アナログ回路全般（AD コンバータに限らず）はデジタル回路の様な自己診断回路を持たない為、出荷時検査や運用において異常（製造不良や故障）が生じた場合、その診断に時間を要してしまい、川下産業の潜在的な課題として、テストコストの削減が挙げられている。アナログ回路で自己診断機能を実現する事は技術的に困難で、未だ実現されていない。

本研究で実現するデジタルアシスト回路は、アナログ回路の電気的特性を解析するもので、迅速かつ容易に自己診断機能を有する AD コンバータを実現する。

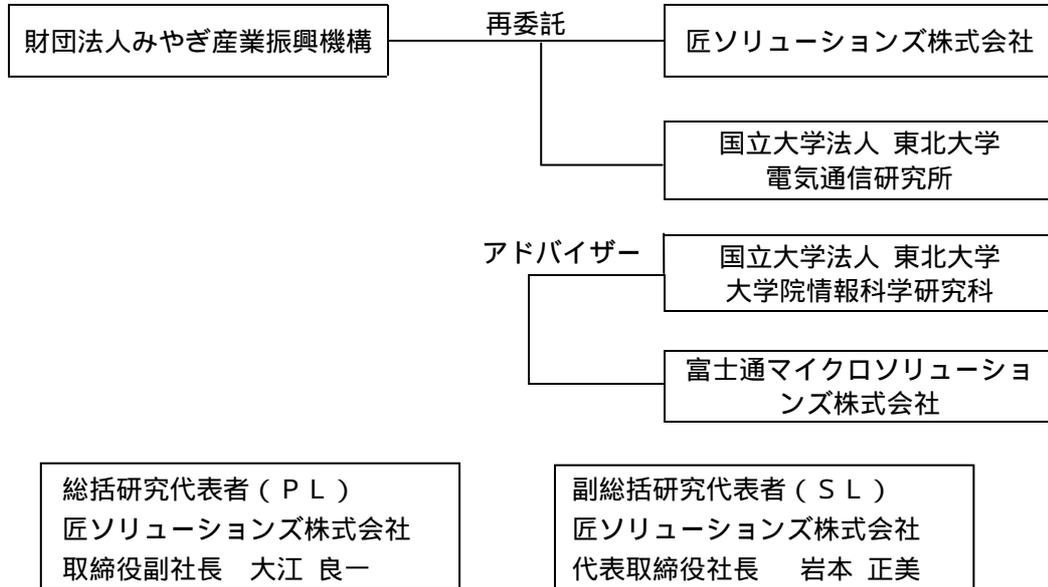
本研究は、平成 21 年度の研究成果（平成 21 年度補正予算戦略的基盤技術高度化支援事業採択事業）を基に AD コンバータの実装に係る、下記項目を技術的目標とした。

<u>情報処理の高速化</u>	<u>: 200MSPS</u>	平成 21 年度達成
<u>利得・オフセットのミスマッチ</u>	<u>: ±1 LSB 以下</u>	平成 21 年度達成
<u>Phase Skew の抑制</u>	<u>: 10psec 以内</u>	本研究
<u>小型化</u>	<u>: 5mm² 以下</u>	本研究
<u>低消費電力化</u>	<u>: 10mw 以下</u>	本研究
<u>自己診断時間</u>	<u>: 2msec 以内</u>	本研究

1 - 2 研究体制

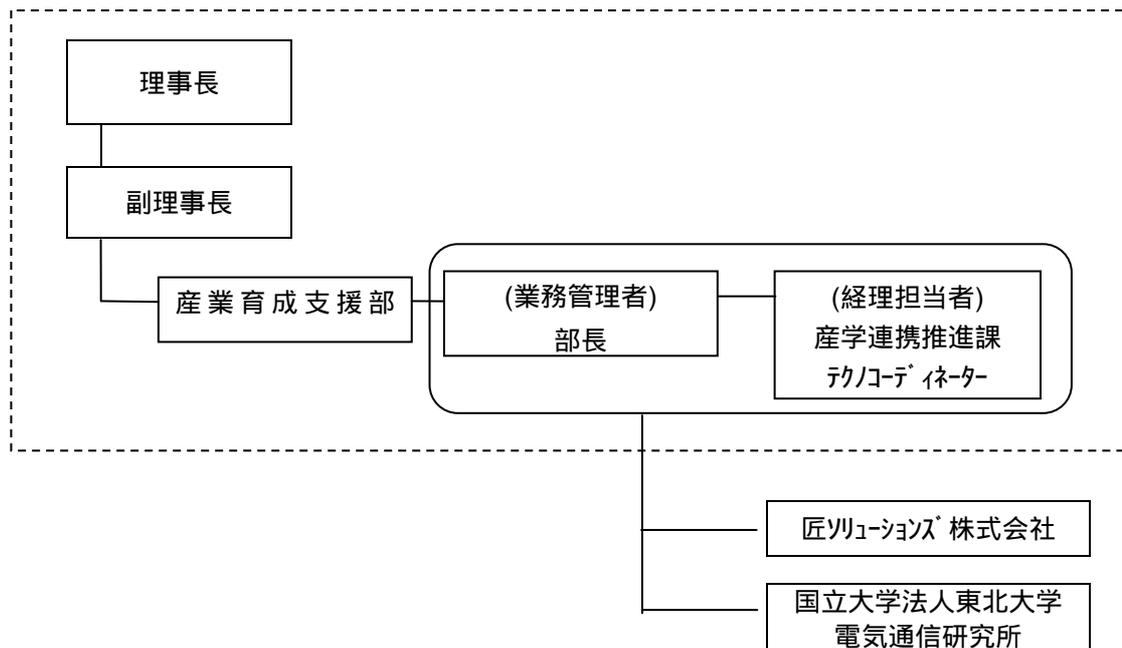
(1) 研究組織及び管理体制

1) 研究組織 (全体)

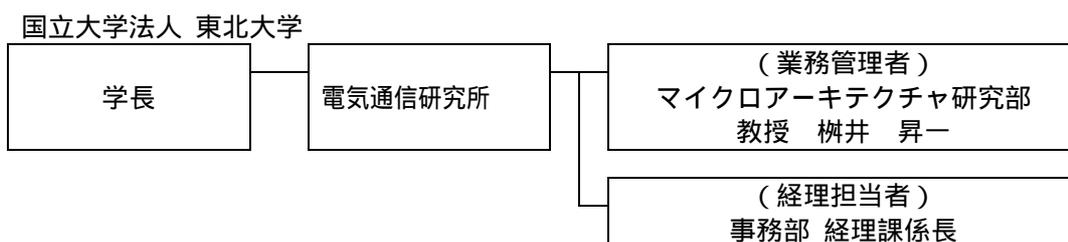
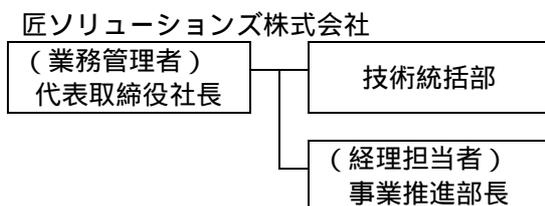


2) 管理体制

事業管理者 [公益財団法人みやぎ産業振興機構]



(再委託先)



(2) 研究員及び管理員 (役職・実施内容別担当)

【総括事業代表者 (PL)】(プロジェクト管理員)

氏名	所属・役職
大江 良一	匠ソリューションズ株式会社・取締役副社長

【管理法人】財団法人みやぎ産業振興機構

管理員 (プロジェクト管理員)

氏名	所属・役職
中塚 朝夫	産業育成支援部 ・ 部長
町田 博	産業育成支援部産学連携推進課・テクニク・アドバイザー
八重樫 順一	産業育成支援部産学連携推進課・テクニク・アドバイザー

【再委託先 (研究員)】

匠ソリューションズ株式会社

氏名	所属・役職
大江 良一	取締役副社長・事業推進部長
岩本 正美	代表取締役社長
堀米 春輝	技術統括部・研究員
ラサル ラグィカト	技術統括部・研究員
佐藤 崇	技術統括部・研究員
鈴木 彰	技術統括部・研究員

国立大学法人 東北大学

氏名	役職・所属
榎井 昇一	電気通信研究所 教授

(3) 経理担当者及び業務管理者の所属、氏名

【管理法人】

公益財団法人みやぎ産業振興機構

(経理担当者) 産業育成支援部 産学連携推進課 テクノ・イネーター 町田 博
 (業務管理者) 産業育成支援部 部長 中塚 朝夫

【再委託先】

匠ソリューションズ株式会社

(経理担当者) 取締役副社長・事業推進部長 大江 良一
 (業務管理者) 代表取締役社長 岩本 正美

国立大学法人 東北大学

(経理担当者) 電気通信研究所 経理課経理係長 秩父 啓輔
 (業務管理者) 電気通信研究所 教授 榎井 昇一

(4) 他からの指導・協力者名及び指導・協力事項

研究推進会議 委員

氏名	所属・役職	備考
大江 良一	匠ソリューションズ株式会社・取締役副社長、事業推進部長	PL
岩本 正美	匠ソリューションズ株式会社・取締役副社長	SL
堀米 春輝	匠ソリューションズ株式会社技術統括部・研究員	
カサハ ライカト	匠ソリューションズ株式会社技術統括部・研究員	
佐藤 崇	匠ソリューションズ株式会社技術統括部・研究員	
鈴木 彰	匠ソリューションズ株式会社技術統括部・研究員	
榎井 昇一	国立大学法人東北大学電気通信研究所・教授	
中塚 朝夫	(財)みやぎ産業振興機構 産業育成支援部・部長	
村上 信幸	(財)みやぎ産業振興機構 産学連携推進課・課長	
碓井 聡	(財)みやぎ産業振興機構 産学連携推進課・副参事	
町田 博	(財)みやぎ産業振興機構 産学連携推進課・テクノ・イネーター	
八重樫 順一	(財)みやぎ産業振興機構 産学連携推進課・テクノ・イネーター	
青木 孝文	国立大学法人 東北大学大学院情報科学研究科・教授	アドバイザー
助村 隆郎	富士通マイクロソリューションズ株式会社・統括部長	アドバイザー

アドバイザーの役割

アドバイザー	主な指導・協力事項
青木 孝文	A/Dコンバータの市場動向、システムへの応用・展開
助村 隆郎	エンドユーザからの要望の吸い上げ

1 - 3 成果概要

(1) AD コンバータの実装要素技術の開発

(1)-1 キャリブレーションの高精度化と高速化 (担当; 東北大学電気通信研究所)

平成 21 年から 22 年にかかる研究開発事業及び補完研究事業 (以降は「現在までの研究」と言う) の成果では、キャリブレーション時間が約 5msec かかっており、下記対策を実施し、キャリブレーション時間 2msec 以下となるようなアルゴリズムを確立した。

(1)現状の FFT の処理が、Ch0 をリファレンスとした 4 個の AD コンバータに対して、Ch0 と Ch1、Ch0 と Ch2、Ch0 と Ch3 の 2 本の信号の合成波に対して合計 3 回の FFT が必要となる課題に対し、Ch0 から Ch3 の 4 本の合成波により一回の FFT で実現する手法を確立した。

(2)キャリブレーション実施時に評価するゲイン誤差、オフセット誤差、Phase Skew は、FFT スペクトルが特定の周波数のみに現れる性質を利用し、FFT 計算量を抜本的に削減する手法を開発した。

なお、最新の研究動向を調査するため、回路設計に関する最新の研究成果が報告される ISSCC(International Solid-State Circuit Conference) (2011 年 2 月開催) および、CICC(Custom Integrated Circuit Conference) (2011 年 9 月開催) の両国際会議に出席し、新たな高精度・高速キャリブレーションの研究動向を調査し、学会発表ではデジタルドメインのデジタルアシスト技術が主体であった。

(本研究はアナログドメインのデジタルアシスト技術) デジタルドメインのデジタルアシスト技術は、実用化されるまでの課題が多いことが分かった。

(1)-2 ハードウェアサイズの最適化 (担当; 匠ソリューションズ 社)

現在までの研究成果では、デジタル部の回路規模は 200K ゲート + 700KbRAM となっている。更に、ゲイン、オフセット、Phase Skew のみを算出する簡易的な FFT 演算方法を検討し、デジタルアシストの回路規模を 80K ゲート+217KbRAM に最適化する事で、AD コンバータの面積を約 4.8mm² (5mm² 以下) 消費電力を 9.98mW (10mW 以下) を達成した。但し()内は目標値。

(2) デジタルアシスト AD コンバータの回路設計

(2)-1 65nm プロセスの設計手法の構築 (担当; 東北大学電気通信研究所)

【目標】 -1 ~ -5 の論理設計、物理設計を行う際に必要となる 65nm プロセスにおいて、システム全体が検証可能となるアナログ・ミックスドシグナル回路設計手法を構築する。

前述の Murmann 教授によれば、現状のデジタルアシスト・システムでは、Matlab による機能レベルの確認がなされているだけで、回路レベルでの検証はなされていない。このため、Verilog-AMS 環境を構築し、回路レベルでの動作検証が可能な設計環境を構築した。

(2)-2 アナログ BIST/BOST Co-Design 設計 (担当; 匠ソリューションズ 社)

【目標】 -1 の結果を基に、自己診断時間 2msec 以下、テストコストの 1/3 (従来比) 削減を目指す。

アナログ回路およびデジタル回路の自己診断テストを行うため、LSI 内部にテストパタンを自動発生する回路とその出力を解析する回路 (BIST: Built-In Self Test) を内蔵させた。更に、BIST 回路によって自動発生したテストパタンの補正や自己診断さ

れた結果を元に外部診断結果を通知する回路（BOST：Built-Out Self Test）を組み合わせ、テスト効率を向上させ、テストコストを下げた。

(2) - 3 デジタル部論理設計による FFT 処理最適化 (担当 ; 匠ソリューションズ 社)

【目標】デジタルアシスト回路の回路規模及びメモリ容量の削減（平成 21 年度研究の 1/2 以下）を実施する。

平成 21 年度の研究では、一般的な FFT のアルゴリズムを用いて、アナログ特性の解析を行う手法を用いていたが、回路規模および使用するメモリ容量が増加していた。この問題の回避策として、FFT アルゴリズムをベースに、より簡易化させたアルゴリズムを研究した後、デジタルアシスト回路の設計を行った。

(2) - 4 Gain/Offset 補正付き AD コンバータの回路設計 (担当 ; 匠ソリューションズ 社)

【目標】65nm プロセス対応可能な Gain/Offset 補正付き AD コンバータ回路を実現。

平成 21 年度の研究開発で得られた DAC とリニア・アンプを使用した補正回路をそのまま 1-Chip 化する事は困難である。そこで、65nm プロセスに対応できる、Gain/Offset の補正を行えるアナログ回路を研究し、AD コンバータに実装する。

(2) - 5 Phase Skew の補正回路設計 (担当 ; 匠ソリューションズ 社)

【目標】Phase Skew（クロックのゆらぎ、ゆらぎの大きさによって誤動作に繋がる）補正回路の設計を行う。

クロックをベースに動作しているアナログ回路は、Phase Skew を如何に小さく抑えるかが大きな課題であり、本研究では、Phase Skew を 10psec 以下に抑える技術を研究開発し、アナログ回路の誤動作を防止し、システムに影響が出ない範囲まで誤差を削減させた。

(2) - 6 BIST/BOST のシステム制御回路設計 (担当 ; 匠ソリューションズ 社)

【目標】(2) - 1 で開発するアナログ BIST/BOST 回路にシステムレベルで BIST 回路を制御するような改造を施すことにより、システム処理の合間にアナログ特性を補正し、使用環境に応じたアナログ特性の補正を行うことを可能とする。

LSI 外部からの制御により BIST 回路を起動する仕組みを開発し、より安全性の高いデジタルアシスト AD コンバータを実現させた。

(3) デジタルアシスト AD コンバータの試作開発 (担当 ; 匠ソリューションズ 社)

【目標】(2) で開発する回路設計結果を基に、65nm プロセスを用いてデジタルアシスト回路を搭載した AD コンバータのチップレイアウト（IC チップインプリ）及び IC（LSI）試作の仕様を作成し、LSI 試作品を製造する

微細化に伴うアナログ特性の劣化を対策し、デジタルアシスト AD コンバータ IC（LSI 試作品）を実現した。

(4) デジタルアシストADコンバータの評価(担当:匠ソリューションズ社)

(4)-1 評価用FPGAボードの完成

【目標】(3)のLSI試作品を評価するために、評価用FPGAボードの製作を行う。

評価用FPGAボードは、平成21年度の研究で製作した評価用FPGAボード(メインボード)に改造を加えて製作した。また、書き換え可能なFPGAには評価・解析を行うための回路を設計し搭載した。また、LSI試作品を搭載するためのサブ基板を新規に製作し、評価用FPGAボードに接続させ、デジタルアシストADコンバータの評価環境の構築を行った。

(4)-2 最終評価

(3)で開発したLSI試作品と、(4)-1で開発した評価用FPGAボードを用いて、速度(サンプリング周波数)、利得・オフセットのミスマッチ、Phase Skewを測定し、目標数値を達成していることを確認した。

1-4 当該プロジェクト連絡窓口

公益財団法人みやぎ産業振興機構

〒980-0011 宮城県仙台市青葉区上杉一丁目14番地2

Tel: 022-225-6636 Fax: 022-263-6923

e-mail: koudo@joho-miyagi.or.jp

産業育成支援部 部長 中塚 朝夫

産業育成支援部産学連携推進課 村上信幸、碓井聡、町田博、八重樫順一

第2章 本論 - AD コンバータの実装要素技術の開発

2 - 1 キャリブレーションの高精度化と高速化

実施項目と結果は下記の通りである。

- 1) 現状の FFT の処理が、Ch0 をリファレンスとした 4 個の AD コンバータに対して、Ch0 と Ch1、Ch0 と Ch2、Ch0 と Ch3 の 2 本の信号の合成波に対して合計 3 回の FFT が必要となる課題に対し、Ch0 から Ch3 の 4 本の合成波により一回の FFT で実現する手法を確立した。
- 2) キャリブレーション実施時に評価するゲイン誤差、オフセット誤差、Phase Skew は、FFT スペクトルが特定の周波数のみに現れる性質を利用し、FFT 計算量を抜本的に削減する手法を開発した。本成果を基に、匠ソリューションズ社で Tapeout 完了した。
- 3) キャリブレーションの高精度化と高速化に関する抜本的な改善手法を研究した。

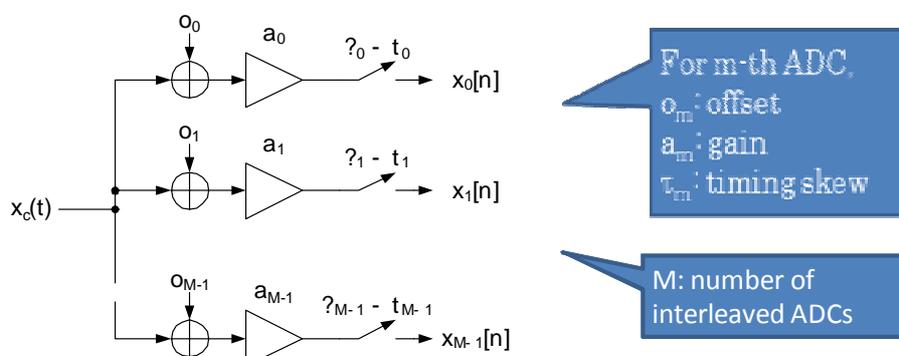
Digital-Assist 技術の基本からの再検討

LMS を利用した Time-Interleaved A/D 変換器の Gain/Offset/Phase Skew の検出・補正技術の検討

なお、最新の研究動向を調査するため、回路設計に関する最新の研究成果が報告される ISSCC(International Solid-State Circuit Conference) (2011 年 2 月開催) および、CICC(Custom Integrated Circuit Conference) (2011 年 9 月開催) の両国際会議に出席し、新たな高精度・高速キャリブレーションの研究動向を調査した。前者の ISSCC 出張時においては、Stanford 大学を訪問し、Murmman 教授と情報交換を行い、研究の方向性について議論した。

【FFT 処理の簡略化】

- M 個の ADC に対し通常動作(time-interleaved 動作)と同じようにクロックを与える
 - 実際と同じような mismatch が現れるはず
 - ただし、出力は各 ADC で個別に観測する



- 各 ADC は周波数 f_s/M で動作しているの、これらを $(1/f_s)$ ずつずれて同期した独立の ADC とみなす
- それらに周波数が既知の正弦波を入力することで、offset, gain および phase skew を検出する
 - ただし、検出時各 ADC は f_s/M で動作するため、正弦波の周波数は $(f_s/M)/2$ より低くなければならない
- 正弦波を以下のように仮定する

$$x_c(t) = A \cos\left(2\pi \frac{k_0}{N} \frac{f_s}{M} t + \varphi\right)$$

ここで、 φ は 0 番目の ADC の出力における初期位相を示す

- m 番目の ADC の出力を考えてみる
 - Time-Interleaved のときのサンプリング周期を T_s とする
- Offset o_m が加算されている
- Gain a_m が乗算されている
- n 番目のサンプルがサンプリングされる時刻は、m 番目の ADC では $nMT_s + mT_s + \tau_m$
 - mT_s は time-interleaved 動作のための「理想的な」時間差
 - τ_m はタイミングの誤差
- 正弦波 $x_c(t)$ に対する m 番目の ADC の出力は

$$x_m[n] = a_m \cdot A \cos\left[2\pi \frac{k_0}{N} \left(n + \frac{m}{M} + \frac{f_s}{M} \tau_m\right) + \varphi\right] + o_m$$

Gain 0番目のADCとの理想的な時間差 Phase skew による時間差 Offset

- Offset は直流分としてあらわれる
- Gain は振動成分の振幅にあらわれる
- Timing Skew は振動成分の位相にあらわれる
- 振動成分の振幅・位相を得るため、周波数解析する
- $x_m[n]$ の N-point DFT spectrum は以下の形になる

$$X_m[k] = NC_{e,m} \cdot \delta[k - k_0] + NC_{e,m}^* \cdot \delta[k - (N - k_0)] + No_m \cdot \delta[k]$$

k_0 番目の bin の値 $(N - k_0)$ 番目の bin の値 0 番目の bin の値

- ここで、振動成分 (k_0 番目の bin) について、

$$X_m[k_0] = N \cdot A e^{j\varphi} \cdot e^{j2\pi \frac{k_0}{MN} m} \cdot a_m e^{-j2\pi \frac{k_0}{MN} f_s \tau_m} C_{e,m}$$

- ただ 1 つの bin に gain と timing skew が両方含まれる
- したがって、mismatch は以下の形で検出される

絶対値 $|X_m[k_0]| = \underline{N \cdot A} \cdot a_m$ 下線部は定数

偏角 $\angle X_m[k_0] = \varphi + \underline{2\pi \frac{k_0}{MN} m} - 2\pi \frac{k_0}{MN} f_s \tau_m$

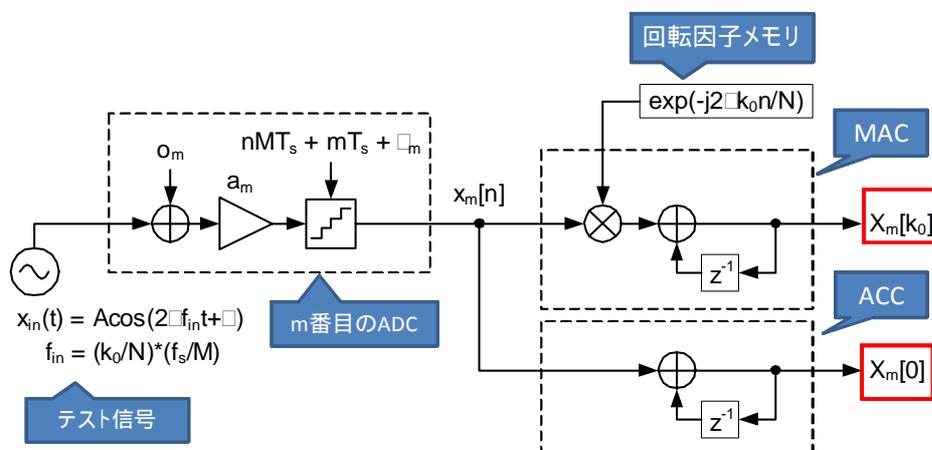
$$X_m[0] = \underline{N} \cdot o_m$$

- 定数が乗算/加算されているが、mismatch を比や差で表現するならば、容易に計算することができる
- 0 番目と k_0 番目の bin のみが必要なため、FFT 処理の簡略化ができる
- $X_m[0]$ は積算にすぎない
- $X_m[k_0]$ は信号 $x_m[n]$ と $\exp(-j2\pi k_0 n/N)$ の内積である
 - 式で書くと以下ようになる

$$X_m[k_0] = \sum_{n=0}^{N-1} x_m[n] \cdot e^{-j2\pi \frac{k_0 n}{N}}$$

- 式の形が示す通り、この計算は積和演算器で実装できる
- 積和演算をサンプリングと同期させれば、リアルタイムで FFT 処理ができることになる！

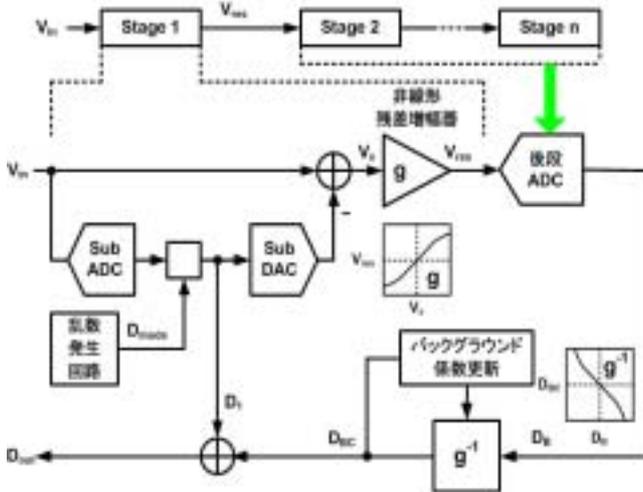
ハードウェア実現



【Digital-Assist 技術の基本からの再検討】

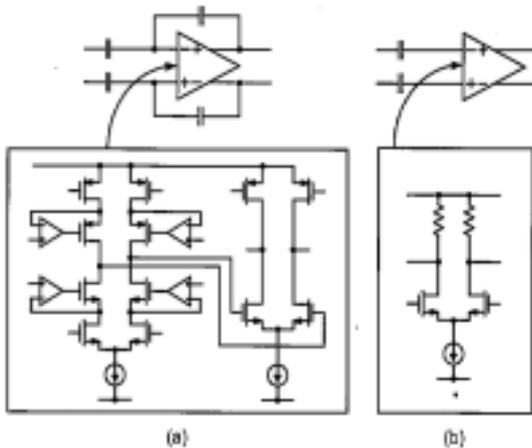
■ 目的

- Scaled CMOS テクノロジにおける A/D 変換器における FoM の改善
- Pipeline A/D 変換器に注目し、消費電力の最小化をめざす
- Residue Amplifier において、Power を必要とする OTA を用いず、非線形の Open Loop Amplifier を使用、非線形性を Digital 回路により Background で補正



Murmann and Boser,
Digitally-Assisted Pipeline ADCs
Kluwar, 200

Open-Loop Amplifier の特徴



	Two-Stage Amplifier	Open-Loop Amplifier
Power	$V_{DD}(I_{D1} + I_{D2}) + V_{DD} \frac{g_m + g_{m1}}{g_m}$	$V_{DD} \cdot I_D = V_{DD} \frac{g_m}{g_b}$
Speed	$F \cdot \frac{g_{m1}}{C_c}$	$\frac{1}{RC}$
Dynamic Range	$\frac{\frac{1}{2} V_{ov}^2}{2 \cdot \frac{1}{F} \frac{kT}{C_c} \left(1 + F \frac{C_c}{C_c}\right)}$	$\frac{\frac{1}{2} V_{ov}^2}{(1 + g_m R) \cdot \frac{kT}{C}}$

$$FOM_{PSD} = \frac{Power}{Speed \cdot DynamicRange}$$

$$F = \frac{1}{G+1} = \frac{1}{g_m R + 1} \quad \exists: g_m / I_D$$

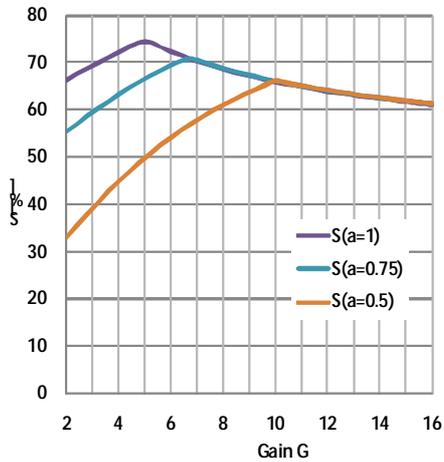
$$FOM_{PSDa} = 4kT(1+G^2) \frac{V_{DD}}{\eta_a V_{ref}^2} \left(1 + \frac{\sqrt{3}}{G+1}\right)^2$$

$$FOM_{PSDb} = 2kTG(1+G) \frac{V_{DD}}{\eta_b V_{ref}^2}$$



Open-Loop 化による
FoM の改善

$$S = \frac{FOM_{PSDa} - FOM_{PSDb}}{FOM_{PSDa}} = 1 - \frac{1}{2} \frac{\eta_a}{\eta_b} \frac{G}{1+G} \frac{1}{\left(1 + \frac{\sqrt{3}}{G+1}\right)^2}$$

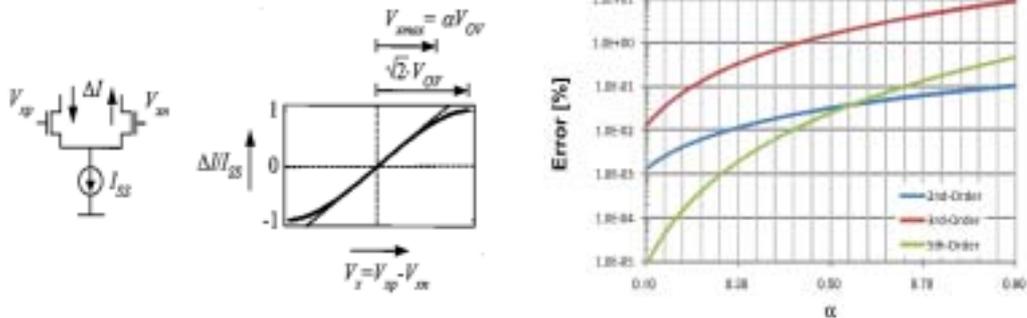


$$\alpha V_{ovb} = \frac{2\alpha}{\eta_b} = V_{in,max} \cong \frac{V_{ref}}{G} \Rightarrow \eta_b = \frac{2G\alpha}{V_{ref}}$$

Gain が 2~4 では、入力レンジの影響を受けても 30~50%の電力削減が可能

Open-Loop Amplifier の課題: Nonlinearity

- Differential Pair における Nonlinearity
 - Nonlinearity が大きくない場合、3 次までを考慮すれば良い
 - この前提で Digital 補正を実施

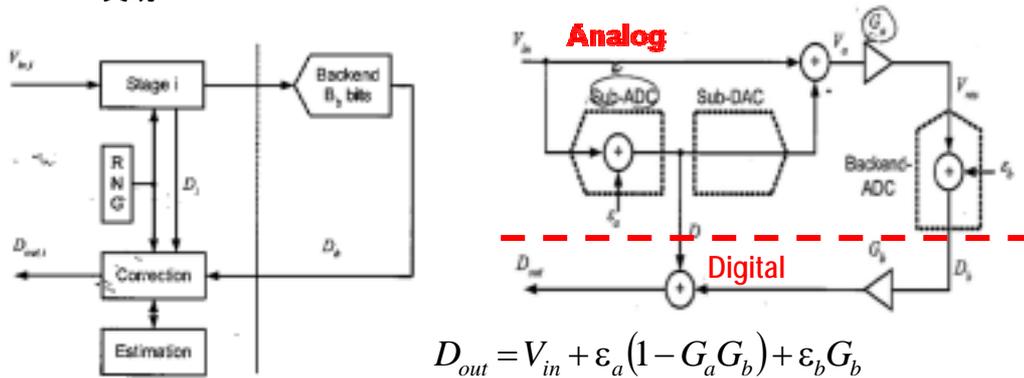


$$\frac{\Delta I}{I_{SS}} = \left(\frac{V_x}{V_{OV}}\right) + \frac{1}{4} \frac{\Delta\beta}{\beta} \left(\frac{V_x}{V_{OV}}\right)^2 - \frac{1}{8} \left(\frac{V_x}{V_{OV}}\right)^3 - \frac{1}{128} \left(\frac{V_x}{V_{OV}}\right)^5 - \dots$$

$$V_{xmax} = \alpha V_{OV} \cong \frac{V_{ref}}{G}$$

Digitally-Assisted Pipeline Stage の構成

- 初段のみを Calibration する: 後段は Backend Stage B_b で簡略化
 - “Correction” 部: Open-Loop Amplifier の Nonlinear 成分を Digital 補正
 - ” Estimation ” 部: Digital 補正回路のパラメータを算出
 - ” RNG ” 部: Background 補正における、パラメータを算出可能とする条件の実現



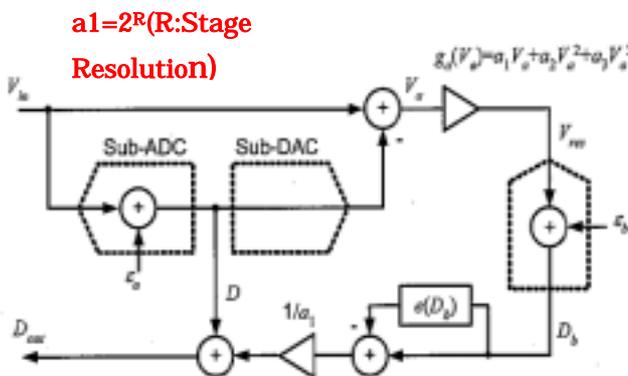
$$D_{out} = V_{in} + \varepsilon_a(1 - G_a G_b) + \varepsilon_b G_b$$

$$G_b = 1/G_a \text{ の場合: } D_{out} = V_{in} + \varepsilon_b / G_a$$

Digital 補正回路

- G_a を $g_a(V_a)$ として Polynomial Model で表記し、Additive に補正

$$\left. \begin{aligned} D_{out} &= V_{in} + \varepsilon_a(1 - G_a G_b) + \varepsilon_b G_b \\ G_a &= g_a(V_a) = a_1 V_a + a_2 V_a^2 + a_3 V_a^3 \end{aligned} \right\} \begin{aligned} D_{out} &= V_{in} + \varepsilon_a + g_b [g_a(-\varepsilon_a) + \varepsilon_b] \end{aligned}$$

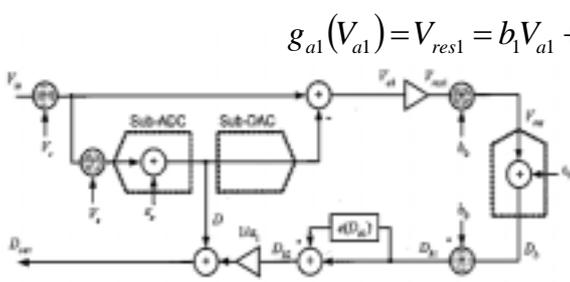


$g_b = 1/g_a$ の実現

$$\begin{aligned} D_{out} &= V_{in} + \varepsilon_b \left. \frac{dg_b}{dD_b} \right|_{D_b = g_a(-\varepsilon_a)} \\ &= V_{in} + \varepsilon_b \left(\left. \frac{dg_a}{dV_a} \right|_{V_a = -\varepsilon_a} \right)^{-1} \end{aligned}$$

- しかし、 $g_a(V_a)$ の逆関数を求めるのは、容易ではない
- g_a を、Fully Differential Amplifier に適用できるように変更

$$g_a(V_a) = a_1V_a + a_2V_a^2 + a_3V_a^3 = b_0 + b_1(V_a - V_s) + b_3(V_a - V_s)^3$$



$$g_{a1}(V_{a1}) = V_{res1} = b_1V_{a1} + b_3V_{a1}^3$$

$$b_0 = \frac{2a_2^3}{27a_3^2} - \frac{a_1a_2}{3a_3}$$

$$b_1 = a_1 - \frac{a_2^2}{3a_3} \quad b_3 = a_3$$

$$V_s = -\frac{a_2}{3a_3}$$

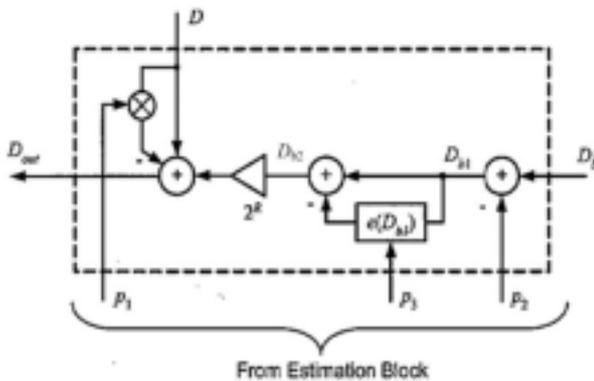
$$e(V_a) = g_a(V_a) - a_1V_a \quad \longrightarrow \quad e(V_{res}) = g_a(g_a^{-1}(V_{res})) - a_1g_a^{-1}(V_{res}) = V_{res} - a_1g_a^{-1}(V_{res})$$

$$\longrightarrow e(D_b) = D_b - \varepsilon_b - a_1g_a^{-1}(D_b - \varepsilon_b)$$

$$\longrightarrow e(D_{b1}) \cong D_{b1} - b_1g_a^{-1}(D_{b1}) \quad \longrightarrow \quad e(D_{b1}) = D_{b1} - 2\sqrt{\frac{-b_1^3}{3b_3}} \cos\left[\frac{\pi}{3} + \frac{1}{3} \cos^{-1}\left(D_{b1} / 2\sqrt{\frac{-b_1^3}{27b_3}}\right)\right]$$

デジタル補正: Lookup Table

■ 補正回路の全体構成



$$g_a(V_a) = b_0 + b_1(V_a - V_s) + b_3(V_a - V_s)^3$$

$$b_0 = \frac{2a_2^3}{27a_3^2} - \frac{a_1a_2}{3a_3} \quad b_1 = a_1 - \frac{a_2^2}{3a_3} \quad b_3 = a_3$$

$$p_{1opt} = 1 - \frac{b_1}{2^R} = 1 - \frac{a_1 - \frac{a_2^2}{3a_3}}{2^R} \quad p_{3opt} = \frac{b_3}{b_1^3} = \frac{a_3}{\left(a_1 - \frac{a_2^2}{3a_3}\right)^3} \cong \frac{a_3}{a_1^3}$$

$$p_{2opt} = \frac{2a_2^3}{27a_3^2} - \frac{a_1a_2}{3a_3} \cong -\frac{a_1a_2}{3a_3}$$

これらパラメータを
“ Estimation ” 部で求
める

2 - 2 ハードウェアサイズの最適化

FFT 演算は、正弦波信号に位相不連続性が存在すると、正弦波とは無関係の信号成分が演算結果に現れる。通常は窓関数を使用して位相不連続性を抑えるが、窓関数は複雑な演算であり、これを回路化する事が回路規模の増大に繋がっていた。ここで、正弦波を"ある特定の周波数"とする事で位相不連続性を無くす事ができ、窓関数を不要とできる。

また、Gain / Offset / Phase Skew は FFT 演算結果の特定の周波数 bin にのみ表れる性質がある事から、FFT 演算対象をこれらの bin のみとする事で回路規模を削減した。

以上の手法で最適化した FFT 演算回路は、積和演算のみで構成されるシンプルな回路となった。最適化後の FFT 回路ブロック図を下図 2 - 2 . 1 に示す。

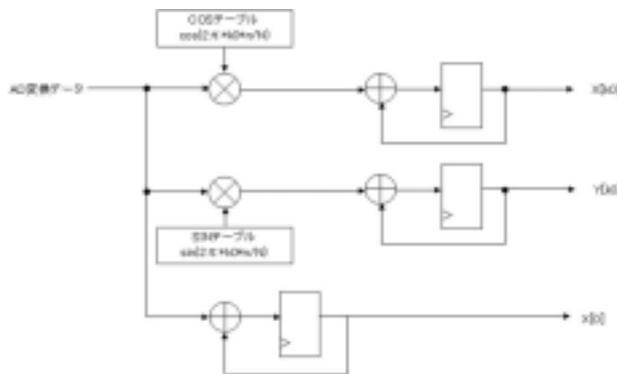


図 2 - 2 . 1 最適化した FFT 演算回路

以上の手法で回路規模を削減した結果、デジタルアシスト AD コンバータ全体で 5mm^2 以下のサイズを実現した。下図 2 - 2 . 2 にチップサイズを示す。

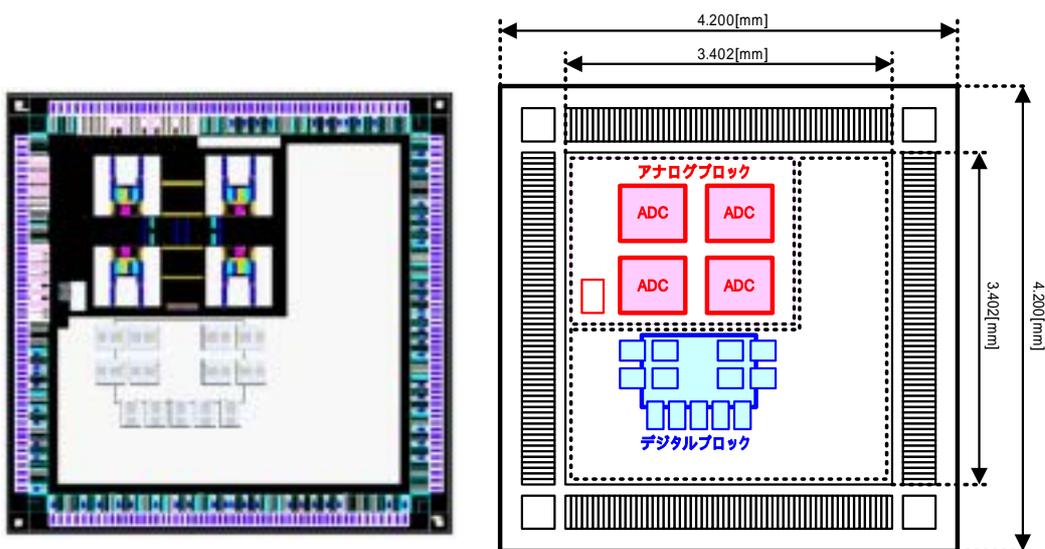


図 2 - 2 . 2 デジタルアシスト AD コンバータのチップサイズ

第 3 章 本論 - デジタルアシスト AD コンバータの回路設計

デジタルアシスト AD コンバータに本来必要となる機能は次の 3 つである。

Gain エラー / Offset エラー / Phase Skew を検出する機能

Gain / Offset / Phase Skew を調節する機能

Gain / Offset / Phase Skew の補正量を算出する機能

本年度の研究で試作するデジタルアシスト AD コンバータ LSI は、上記 3 つのうち を内蔵する。 の補正量算出機能については、補正量演算結果を格納する RAM を LSI 内部に設け、演算そのものは L S I 外部 (P C やマイコン等) で行う仕様とした。本仕様により、補正演算式の構成に柔軟性を持たせる事が出来た。

試作デジタルアシスト AD コンバータ LSI の機能ブロック図を下図 3 . 1 に記す。

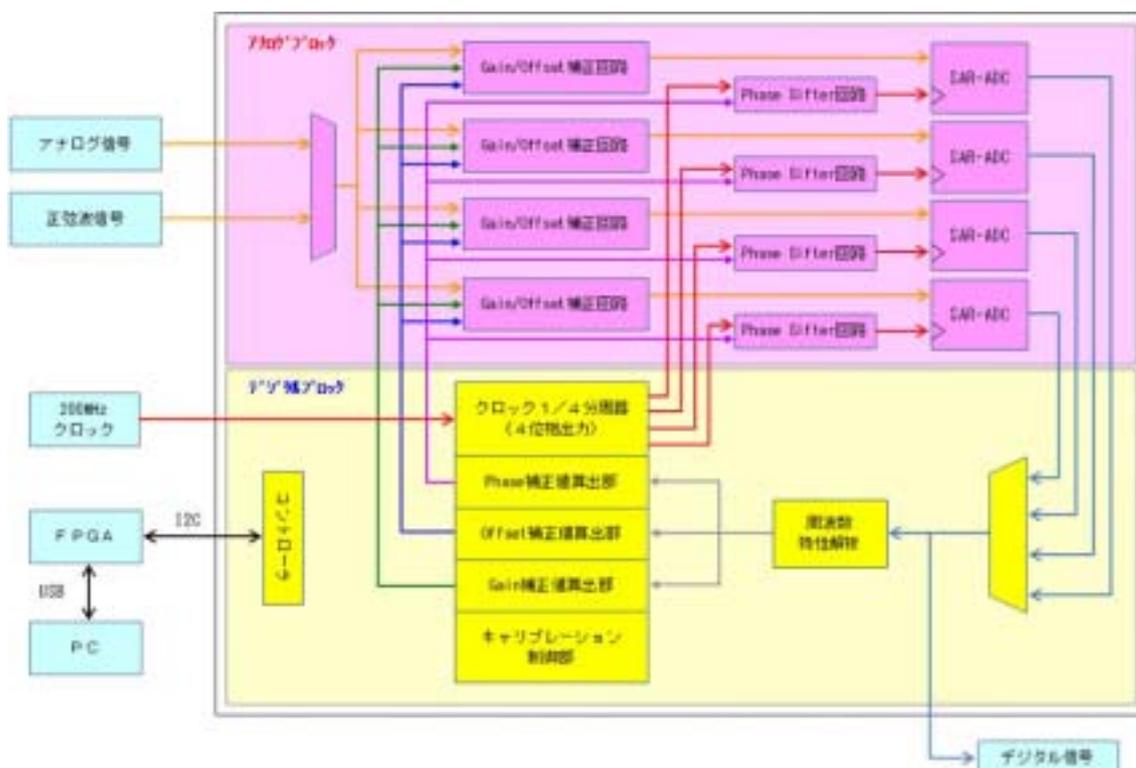


図 3 . 1 試作デジタルアシスト AD コンバータ LSI 機能ブロック図

3 - 1 65nm プロセスの設計手法の構築

3-1～3-5 の論理設計、物理設計を行う際に必要となる 65nm プロセスにおいて、システム全体が検証可能となるアナログ・ミックスドシグナル回路設計手法を構築した。

Murmann 教授によれば、現状のデジタルアシスト・システムでは、Matlab による機能レベルの確認がなされているだけで、回路レベルでの検証はなされていない。このため、Verilog-AMS 環境を構築し、回路レベルでの動作検証が可能な設計環境を構築した。

3 - 2 アナログ BIST/BOST Co-Design 設計

本試作 L S I における自己診断機能 (BIST/BOST) は、以下の構成により実現している。

< B I S T >

- ・デジタルアシスト機能にて Phase エラー / Offset エラー / Gain エラーを検出する。
エラー情報は LSI コントローラ内のレジスタに表示する。
- ・テストパターン (正弦波信号) 生成機能は LSI 外部に BOST 機能の一部として実装する。
正弦波生成回路は回路規模が大きい為 LSI 内部に実装するにはエリアペナルティが大きく、チップ面積の増大及びコストアップ要因になると判断した。

< BOST >

- ・テストパターン生成回路と、自己診断情報のモニタ機能を有する。
- ・BOST (自己診断情報) の出力インターフェースは汎用シリアルインターフェースである I2C を用いている。これにより、テストシステムの構築に柔軟性を持たせる事ができた。

下図 3 - 2 . 1 に本試作 LSI の自己診断機能 (BIST/BOST) ブロック図を示す。

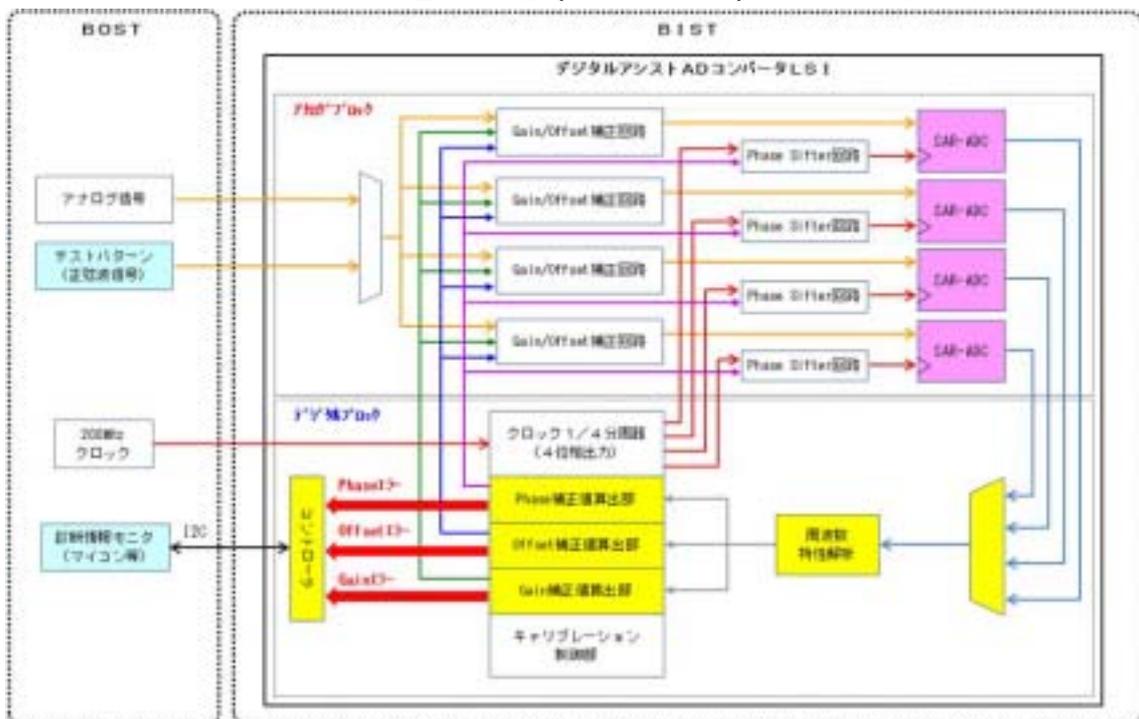


図 3 - 2 . 1 試作 LSI の自己診断機能 (BIST/BOST) ブロック図

3 - 3 デジタル部論理設計による FFT 処理最適化

これまでの FFT 演算部は、処理に時間を要する為に各 SAR-ADC が出力する正弦波データを逐次処理できず、一旦メモリに保持してから各 Ch ごとに FFT 演算を行い、その結果を特性補正部へ渡していた。この為、多くのメモリと3回の FFT 処理を必要であった。

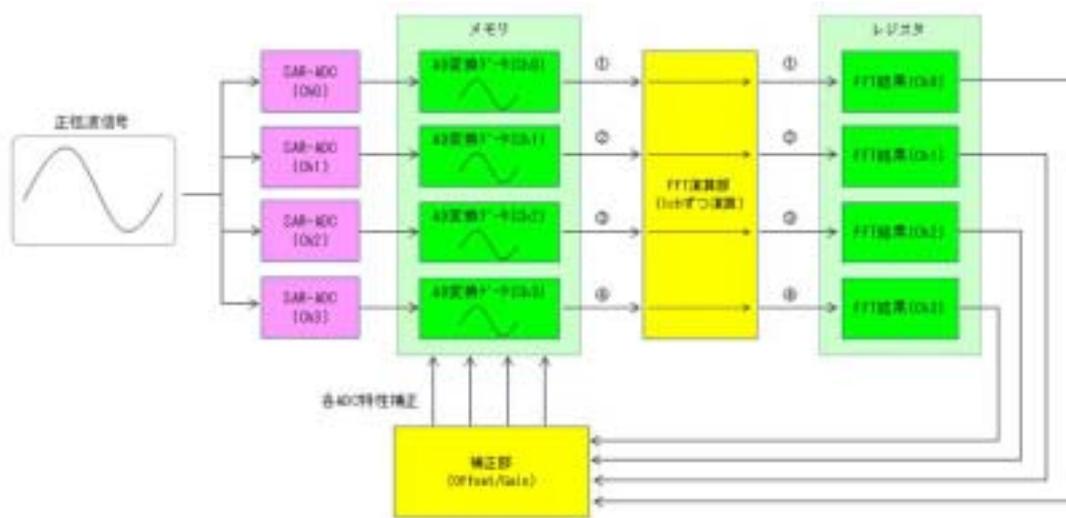


図 3 - 3 . 1 これまでの研究における FFT 処理概要

今回の研究では 2 - 2 に示した通り FFT 演算部の最適化を行っている。最適化 FFT 演算部は周波数スペクトルを限定している為に高速演算が可能であり、各 SAR-ADC の正弦波データを同時かつ逐次処理する事が可能となった。この為メモリ容量を大幅に削減でき、FFT 演算回数も 1 回に減らす事ができた。

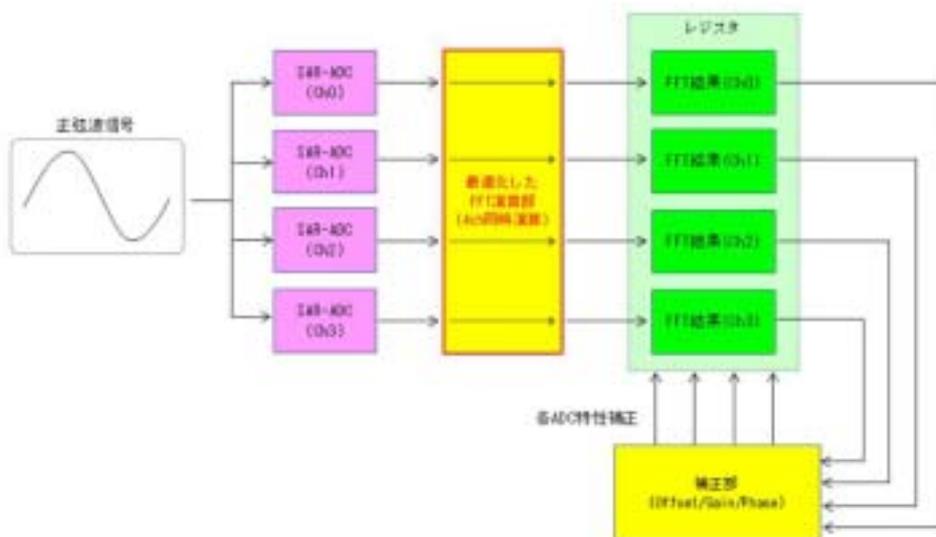


図 3 - 3 . 2 本研究における FFT 処理概要

3 - 4 Gain/Offset 補正付き AD コンバータの回路設計

表 2 . 1 に示した通り、本デジタルアシスト AD コンバータ LSI は 4 つの逐次比較型 AD コンバータより構成される。これらの逐次比較型 AD コンバータは特性補正機能（Gain 調整及び Offset 調整）を備える必要がある。

ここで設計する逐次比較型 AD コンバータは、LSI 内では一つのマクロとして扱われる。以下、LSI であるデジタルアシスト AD コンバータとの混同を避ける為、逐次比較型 AD コンバータマクロを「ADC コアマクロ」と表記する。

Phase 調整機能は、ADC コアマクロとは別の回路ブロックで実現している（3-5）。

下図 3 - 4 . 1 に ADC コアマクロのブロック図を示す。ADC コアマクロは SAR-ADC 部（水色ブロック）と Gain/Offset 調整部（黄ブロック）、及びこれらの制御部（緑ブロック）より構成される。

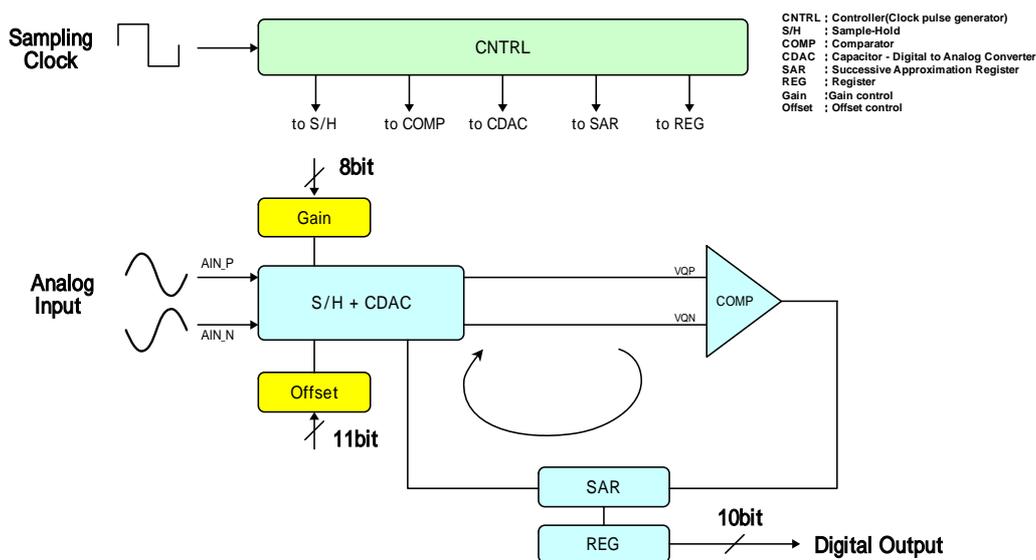


図 3 - 4 . 1 ADC コアマクロブロック図

3 - 4 - 1 ADC コアマクロの AD 変換動作概要

差動アナログ入力信号の電圧を S/H（Sample-Hold）回路でホールドし、次段の COMP 部にて電位差の比較を行う。

COMP の比較結果を次段の SAR 部で取り込み、CDAC 部の容量キャパシタアレイで電荷の重みづけを判定し、COMP 部で再度データの比較を行う。

上記 を 10 回（10bit 分）実行、結果を AD 変換データとして REG 部へ送る。

3 - 4 - 2 Gain / Offset 調整機能

3 - 4 - 1 で述べた通り、ADC コアマクロのAD変換はキャパシタアレイを使用している。この変換動作を判りやすく述べれば次の通りとなる。

あらかじめ内部のキャパシタ（コンデンサ）アレイに電荷を蓄えておく
サンプリングで得た入力アナログ信号の電圧と、キャパシタアレイの電荷（電圧）を比較
（キャパシタを複数接続すると電圧が上がる。入力電圧と等しくなる個数を求める）
入力信号電圧と等しくなったキャパシタの個数をデジタル値に置き換える。

ここで、 の回路に手を加える事で Gain 調整機能と Offset 調整機能を実現した。具体的な方法は以下の通りである。

- ・ Gain 調整 : キャパシタ数をデジタル値に置き換える際の割合の制御で実現
- ・ Offset 調整 : キャパシタ数をデジタル値に置き換える際のキャパシタ数の増減で実現

なお、デジタルアシストにおける補正誤差を 1 LSB 以下とする為、Gain 制御ビットを 8 [bit]、Offset 制御ビットを 11 [bit]としている。

3 - 5 Phase Skew の補正回路設計

一般的な位相調整回路としては PLL (Phase-locked loop) が知られるが、PLL はジッタ (タイミングの揺れ) を伴う為、本 L S I には適用できない。そこで、伝搬遅延を用いた位相調整機能を構成した。これは、信号が抵抗 (伝搬調整用素子) を通過する際、入出力間でわずかに位相差 (伝搬遅延) が生じる事を利用した物である。

実際の回路では、複数の抵抗をセクタ経由で直列に接続。制御部からの設定により任意数の直列抵抗を構成するものとしている。下図 3 - 5 . 1 に Phase Skew 補正回路のブロック図を示す。

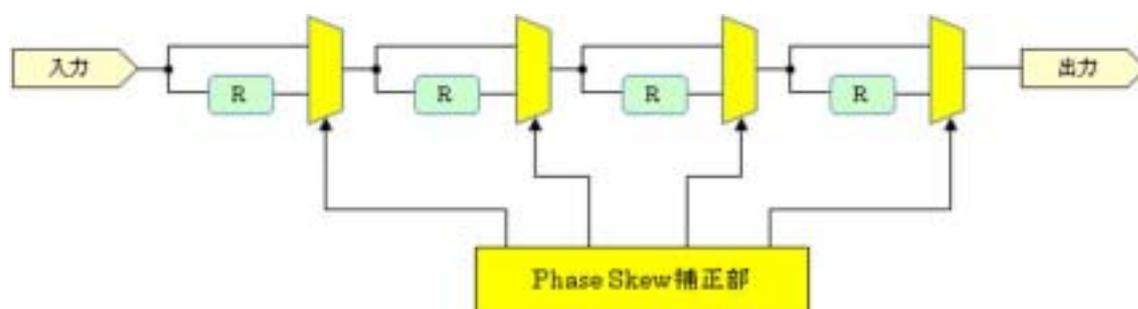


図 3 - 5 . 1 Phase Skew 補正回路ブロック図

抵抗は熱 (温度) の影響を受ける素子の為、本回路も熱の影響が予想されたが、ここで表れる影響は「抵抗素子 1 個あたりの伝搬遅延量の増減」であり、1 個の抵抗素子の値を十分小さく (LSI 動作温度上限における伝搬遅延が 10ps 以下となる値) とする事でこの問題を回避できると判断した。

3 - 6 BIST/BOST のシステム制御回路設計

下図 3 - 6 . 1 に本研究で開発した BIST/BOST システム制御回路のブロック図を示す。

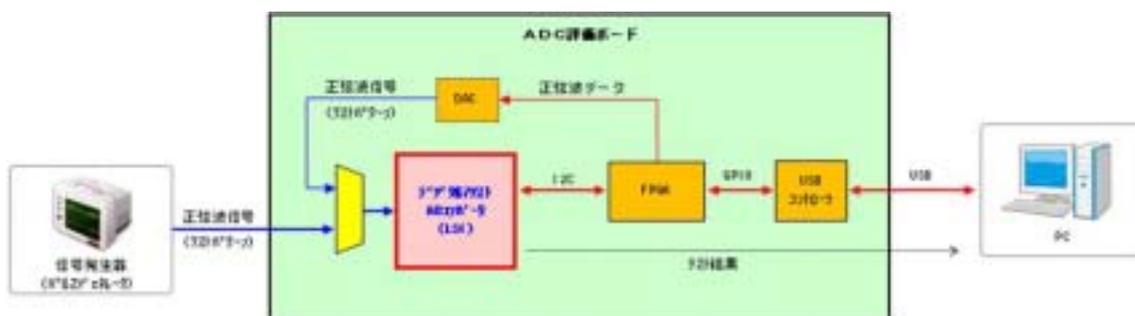


図 3 - 6 . 1 BIST/BOST システム制御回路ブロック図

今回はテストパターン発生回路として外部パルスジェネレータを使用したけど、これは汎用 DAC に置き換える事が可能である。また PC についても、FPGA をマイコンに置き換える事で不要とできる。この結果、BOST システムとして必要なのはマイコン・汎用 DAC のみとなり、外部機器を必要としないシンプルな BOST システムを構築できる。

第 4 章 本論 - デジタルアシスト AD コンバータの試作開発

第 3 章で開発した回路をシリコンウェハー上にレイアウトし、LSI を試作した。本試作 LSI の基本諸元を下表 4.1 に、試作 LSI のチップデータを表 4.2 に示す。

基本諸元	パッケージ	120pin QFP
	プロセステクノロジー	65nm CMOS プロセス
電源仕様	アナログ電源	1.2V および 3.3V(二電源)
	デジタル電源	1.2V および 3.3V(二電源)
AD 変換仕様	AD 変換方式	逐次比較型 AD コンバータ × 4 による時分割変換方式
	サンプリング周波数	200[MHz] (50[MHz] × 4 インターリーブ)
	変換精度	10bit
クロック仕様	入力周波数	200MHz (MAX)
アナログ入力仕様	差動入力電圧範囲	1.2Vp-p
	差動コモン電圧	0.6V (内部生成)
デジタル入出力仕様	入出力電圧	3.3V

表 4.1 試作 AD コンバータ LSI 基本諸元

チップサイズ(DIE AREA)	4.200mm × 4.200mm
チップサイズ(CORE AREA)	3.402mm × 3.402mm
配線層数	7 層 (6Cu + 1Al)
SRAM 容量	1024 × 10: 4 個 / 1024 × 11: 1 個 / 1024 × 16: 8 個
回路面積(アナログ部)	2.8 [mm ²]
回路面積(デジタル部)	2.0 [mm ²]
回路規模(SRAM 含む)	436043 [Gate]
回路規模(SRAM 含まず)	51900.8 [Gate]

表 4.2 試作 LSI チップデータ

第5章 本論 - デジタルアシスト AD コンバータの評価

5 - 1 評価用 FPGA ボードの完成

第4章で開発した試作LSIを搭載する評価ボードは、市販の汎用FPGA評価ボード上に、新規開発のADコンバータ搭載基板（以下ADC基板と称す）を接続する構成とした。LSI実装方式はソケット方式とし、LSIの交換・試験を容易にしている。

本評価ボードの機能ブロック図を図5-1.1に記す。

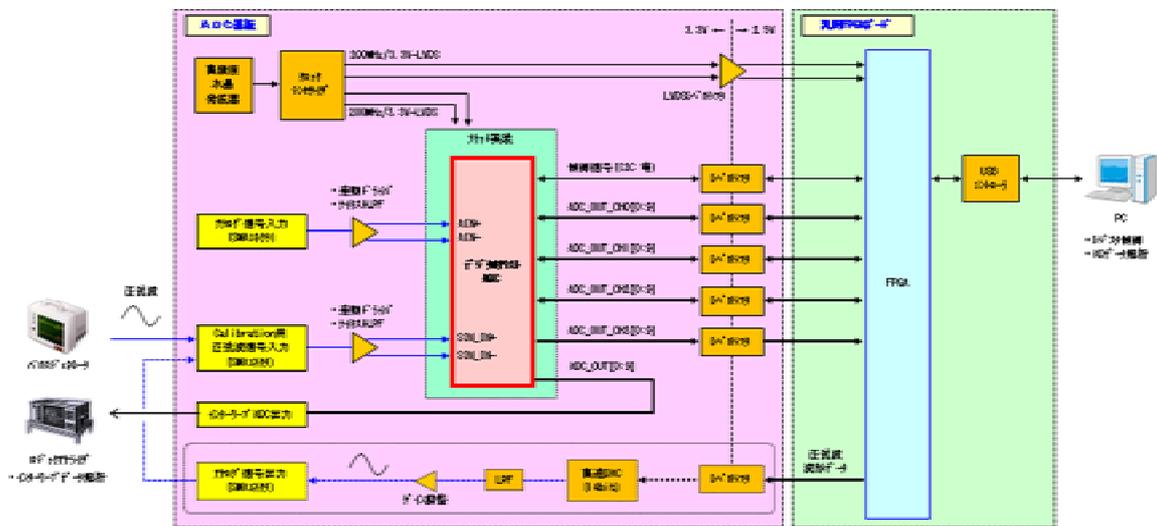


図5-1.1 評価ボードブロック図

本評価ボードに搭載するFPGAは、I2Cバスを介したADコンバータLSIの制御、及びAD変換データの収集・解析を行う。下図5-1.2に評価用FPGAの機能ブロック図を記す。

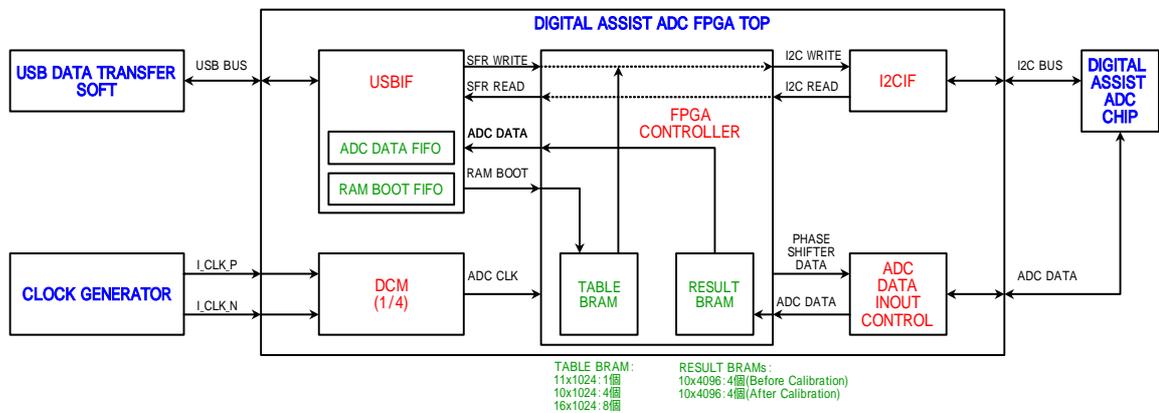


図5-1.2 評価用FPGA機能ブロック図

完成した評価用 FPGA ボード（汎用 F P G A ボード + A D C 基板）の写真を図 5 - 1 . 3 に示す。

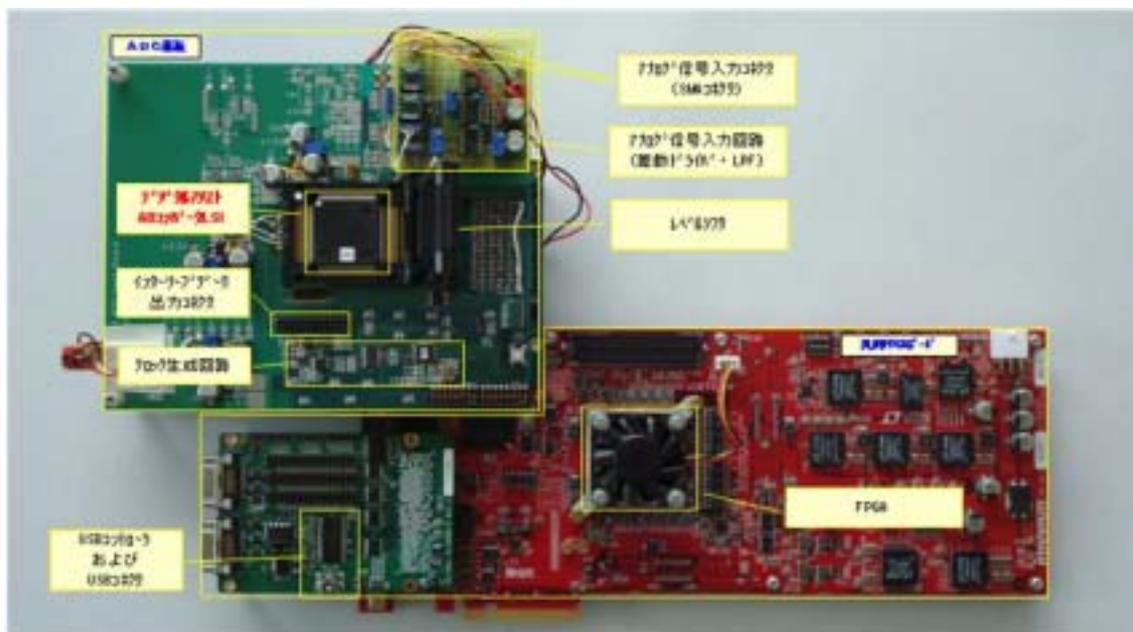


図 5 - 1 . 3 評価ボード写真

5 - 2 最終評価

5 - 2 . 1 評価状況概要

デジタルアシスト AD コンバータ LSI の評価状況を下表 5 - 2 . 1 に示す。

大項目	中項目	小項目	検証結果	備考
アナログ/デジタル共通	リセット入力	リセット入力		
	クロック入力	外部 200MHz クロック		
		内部 50MHz クロック		
	主制御機能	レジスタによる動作制御		
レジスタへの状態表示				
アナログブロック	外部入出力	補正用正弦波入力	(確認中)	
		アナログ信号入力	(確認中)	
	SAR-ADC (ADC コアマクロ)	S/H 回路		5-2-2 参照
		C-DAC 回路		
		コンパレータ回路		
		SAR 回路		
	デジタルアシスト機能 (アナログブロック)	Gain 補正機能	(確認中)	
Offset 補正機能		(確認中)		
Phase Skew 補正機能			5-2-3 参照	
デジタルブロック	外部入出力	I2C		
		AD 変換データ出力(インターリーブ)	(確認中)	
		AD 変換データ出力(Ch 個別)	(確認中)	
		補正状態表示	(確認中)	
		再キャリブレーション	(確認中)	
	デジタルアシスト機能 (デジタルブロック)	Gain 補正機能制御	(確認中)	
		Offset 補正機能制御	(確認中)	
		Phase Skew 補正機能制御	(確認中)	
	最適化 FFT 回路	ADC(Ch0)FFT	(確認中)	
		ADC(Ch1)FFT	(確認中)	
		ADC(Ch2)FFT	(確認中)	
ADC(Ch3)FFT		(確認中)		

表 5 - 2 . 1 デジタルアシスト AD コンバータ LSI 評価状況

- ・ LSI の諸機能のうち、主制御機能については設計仕様通りの動作を確認した。
- ・ ADC コアマクロにおいて問題点が見つかった為、他機能の確認が進んでいない。
- ・ Phase Skew 補正機能についても検討課題が見つかった。

5 - 2 - 2 ADC コアマクロ

現時点では、試作したLSIのADコンバータ出力は、入力信号に関わらず常に「0」が出力される。この点についてADCコアマクロの回路を確認したところ、S/H+CDACブロックにおいて問題が確認された。

< 評価結果 >

下図5 - 2 - 2 . 1にS/H+CDACの回路ブロック図を示す。

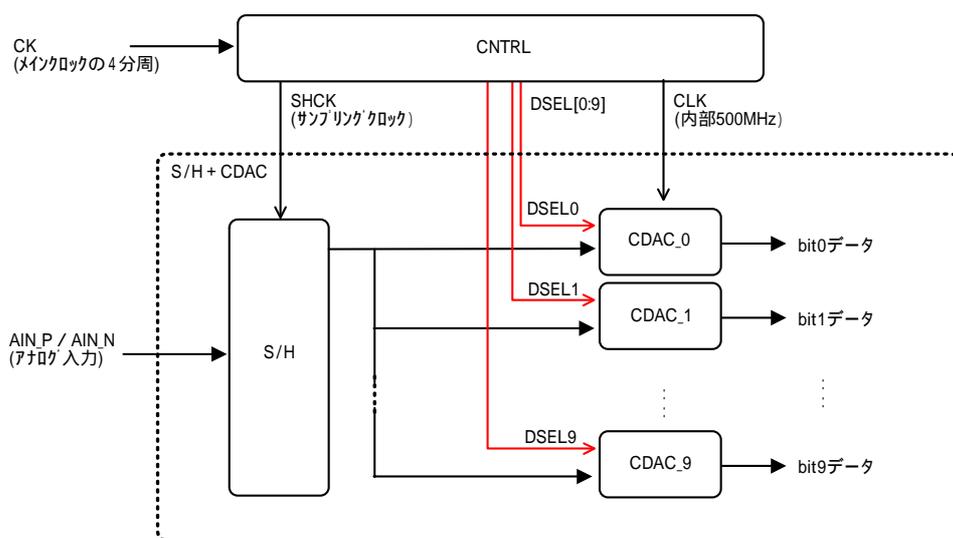


図5 - 2 - 2 . 1 S / H + CDAC の回路ブロック図

本回路は、本来は下図5 - 2 - 2 . 2に示した動作となる。

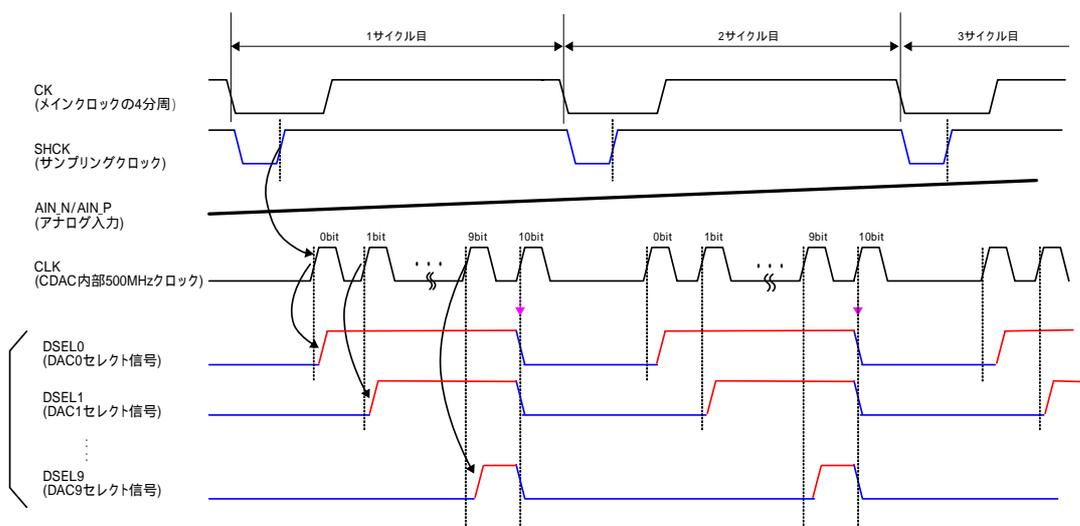


図5 - 2 - 2 . 2 S / H + CDAC タイミングチャート (設計仕様)

これに対し、試作 L S I では DSEL[0:9]の生成回路において接続ミスがあった為に DSEL[0:9]がネゲートされず、正常動作しない回路となっている（下図 5 - 2 - 2 . 3 ）

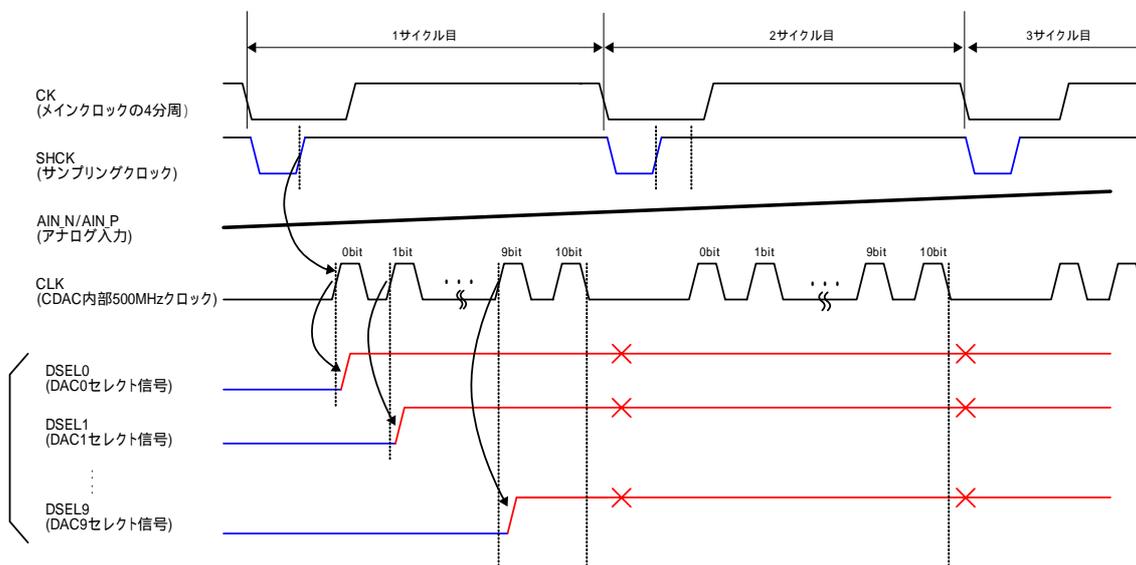


図 5 - 2 - 2 . 3 S / H + C D A C タイミングチャート (試作 L S I)

< 解析結果 >

DSEL ネゲート信号の生成回路において、下記の接続の違いがあった。

仕様：500MHz クロックの 11 サイクル目で生成するパルスを接続

実機：L S I リセット信号を接続

< 改善策 >

従来のアナログ回路の検証手法は、SPICE ネットリスト (トランジスタレベル) のシミュレーションであったため、非常に遅く、1 サイクルのシミュレーション時間は 3 日間を要していた。今回の接続の違いを見つけるためには、2 サイクル以上のシミュレーション時間が必要とされ、現実的な時間ではない。

このため、アナログ回路の高速シミュレーション技術である Verilog-A を用いた検証手法を確立し、従来の検証時間を 1 / 100 (1 週間が 1 . 5 時間) にする検証技術を立ち上げる。

5 - 2 - 3 Phase Skew補正回路

<評価結果>

Phase Skew 補正回路の測定結果を表 5 - 2 - 3 . 1 に、グラフを図 5 - 2 - 3 . 2 に示す。

備考

Phase Skew の 1 補正值あたりの位相調整量は[ps]単位と小さく、通常の試験機材では測定できない。
この為、16 補正值毎の位相調整量を測定し、16 で除算する事で 1 補正值あたりの位相調整量を算出している。

位相設定値 (16 単位で設定)	基準クロックとの差分 [ns]	[設定値=0]からの差分 [ns]	16 補正值毎の調整量 [ps]	1 補正值毎のシフト量 [ps]
0	9.4	0.0	-	-
F	10.0	0.6	600.0	37.5
1F	10.4	1.0	400.0	25.0
2F	10.5	1.1	100.0	6.2
3F	10.8	1.4	300.0	18.8
4F	10.6	1.2	-200.0	-12.5
5F	11.0	1.6	400.0	25.0
6F	11.2	1.8	200.0	12.5
7F	11.6	2.2	400.0	25.0
8F	11.1	1.7	-500.0	-31.3
9F	11.4	2.0	300.0	18.8
AF	11.6	2.2	200.0	12.5
BF	11.9	2.5	300.0	18.8
CF	11.7	2.3	-200.0	-12.5
DF	12.0	2.6	300.0	18.8
EF	12.2	2.8	200.0	12.5
FF	12.6	3.2	400.0	25.0

表 5 - 2 - 3 . 1 Phase Skew 補正回路測定結果

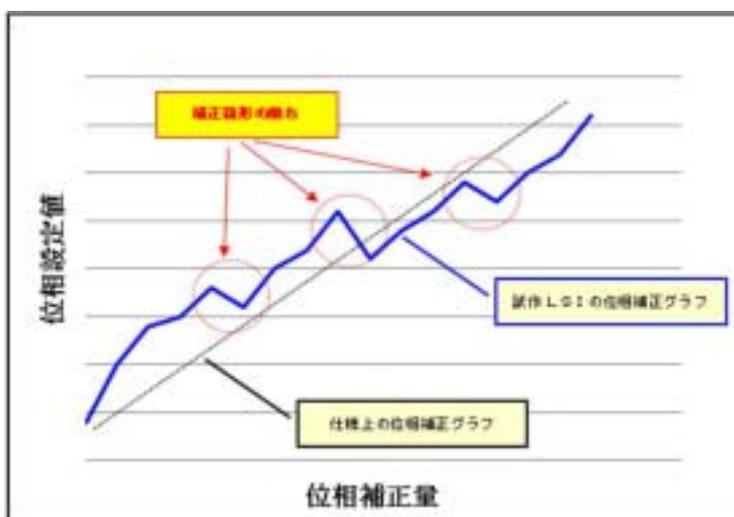


図 5 - 2 - 3 . 2 試作 LSI における Phase Skew 補正グラフ

上記結果の通り、試作 L S I の Phase Skew 補正回路は以下の特性であった。

- ・補正精度が 10[ps]以上 (設計時シミュレーションでは 5[ps]を達成)
- ・補正特性が非リニア (設計時シミュレーションではリニア線形を達成)

< 解析結果 >

LSIを製造する際、設計データを製造用データに変換する。この際、回路中に配線層の平坦化処理を行うためダミーパターンが自動挿入される。前述の設計時シミュレーションと実機LSIとの特性差分は、このダミーパターンと信号配線間に生じる微小な容量の蓄積によって生じたものとする。ダミーパターンは回路動作に影響を与える事から、通常のLSI開発ではダミーパターン挿入後のデータで実負荷シミュレーションを行い、必要に応じて設計変更や特性チューニングを行う必要であることが分かった。

< 改善策 >

下図5-2-3.3に試作LSIとダミーパターンを考慮した実負荷シミュレーションのグラフを示すが、両者に差分はほとんど無く、実負荷シミュレーションの結果は信頼できる物である。このことから、本件は実負荷シミュレーションによる回路特性チューニング（抵抗値や回路レイアウトの調整）を行う事で所期の目的を達成する事が可能である。

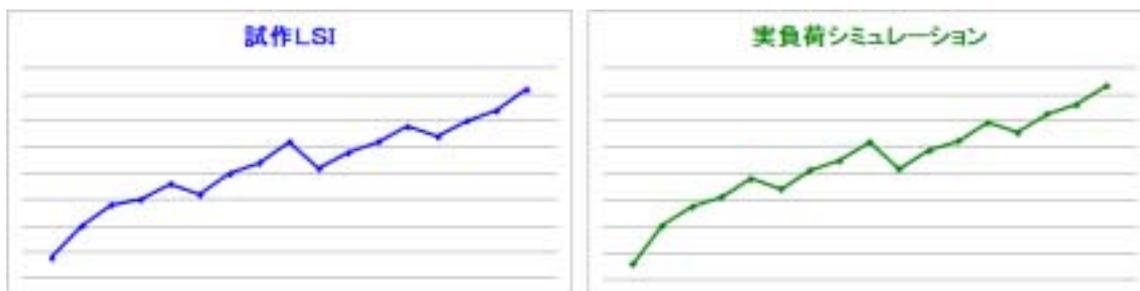


図5-2-3.3 試作LSIと実負荷シミュレーションの比較

5 - 2 - 4 消費電流

試作 L S I における消費電力（実測値）を下表 5 - 2 - 4 . 1 に示す。

回路ブロック	消費電力(mW)
アナログブロック	0.758
デジタルブロック	9.222
合計	9.98

<測定条件>

動作状態 : 静止状態

温度 : 25

表 5 - 2 - 4 . 1 試作 L S I における消費電力（実測値）

備考

上記は静止状態での測定値であり、動作状態における消費電力ではない。但し、65nm以下の微細プロセスではリーク電流（静止状態における半導体素子内の漏れ電流）が大きく、一般には静止状態と動作状態の消費電力がほぼ等しくなる。この為、上表で記した静止状態の消費電力は、ほぼ動作状態の消費電力と考えられる。

第6章 全体総括

6 - 1 研究開発成果

現時点における本研究の成果を、H21年度研究成果と併せて下表に示す。

課題	本事業目標 (ニーズ)	H21年度成果	H22年度成果	現状
情報処理の高速化	200MSPS	200MSPS	-	達成
利得、オフセットの ミスマッチ	1LSB 以下	1LSB 以下	-	達成
Phase Skew の抑制	10psec 以内	200psec 以内	検証中	検証中
小型化	5mm ² 以下	-	アナログ部 2.8mm ² デジタル部 2.0mm ²	達成
低消費電力化	10mW 以下	-	9.98mW	達成
自己診断時間	2msec 以内	-	検証中	検証中

表 6 - 1 . 1 研究開発成果

6 - 2 研究開発後の課題および事業化展開

6 - 2 - 1 研究開発後の課題

< 短期の課題 >

5 - 2 項で記した通り、本研究で試作した L S I は幾つかの課題が確認され、今後も評価作業は続けて行く。評価作業終了後、本試作 L S I における課題の対策および検証結果の反映を行った L S I (試作 2 版) を試作し、デジタルアシスト A D コンバータの実用性検証を行う。L S I (試作 2 版) の試作は H 2 4 年度中に行う予定。

< 実用化に向けた課題 >

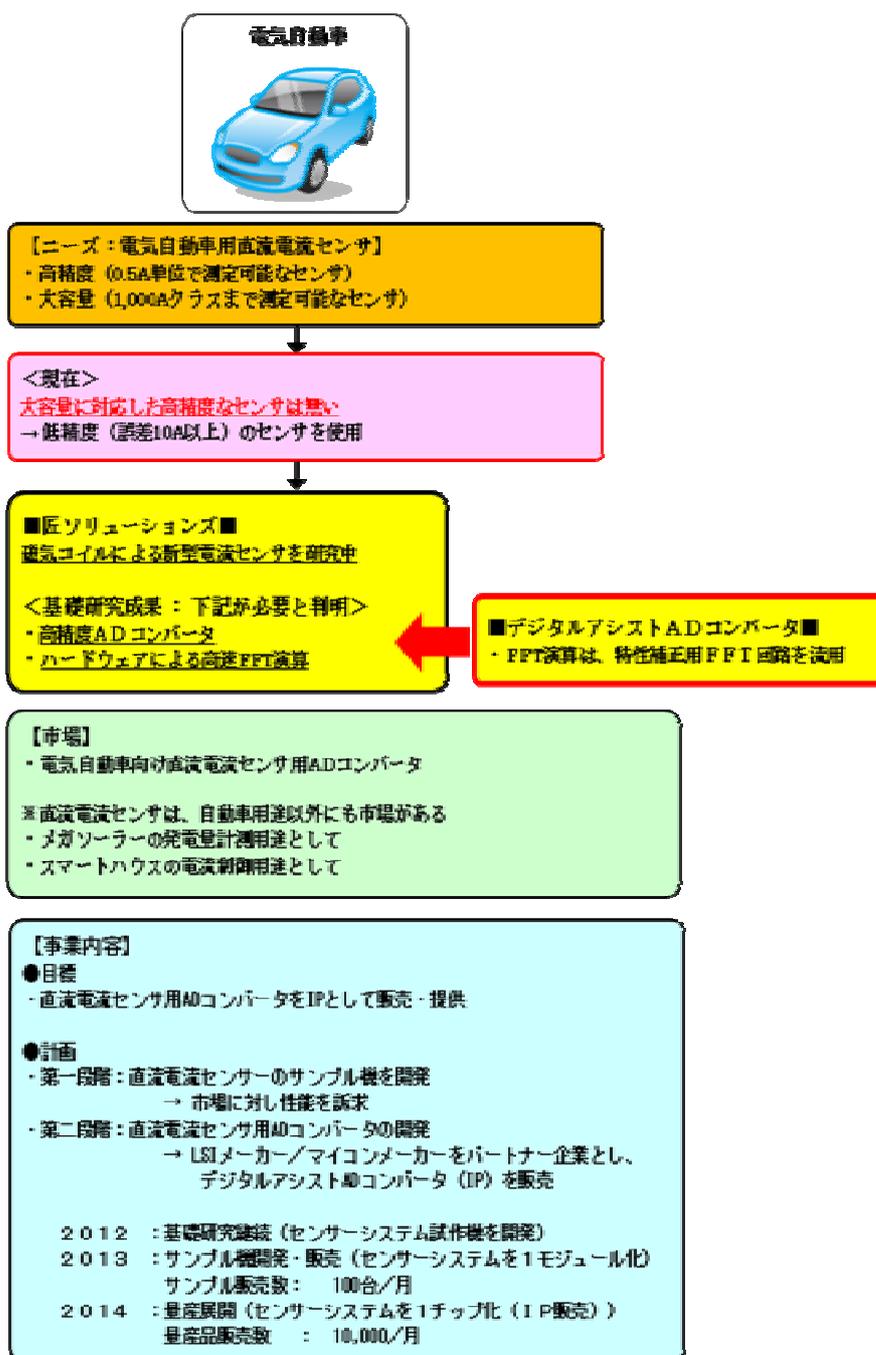
試作 L S I の機能仕様は研究を主目的としたものの為、川下産業のニーズに十分に答えられていない部分がある。具体的には Calibration / BIST 用正弦波生成回路の内蔵化である。試作 L S I では正弦波生成回路を L S I 外部に設けているが、利便性を考慮すれば L S I に内蔵する事が望ましく、その為には低コスト・省スペースの正弦波生成回路を実現する必要がある。

従来の FFT 回路の場合は高精度な正弦波を必要としたが、本研究で最適化した FFT 回路は特定の周波数 Bin のみを検出するものの為、使用する正弦波信号は特定周波数のみ精度を確保すればよい。この事から、正弦波生成回路の最適化によって低コスト・省スペースは十分に達成可能と考える。

6 - 3 - 2 事業化展開

高速・高精度なセンサーシステムに対して、高性能デジタルアシストADコンバータの展開を考えている。具体的なセンサーシステムとして下記を予定している。

・高速・高精度な直流電流センサーシステム



・次世代家屋向け環境センサーシステム

